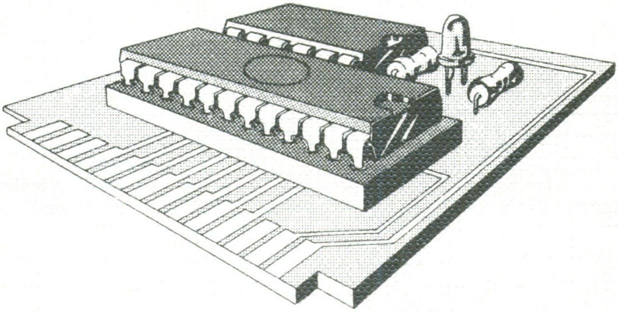
Schüssler

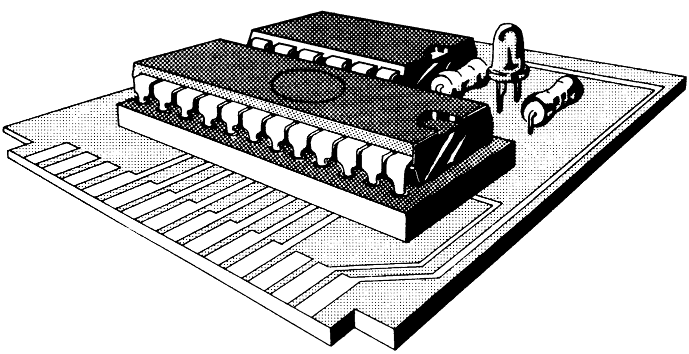
Hardware-Erweiterungen zu Commodore 64 · 128



Ein DATA BECKER Buch

Schüssler

Hardware-Erweiterungen zu Commodore 64·128



Ein DATA BECKER Buch

ISBN 3-89011-128-9

Wichtiger Hinweis:
Die in diesem Buch wiedergegebenen Schaltungen, Verfahren und Programme werden ohne Rücksicht auf die Patentlage mitgeteilt. Sie sind ausschließlich für Amateur- und Lehrzwecke bestimmt und dürfen nicht gewerblich genutzt werden.

Alle Schaltungen, technischen Angaben und Programme in diesem Buch wurden von dem Autoren mit größter Sorgfalt erarbeitet bzw. zusammengestellt und unter Einschaltung wirksamer Kontrollmaßnahmen reproduziert. Trotzdem sind Fehler nicht ganz auszuschließen. DATA BECKER sieht sich deshalb gezwungen, darauf hinzuweisen, daß weder eine Garantie noch die juristische Verantwortung oder irgendeine Haftung für Folgen, die auf fehlerhafte Angaben zurückgehen, übernommen werden kann. Für die Mitteilung eventueller Fehler ist der Autor jederzeit dankbar.

Inhaltsverzeichnis

1. Einleitung 11

2. Nützliche Tips und Hinweise zur Platinenherstellung 13

3. C64/C128 Aufbau und Unterschiede 17

3.1 C64 Aufbau und Arbeitsweise der CPU 6510 17
3.2 C128 Aufbau und Arbeitsweise der CPU 25
3.2.1 8502-CPU im C128 25
3.2.2 Z80B-CPU im C128 28
3.2.3 Zusammenspiel beider CPUs (Z80-B und 8502) 34
3.3 Speicherverwaltung im C64 37
3.4 Speicherverwaltung im C128 40
3.5 CIA (6526) im C64 und C128 46

4. Logische Grundschaltungen 57

4.1 Inverter 58
4.2 AND-(UND-) Funktion 60
4.3 OR-(ODER-) Funktion 62
4.4 NAND-(Nicht-UND-) Funktion 65
4.5 NOR-(Nicht-ODER-) Funktion 67
4.6 EX-OR-(Exklusive-ODER-) Funktion 69
4.7 EX-NOR-(Exklusive-Nicht-ODER-) Funktion 71

5. Expansions-Port und User-Port 75

5.1 Expansions-Port 75
5.2 User-Port 77

6. Möglichkeiten der Adreßdecodierung 83

6.1 I/O-Adapterkarte (gepuffert) 83
6.2 Erweiterung der Adapterkarte 106
6.3 Platinenstecker zum Expansions-Port 111
6.4 Adapterkarte mit Z80-Signalen 115
6.5 Erweiterung des User-Ports 122

7. 8-40-Kanal-Eingabe-Interface 125

8. 8-40-Kanal-Ausgabe-Interface 135

9. 16-Kanal-Ein- und Ausgabe-Interface 145

10. PIO-Interfaces der Z80-Familie 153

10.1 8255-PIO und 24 Ein-Ausgabekanäle 172
10.2 8255-PIO und 48 Ein-Ausgabekanäle 173

11. PIA-Interface 6520 bzw. 6820 183

12. 6522-VIA-Interface 191

12.1 Aufbau einer VIA-Karte 212
12.2 Aufbau einer doppelten VIA-Karte 218

13. 220-Volt-Schalteinheiten 227

13.1 Aufbau und Arbeitsweise eines Triacs 227
13.2 Leistungsteil mit dem CA 3059 230
13.3 Leistungsteil mit dem TDA 1024 236
13.4 Leistungsteil mit dem MOC 3040 242

14. Arbeiten mit EPROMs 249

14.1 2fach-EPROM-Box 253
14.2 4fach-EPROM-Box 255
14.3 EPROM als Kernal-ROM 264
14.4 16KB-Soft-EPROM 268

15. EPROM-Programmiergerät 281

16. Serielle Datenübertragung 325

16.1 Pegelwandler für die serielle Datenübertragung 330
16.2 Schnittstellenbaustein 6551 (ACIA) 334
16.3 Aufbau einer ACIA-Karte 342
16.4 Verbindungen und Normen der seriellen Übertragung ... 347

17. Netzteilkarte ... 351

18. Analog-Digital-Wandlung ... 359

18.1 Verfahren der Analog-Digital-Wandlung ... 359
18.2 ZN 427 als A/D-Wandler ... 364
18.3 CA 3162E als A/D-Wandler ... 381

19. Netzentstörung ... 393

20. Joysticks und Paddles ... 397

20.1 Joysticks ... 397
20.2 Paddles ... 402

21. Joystick-Dauerfeuer ... 405

22. Centronics-Schnittstelle ... 411

23. Hardware-Uhr ... 421

24. NF-Verstärker ... 425

ANHANG

A. Bezugsquellenverzeichnis ... 429
B. Literaturverzeichnis ... 431
C. Herstelleradressen ... 433
D. Fachbegriffe ... 435
E. Anschlußbilder der verwendeten ICs ... 441
F. Übersicht über die bekanntesten Triacs ... 451
G. Anschlußbelegung der wichtigsten EPROMs ... 453
H. Statische CMOS-RAM ... 455

1. Einleitung

Der Commodore C 64 ist sicherlich der am meisten verbreitete Rechner dieser Klasse, und auch sein Nachfolgemodell, der C 128, hat gute Aussichten auf einen der vordersten Plätze.

Mit der Konzeption des C 128 waren bestimmte, unumgängliche Forderungen verbunden. Zum einen mußte dieser Rechner vollkommen kompatibel zum C64 sein, zum anderen CP/M-fähig und darüber hinaus auf dem modernsten Stand der Computertechnik. Daß dies gelungen ist, wird jeder bezeugen können, der schon einmal mit dem C 128 gearbeitet hat.

Durch die CP/M-Fähigkeit des Rechners war es nötig, ihn mit zwei CPUs auszustatten, eine Z80B-CPU und eine 8502, die mit der 6510-CPU des C 64 nahezu identisch ist. Dadurch kann auch die gesamte vorhandene Hardware des C 64 - von der Datasette bis hin zum Modem - verwendet und ohne Adapter angeschlossen werden.

Leider hat auch bezüglich der verwendeten integrierten Schaltkreise die Firma Commodore ihren etwas eigenartigen Weg nicht verlassen. Alle wichtigen ICs von der CPU bis hin zur CIA sind Produkte der Commodore-Tochter "MOS-Technologie" und vertragen sich nicht mit den handelsüblichen Schaltkreisen. Weiterhin sind diese ICs im Handel sehr schwer erhältlich und kosten oftmals das vierfache von vergleichbaren anderen Herstellern. Dieser Mangel zwang den Autor, eine Adapterkarte zu entwerfen, die es ermöglicht, 65xx-Bausteine problemlos anzupassen und sogar auf preiswerte Z80-ICs auszuweichen.

Die in diesem Buch vorgestellten Schaltungen sind problemlos nachzubauen, Platinenlayouts und Bestückungspläne erleichtern Ihnen die Arbeit. Im Bezugsquellenverzeichnis finden Sie eine Firma, über die Sie alle hier beschriebenen Ergänzungen als Baumappe mit Leerplatine, Bausatz oder Fertiggerät einschließlich der Software beziehen können.

Die Hardware-Erweiterungen können sowohl auf dem C 64 wie auch auf dem C 128 im C64-Mode betrieben werden.

Hervorzuheben ist, daß alle Erweiterungen ohne teuere Meßgeräte auf ihre Funktionstüchtigkeit getestet werden können.

Alle Schaltungen und Verfahren werden ohne Rücksicht auf bestehende oder angemeldete Patente wiedergegeben und sind nur für den Hobbybereich zu verwenden. Bei einer gewerblichen Nutzung ist in jedem Fall die Zustimmung des möglichen Lizenzinhabers erforderlich.

Der Verlag sowie der Autor haben alle Schaltungen gründlich getestet, dennoch sind wir alle nur Menschen, und Fehler lassen sich auch bei der besten Kontrolle nie vermeiden. Für eine entsprechende Mitteilung wären wir Ihnen dankbar.

Zum Abschluß möchte ich mich bei Helmut Kielburger und Dirk Oellerich für ihre Hilfe beim Aufbau und Testen der Schaltungen herzlich bedanken.

Besonderer Dank gilt Herrn Christian Streicher, Sales Manager aus dem Hause ROCKWELL INTERNATIONAL, dafür, daß er zahlreiche Literatur und Datenblätter zur Verfügung stellte.

2. Nützliche Tips und Hinweise zur Platinenherstellung

Zu allen Erweiterungsschaltungen in diesem Buch werden Ihnen die entsprechenden Platinenlayouts vorgestellt, die allerdings teilweise doppelseitig sind.

Wie kommt man nun von der Buchvorlage zur fertigen Platine ?

Machen Sie sich bitte nicht die Mühe und zeichnen Sie die Platinenlayouts auf Transparentpapier ab. Dieses ist nur bei einfachen Schaltungen ratsam, denn allzu leicht können sich Fehler einschleichen, und Sie wissen selbst, wie schwer es ist, diese später wiederzufinden. In jedem kleinen Dorf gibt es heute ein Kopierzentrum, wo man die Möglichkeit hat, auf einem gut funktionierenden Trockenkopierer preiswerte Fotokopien herzustellen.

In einem Schreibwarengeschäft kaufen Sie sich einige Overheadfolien, die aussehen wie Plastikfolien, aber temperaturfest sind. Sammeln Sie einige Printvorlagen, indem Sie die gewünschten Schaltungen aus diesem Buch, Zeitschriften oder aus sonstigen Vorlagen zuerst fotokopieren und dann so zurechtschneiden, daß diese eine DIN A4 Seite ausmachen. Statt des normalen Kopierpapiers legen Sie nun pro Vorlage drei Overheadfolien in das Kopiergerät ein. Stellen Sie die Blende des Gerätes auf ziemlich dunkel ein, und machen Sie je Vorlage nun drei Overheadfolien. Dies ist deshalb notwendig, weil eine einzige Overheadkopie nicht lichtdicht genug ist, und es kann dann leicht vorkommen, daß Sie später Haarrisse auf der Platine wiederfinden.

Schneiden Sie anschließend die Overheadfolien wieder auseinander, legen die einzelnen Kopien je Platine schön deckungsgleich übereinander, und kleben Sie diese an den Rändern zusammen. Als Ergebnis haben Sie einen ausgezeichneten Platinenfilm.

Wem dies zu aufwendig erscheint, für den besteht noch die Möglichkeit, sich die fertigen Platinen dieses Buches zusenden zu lassen. Hierzu finden Sie im Anhang eine entsprechende Bezugsquelle.

Für manchen erscheint das Durchkontaktieren der Platinen als Problem, aber nach kurzer Zeit werden Sie feststellen, daß dieses viel einfacher, schneller und sauberer geht, als das Legen von Drahtbrücken, wenn Sie folgende Ratschläge beherzigen:

1. Legen Sie die Platine auf eine Unterlage, so daß sie ca. 2 cm über dem Arbeitstisch aufliegt.

2. Gut lötbarer Silberdraht wird nun durch die Bohrungen der Durchkontaktierungen gesteckt, bis sie auf der Unterlage aufliegen, und auf der Oberseite festgelötet. Achten Sie darauf, daß der Durchmesser des Drahtes nicht wesentlich dünner ist, als der der Bohrung, da Ihnen sonst der Draht später zu leicht durchrutscht.

3. Nachdem so alle Durchkontaktierungen auf einer Platinenseite erfolgt sind, schneiden Sie den Draht plan ab.

4. Drehen Sie die Platine um und legen Sie sie direkt auf den Arbeitstisch. Diese Platinenseite müßte nun wie ein "Igel" aussehen. Löten Sie nun zuerst die Drahtenden auf dieser Seite an, bevor Sie diese abschneiden. Bitte nicht zu lange löten, damit Ihnen durch die Erwärmung auf der anderen Seite nicht die Lötungen aufgehen und der Draht durchrutscht.

Diese Punkte hören sich sicherlich komplizierter an, als sie in Wirklichkeit sind, denn schon bald werden Sie merken, daß das Durchkontaktieren eine feine Sache ist und wesentlich besser aussieht als Drahtbrücken.

Ein großer Teil der peripheren Erweiterungen ist so konzipiert, daß sie auf eine I/O-Adapterkarte (siehe Kapitel 6.1) aufgesteckt werden können. Diese Adapterkarte besitzt einen eigenen Bus mit einer abweichenden Belegung als der Rechnerbus. Aber auch ein direkter Anschluß dieser Karten an den Rechner ist mit Hilfe eines geeigneten Kabels, welches man sich ohne größere Probleme selbst herstellen kann, möglich. Die unterschiedlichen Belegungen des Expansionsports einerseits und die der I/O-Adapterkarte sind im Kapitel 6 bzw. 5 ausführlich erläutert.

Aber die I/O-Adapterkarte bietet Ihnen wesentliche Vorteile: Zum einen stehen Ihnen mehrere programmierbare Steckplätze zur Verfügung, und zum anderen können Sie trotz des asynchronen Verhaltens der C64/C128-CPU alle gängigen und preiswerten 65xx-Bausteine ansteuern und darüberhinaus haben Sie sogar die Möglichkeit, Z80-Peripherie-ICs unter bestimmten Voraussetzungen zu betreiben.

Bevor Sie sich also auf die erste Schaltung stürzen, lesen Sie sich bitte das Kapitel 6 aufmerksam durch, ob es nicht sinnvoller ist, zuerst mit der I/O-Adapterkarte zu beginnen.

3. C64/C128 Aufbau und Unterschiede

Mit der Konzeption des C128 waren bestimmte unumgängliche Forderungen verbunden, die bezüglich der Hardwarerealisierung auf besondere Schwierigkeiten stieß. Im folgenden werden Ihnen nun die Hardwareunterschiede des C64 und des C128 kurz vorgestellt. Selbstverständlich kann hier aus Platzgründen die Thematik nur schwerpunktmäßig abgehandelt werden und zwar in der Form, daß Sie die Arbeitsweise der später vorgestellten Hardware-Erweiterungen besser verstehen können. Wer sich dennoch intensiv mit dem internen Studium seines Rechners befassen möchte, für den ist das Studium der beiden DATA BECKER Bücher C64 intern und C128 intern eine Pflichtlektüre.

3.1 C64 Aufbau und Arbeitsweise der CPU 6510

Der C64 besitzt als CPU die 6510, eine Eigenentwicklung der Commodore Tocher MOS Technologie, deren Pinbelegung Sie in der Abbildung 1 wiederfinden. Diese CPU ist voll befehlsgleich zur 6502 von ROCKWELL. Eine Pinkompatibilität ist allerdings nicht gegeben. Hierzu können Sie die Abbildung 2 vergleichen, die die Pinbelegung der 6502 CPU zeigt.

Der Hauptunterschied liegt darin, daß die 6510 einen 6 Bit breiten I/O-Port (P5-P0, Pins 24-29) besitzt, der wie die Ports der RIOT (6532) gesteuert werden kann, d.h. das Datenrichtungsregister belegt die Adresse hex. 00 und das Datenregister die Adresse hex. 01. Theoretisch könnte diese CPU mit dem Adreßbus A0-A15 und den hinzugefügten sechs Ports als Adreßbits einen Adreßraum von 22^2 verwalten. Aber dem ist nicht so!

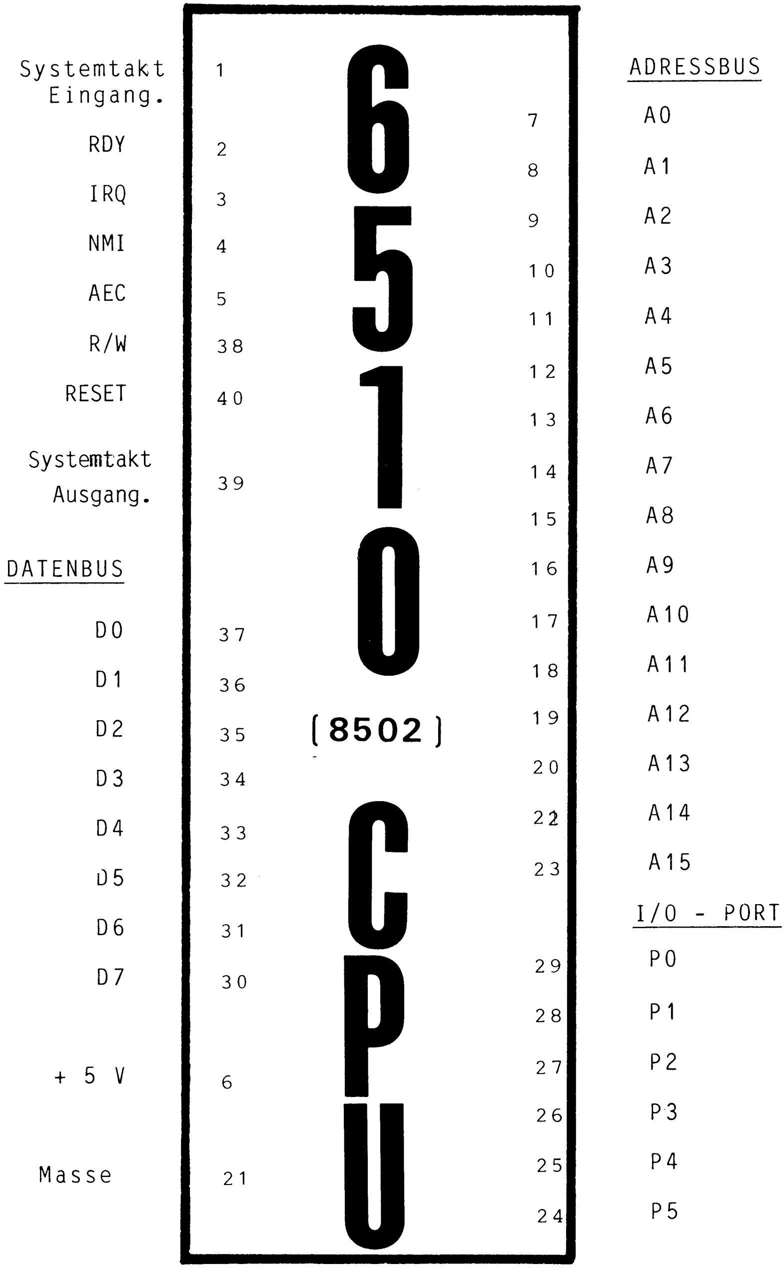


Abb. 1: Anschlußbelegung der 6510-CPU

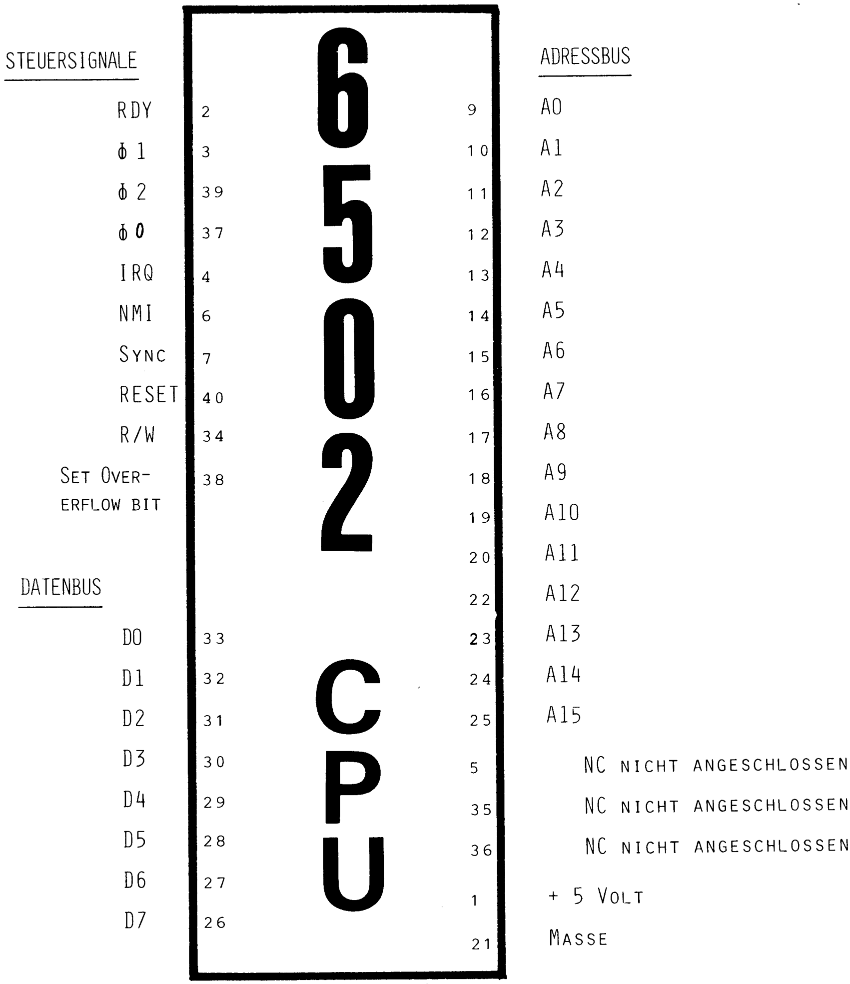


Abb. 2:
Pinbelegung der 6502-CPU, die softwaremäßig kompatibel ist zur 6510, allerdings eine vollkommen andere Anschlußbelegung aufweist.

Drei Portbits werden zur Steuerung eines besonderen ICs verwendet, der den Namen FPLA (Field Programmable Logic Array) trägt. Hinter dieser Bezeichnung verbirgt sich ein von Signetics im Auftrage von Commodore hergestellter PROM des Typs 82S100, der in Ihrem Rechner die Bezeichnung U 17 trägt. Dieser IC besitzt 16 Ein- und 8 Ausgänge, die miteinander nach einer speziellen Logik verknüpft sind und RAM- und ROM-Bereich ein- oder ausschalten.

Diese Portbits, die zur Steuerung des FPLA herangezogen werden, haben im einzelnen folgende Bedeutung:

PORTBIT P0 -LOWRAM

Bei einem L-Pegel dieses Bits ist im Adreßbereich hex. A000-BFFF das RAM eingeschaltet, bei einem H-Pegel ein ROM.

PORTBIT P1 -HIRAM

Portbit P1 übernimmt die gleiche Aufgabe wie P0, allerdings für den Adreßbereich hex. E000-FFFF.

PORTBIT P2 -CHAREN

Dieses Charakter-Portbit weist bei einem L-Pegel auf den Zeichensatz-ROM (Character-ROM), der in Ihrem C 64 als U 5 mit einem 2332A besetzt ist.

Da der Adreßbereich hex. D000-DFFF sowohl vom Charakter-ROM, wie auch vom I/0-Bereich logisch belegt wird, dient das Portbit P3 dazu, zwischen den beiden zu selektieren. Ist P3 auf einem L-Pegel, belegt das Charakter-ROM den Speicherbereich, bei einem H-Pegel dagegen externe Periphie, durch I/0-1 bzw. I/0-2 selektiert. Die übrigen Portbits übernehmen die Steuerung eines angeschlossenen Cassettenrecorders.

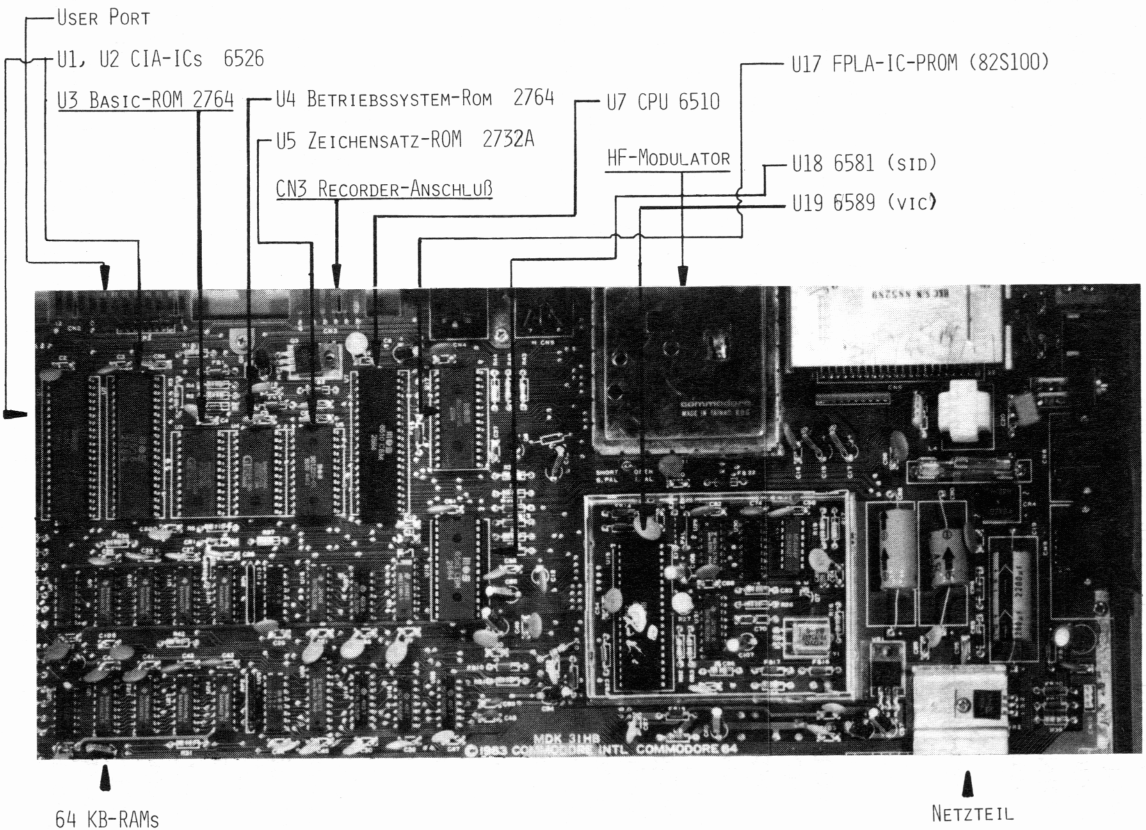


Abb. 3: C64-Innenleben

6510-CPU-Signale

SYSTEMTAKT *Eingang Pin 1, Ausgang Pin 34*

Der Systemtakt wird vom Video-Contoller (Pin 17) erzeugt und der CPU am Anschluß 1 zugeführt. Die Frequenz beträgt ca. 985 KHz. Für alle Synchronisationsaufgaben ist dieser Takt maßgeblich. Der Systemtakt (02) steht auch am Expansionsport, Anschluß E, zur Verfügung. Der interne Quarz des Taktgenerators schwingt mit einer Frequenz von 17,734472 MHz. Ein nachfolgender Teiler teilt diese Frequenz durch 9 auf 1,9704 MHz. Dieser Takt wird einen Flip-Flop zugeführt (IC U29 im Schaltplan), der wiederum durch den Faktor 2 teilt. Wir erhalten dann das eigentliche Taktsignal für den Prozessor von 985,248 kHz, welches auch am Anschluß O2 zur Verfügung steht.

READY *Pin 2 (high-aktiv)*

Ein H-Pegel auf diesem Signal zeigt der CPU an, daß die anliegenden Informationen auf dem Datenbus gültig sind. Bei einem L-Pegel werden die Informationen nicht übernommen, die CPU geht in eine Warteschleife und prüft bei jedem Taktimpuls, bis das RDY-Signal "H" ist. Bei C64 wird das RDY-Signal zusammen mit den FPLA vom Video-Controller (IC U19) genutzt, um beispielsweise Sprites darzustellen, die mehr Zeit als eine Taktlücke beanspruchen. Von Bedeutung ist dieser Anschluß, wenn der Prozessor bei-spielsweise auf Speichermedien mit langen Zugriffszeiten zu-greifen muß. Das RDY-Signal ist von außen nicht verfügbar.

NMI *Non Maskable Interrupt Pin 4 (low-aktiv)*

Durch einen L-Pegel an diesem Anschluß wird eine Unterbrechung des gerade ablaufenden Programms erreicht. Nicht maskierbar (= Non maskable) bedeutet, daß diese Unterbrechnung nicht durch Softwareeinflüsse zu beeinflussen bzw. auszuschließen ist. Sobald der NMI low-aktiv wird, unterbricht der Prozessor nach der Ausführung des gerade laufenden Befehls

seine Arbeit. Die Zeitspanne, wie lange diese Unterbrechung dauern soll, ist ohne Begrenzung. Erst bei einem Wechsel des NMI-Signals von Low auf High für mindestens zwei Taktperioden erkennt dies der Rechner und nimmt die Arbeit wieder auf. Die einfachste Möglichkeit, den NMI auszulösen, ist das Drücken der RESTORE-Taste oder, da dieses Signal am Pin D des Expansionsports zur Verfügung steht, einem L-Pegel (Masse) zuzuführen.

IRQ *Interrupt Request Pin 3 (low-aktiv)*

Dieses L-aktive Signal löst ebenfalls einen CPU-Interrupt aus, reagiert aber nicht so bedingungslos wie das NMI-Signal. Bei einem anliegenden L-Pegel prüft der Rechner, ob das sogenannte I-Flip-Flop (Inhibit Interrupt Flag) gesetzt ist. Solange dieses aber auf High ist, wird eine Unterbrechungsanforderung (IRQ) ignoriert. Im Gegensatz zum NMI ist IRQ nicht vom Takt abhängig, sondern ausschließlich von der Wertigkeit des I-Flags. Der Prozessor arbeitet auch den augenblicklich vorliegenden Befehl ab, bis eine Überprüfung des IRQ und des betreffenden Flags stattfindet. Das Arbeiten mit diesen beiden Signalen NMI und IRQ erfordert eine sehr detaillierte Kenntnis der Prozessorbausteine.

RES RESET *Zurücksetzen Pin 40 (low-aktiv)*

Ein L-Pegel an diesem Anschluß setzt den Rechner in den Zustand, der direkt nach dem Einschalten vorherrscht. Der Prozessor beginnt dann als erstes mit seiner Initialisierungsroutine, dem Resetvektor auf der Adresse hex. FFFC und FFFD. Der Resetanschluß ist bei älteren C64-Rechnern am Expansionsport, Pin C, am User-Port Pin 3 und am seriellen Port, Pin 6 verfügbar. Bei neueren C64 Rechnern fehlt der Reset am seriellen Port, alle anderen sind verfügbar. Der C128 verfügt an allen drei Ports über den Resetanschluß und zusätzlich noch über einen Resettaster neben dem Ein-Aus-Schalter.

R/-W *Read/Write Pin 38 (Read high-aktiv/Write low-aktiv)*

Mit diesem Anschluß wird die Richtung der zu übertragenden Daten auf dem Datenbus gesteuert. Liegt ein H-Pegel an, so erfolgt ein Lesen des Prozessors aus dem Speicher oder der angeschlossenen Peripherie. Bei einem L-Pegel schreibt der Prozessor Daten in den adressierten Baustein. Das R/-W-Signal ist am Expansionsport, Pin 5, verfügbar.

AEC *Adress Enable Control Pin 5 (low-aktiv)*

Das AEC-Signal regelt das Zusammenspiel zwischen Video-Controller und dem Prozessor, da beide auf den gemeinsamen Bus zugreifen müssen. Das AEC-Signal wird vom Video-Controller erzeugt und der CPU am Pin 5 zugeführt. Belegt der VIC den Bus, so legt er das AEC-Signal auf einen L-Pegel und der Prozessor registriert, daß er nun nicht mehr auf den Bus zugreifen kann und legt sämtliche Busleitungen solange in einen hochohmigen Zustand, bis der VIC seine Arbeit beendet hat und das AEC-Signal wieder auf einen H-Pegel legt. Das AEC-Signal ist am Expansionsport nicht vorhanden.

DATENBUS *D7-D0, Pins 30-37*

Alle erforderlichen Übertragungen finden auf dem 8 Bit breiten Datenbus statt. Bedingt durch einen zweiseitigen Richtungsverkehr (bidirektional) können die Datenleitungen drei Ausgangszustände (tri-state oder three-state) annehmen. Zu beachten ist, daß der C64- und C128-Datenbus nicht gepuffert ist.

ADRESSBUS *A15-A0, Pins 23-7*

Mit dem 16 Bit breiten Adreßbus lassen sich insgesamt 64 KB Speicherraum adressieren. Auf die weitere Bedeutung dieses Busses wird im folgenden noch mehrmals eingegangen werden.

3.2 C128 Aufbau und Arbeitsweise der CPU

Der C128 besitzt zwei CPUs, eine 8502 als 2 MHz Weiterentwicklung zur 6510 bzw. 6502 und Softwarekompatibilität. In dieser und für CP/M wird eine Z80-B CPU von ZILOG eingesetzt. Der funktionelle Aufbau sowie die Arbeitsweise dieser beiden Bausteine unterscheidet sich grundlegend voneinander, auf die Besonderheiten wird nun im folgenden näher eingegangen.

3.2.1 8502 CPU im C128

Als Weiterentwicklung der 6510 (bzw. 6502) durch die Commodore Tochterfirma MOS-Technologie bietet die 8502 CPU die Möglichkeit, softwaremäßig sowohl mit 1 MHz (slow) wie auch mit 2 MHz (fast) getaktet zu werden. Die 8502 ist identisch zur 6510, deren Pinbelegung Sie in der Abbildung 1 vorfinden. Allerdings entstanden für die Entwickler bei Commodore bezüglich der 2 MHz Taktfrequenz und dem Video-Controller einige Probleme, auf die im entsprechenden Kapitel noch näher eingegangen wird.

Ein weitaus größeres Problem ergab sich aus der Tatsache, daß zwei CPUs auf die gleichen Resourcen (Betriebsmittel) wie Speicher, System-, Adreß- und Datenbus zugreifen müssen und je nach Modus nur eine CPU arbeitet, während die andere sich in einem definierten Wartezustand befindet. Wie dieses erreicht wird, können Sie im Kapitel 3.2.3 nachlesen, in dem das Zusammenspiel beider CPUs etwas ausführlicher dargelegt ist.

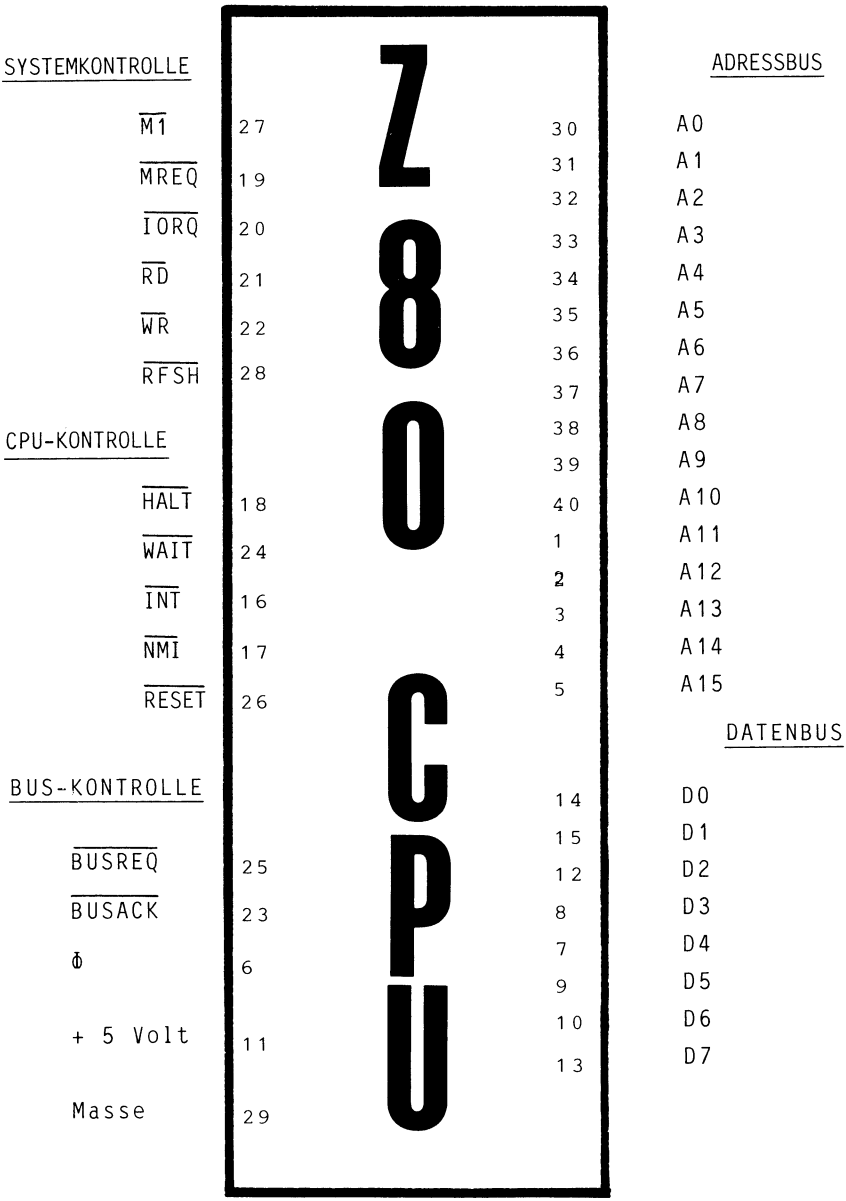


Abb. 4: Anschlußbelegung der Z80-CPU

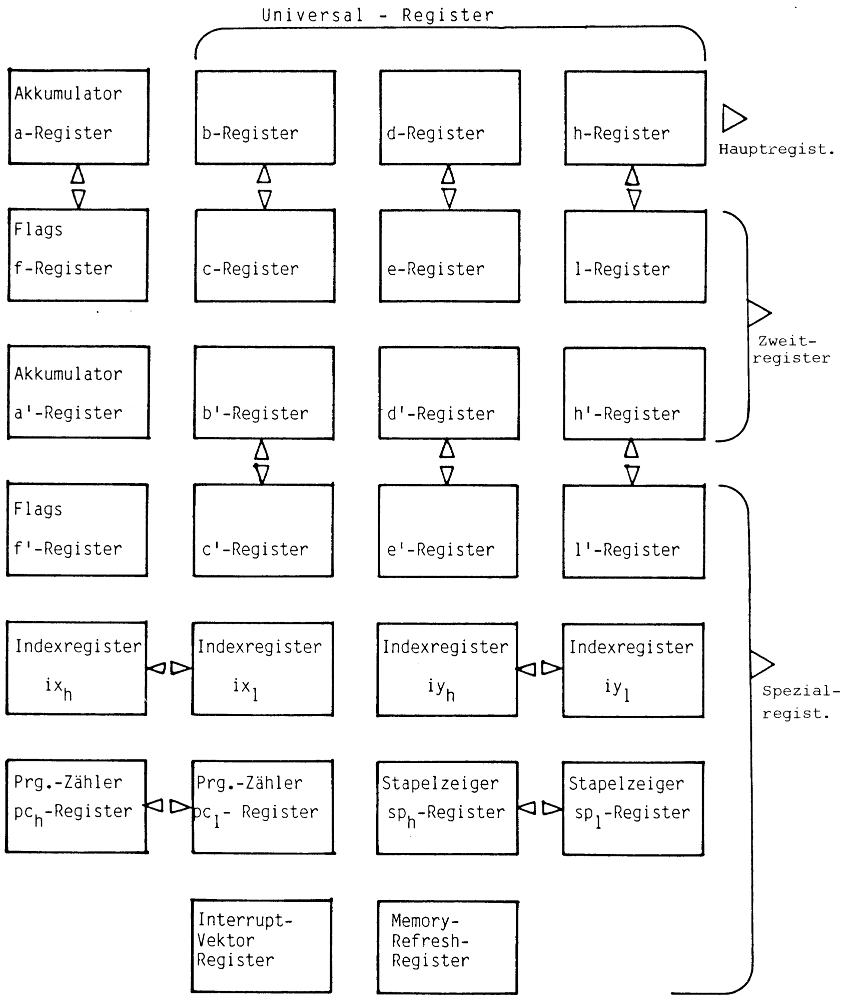


Abb. 5: Registeraufbau der Z80-CPU

3.2.2 Z80-B-CPU im C128

Ohne diesen integrierten Schaltkreis wäre kein CP/M auf dem Rechner möglich. Die Z80-B-CPU der Firma ZILOG ist eine Weiterentwicklung der schon legendären 8080 CPU. Die Pinbelegung finden Sie in der Abbildung 4 dargestellt. Desweiteren ist der interne Registeraufbau der Z80-CPU in der Abbildung 5 wiedergegeben.

Betrachten wir nun die einzelnen Anschlüsse der Z80-CPU und deren Wirkung:

DATENBUS *D7-D0*

Auf diesen Datenleitungen (Datenbus) gelangen die Daten von und zur Z80-CPU. Der Spannungspegel aller Leitungen ist TTL-kompatibel, und an jeden Anschluß kann eine LS-TTL-Last angeschlossen werden.

ADRESSLEITUNGEN *A15-A0*

Über die 16 Adreßleitungen (A0-A15) erfolgt die Adressierung des Speichers. Maximal lassen sich 2^{16} = 64 K Bytes adressieren. Alle Anschlüsse des Adreßbus sind tri-state Ausgänge. Alle Adressen sind TTL-kompatibel und dürfen mit maximal 10 LS-TTL-Lasten betrieben werden.

READ (RD) *(low-aktiv), Pin 21*

Im Lesemodus (Read) hat dieser Anschluß einen L-Pegel, wenn der Rechner Daten vom Speicher oder von einem Eingang lesen soll. Der adressierte Speicherplatz oder Port muß die Daten auf den Bus schalten. Im nicht aktiven Zustand hat diese Leitung H-Pegel (+ 5 Volt).

WRITE (WR) *(low-aktiv), Pin 22*

Ähnlich dem Lesebetrieb arbeitet der Schreibbetrieb. Dieser Ausgang hat dann einen L-Pegel, wenn die CPU Daten ausgeben will. Hierdurch wird der adressierte Speicher oder Port aufgefordert, die anstehenden Daten zu übernehmen.

MEMORY REQUEST (MREQ) *(low-aktiv), Pin 19*

Für jede Speicheranforderung, ob zum Lesen oder Schreiben, muß gewährleistet sein, daß dem System eine gültige Adresse zur Verfügung steht; erst dann können Read- oder Write- Befehle ausgeführt werden. Mit einem L-Pegel an diesem Anschluß zeigt die CPU an, daß eine gültige Adresse für eine Speicheroperation vorliegt.

IN OUT REQUEST (IORQ) *(low-aktiv), Pin 20*

Der IORQ-Anschluß hat die gleiche Aufgabe wie der vorher beschriebene MREQ, nur mit dem Unterschied, daß dieser Anschluß für Ein-Ausgabeoperationen zuständig ist. Liegt dieser Anschluß auf einem L-Pegel, so will die CPU Daten an einen Port ausgeben oder von ihm lesen, je nachdem wie der logische Zustand der Anschlüsse Read und Write ist. In diesem Fall enthalten die Adressen A0-A7 eine gültige Ein-Ausgabeadresse. Das M1-Signal (Maschinenzyklus 1) erzeugt selbständig ein IORQ-Signal, wenn ein Interrupt quittiert wird; damit kann der Datenbus einen Interrupt-Antwort-Vektor aufnehmen. Interrupt-Quittungsoperationen entstehen während der M1-Zeit; währenddessen laufen keine Ein-Ausgabe-Operationen ab.

REFRESH (RFSH) *(low-aktiv), Pin 28*

Dieser Ausgang wird zum Auffrischen dynamischer Speicherbausteine benutzt. Die Eigenschaften der unterschiedlichen Speicherbausteine werden in einem besonderen Kapitel ausführlich behandelt; dort können Sie auch weiteres über dyna-

mische Speicher und das Auffrischverfahren nachlesen. Durch einen L-Pegel wird angezeigt, daß die niederwertigsten 7 Bits einer Refreshadresse auf dem Datenbus liegen. Dieser Anschluß arbeitet mit MREQ zusammen, so daß damit die Leseoperation der aufzufrischenden Speicherstellen eingeleitet werden kann.

MASCHINENZYKLUS (M1) (low-aktiv), Pin 27

Diesem Anschluß kommt für die externe Bearbeitung keinerlei Bedeutung zu. Liegt nämlich hier ein L-Pegel an, so wird dadurch angezeigt, daß der gerade abgearbeitete Maschinenzyklus ein Befehlsbyte aus dem Speicher holt. Der aktive logische Zustand (L-Pegel) erscheint auch in Verbindung von IORQ, wenn die CPU eine Interruptanforderung bestätigt.

HALT (low-aktiv), Pin 18

Dieser Ausgang zeigt an, daß die CPU einen softwaremäßigen Halt-Befehl ausgeführt hat. Es wird solange gewartet, bis ein Interrupt-Signal vorliegt. Während dieser Zeit werden weiterhin Refreshsignale für die dynamischen Speicherstellen erzeugt.

WAIT (low-aktiv), Pin 24

Sind am Rechner langsame, periphere Bausteine (EPROMs etc.) angeschlossen, so wird dieser Anschluß benötigt, um die schnelle Arbeitsweise der CPU mit der langsamen des peripheren Bausteins zu synchronisieren. Wird nämlich an diesem Anschluß ein L-Pegel angelegt, so wartet die CPU mit allen weiteren Aktivitäten solange, bis dieser Anschluß wieder auf einem H-Pegel ist. Beachten Sie bitte, daß während der WAIT-Zeit keine Refreshadressen erzeugt werden.

INTERRUPT-ANFORDERUNG (INT) *(low-aktiv), Pin 16*

Auch dieses Signal ist in der Regel für unsere peripheren Geräte bedeutungslos. Der CPU-Eingang wird von Ein-Ausgabegeräten angesteuert. Liegt dort ein L-Pegel an, so wird eine Programmunterbrechung nach dem gerade vorliegenden Befehl eingeleitet, sofern die CPU dieses durch einen EI-Befehl ermöglichen kann. Wichtig hierbei ist, daß das Bus-Request-Signal nicht aktiv sein darf. Wird die Interruptanforderung von der CPU angenommen, so wird ein Bestätigungssignal ausgegeben.

NON MASKABLE INTERRUPT (NMI) *(low-aktiv), Pin 17*

Dieser Interrupteingang liegt prioritätsmäßig höher als INT und wird immer nach dem gerade bearbeiteten Befehl ausgeführt. Dann erfolgt ein Sprung auf die Adresse 0066 (hex).

RESET *(low-aktiv), Pin 26*

Mit dem Reset kann der Rechner jederzeit in einen definierten Anfangszustand versetzt werden. Wird diesem Anschluß ein L-Pegel zugeführt, so befindet sich der Rechner im gleichen Zustand wie nach dem Einschalten (Programmiert hex. 0).

Das Foto der Abbildung 6 zeigt Ihnen die vollständige Platine des C128. Zur besseren Übersicht sind die wichtigsten Bausteine und deren Lage im C128 in der Abbildung 7 wiedergegeben.

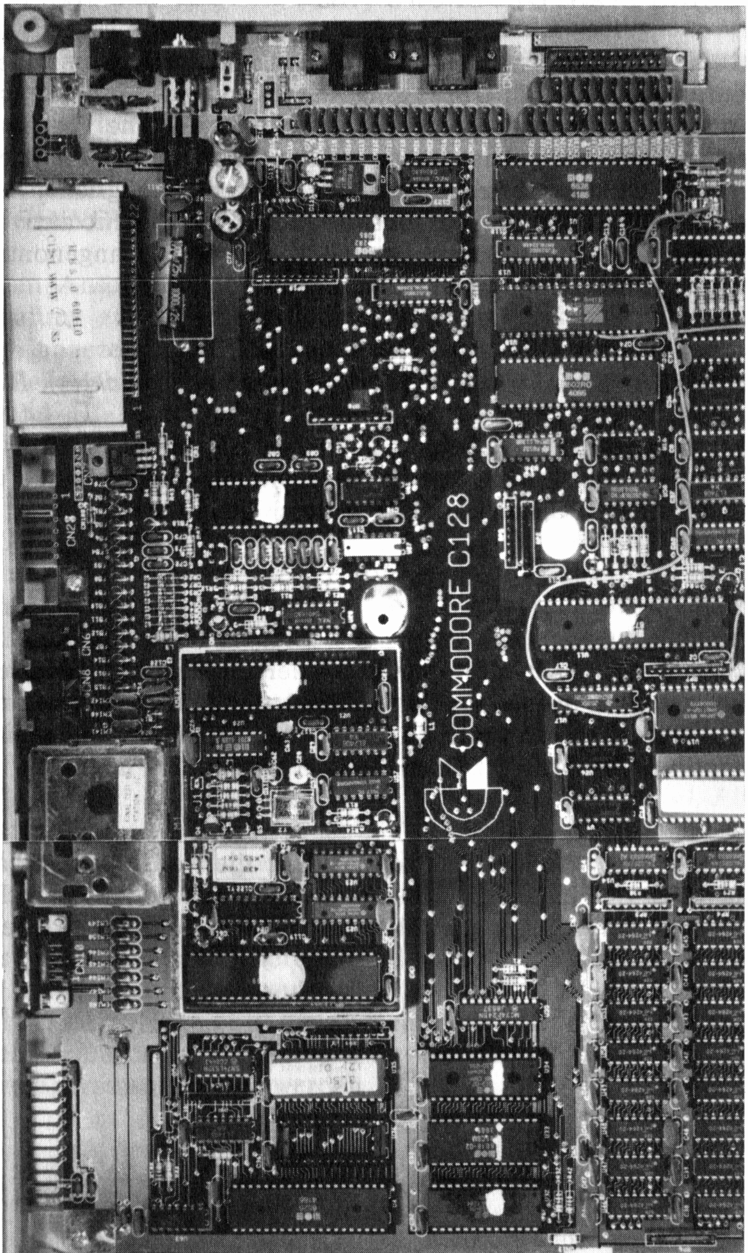


Abb. 6: Innenleben des C128

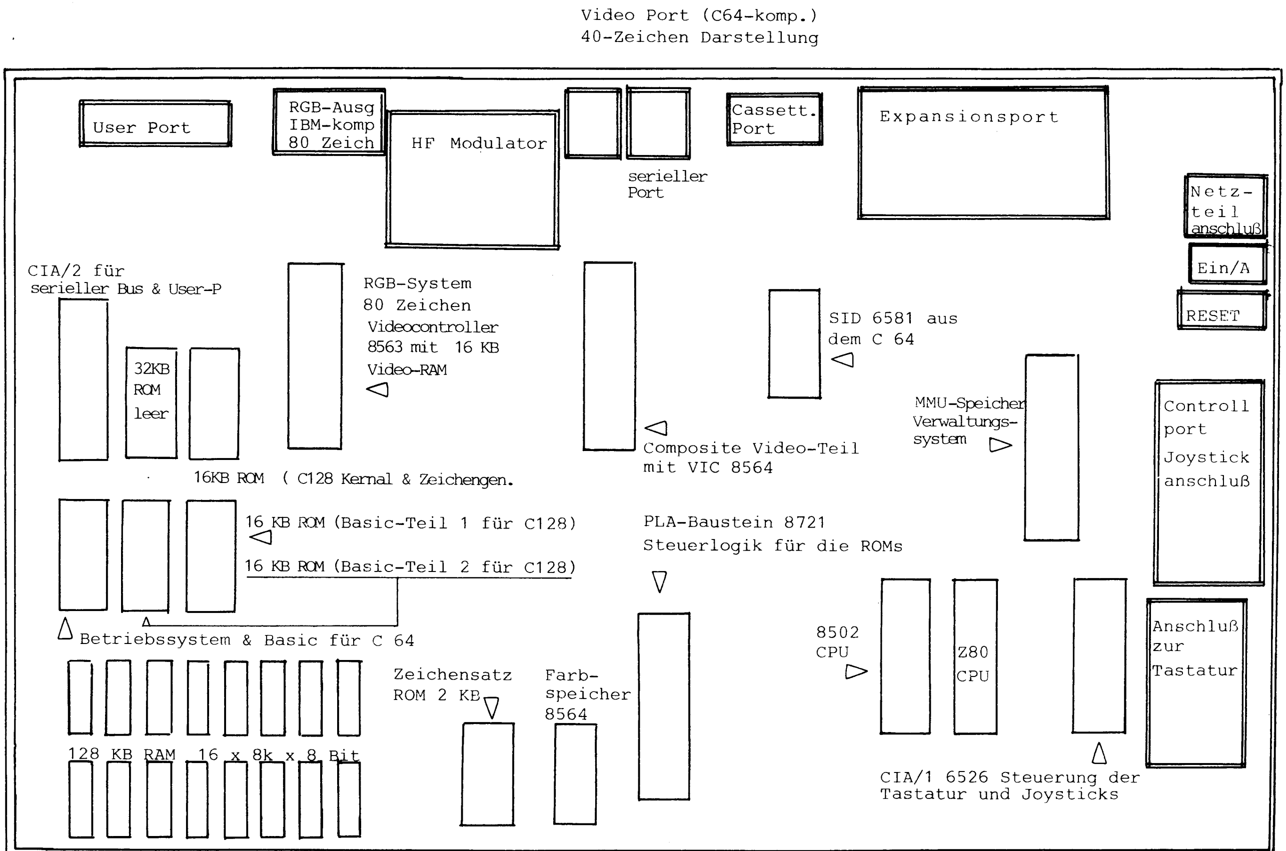


Abb. 7: Die wichtigsten Bausteine und ihre Lage im C128

3.2.3 Zusammenspiel beider CPUs (Z80-B und 8502)

Das Wechselspiel zwischen beiden Prozessoren kann durch mehrere Arten erreicht werden. Die 8502-CPU (6510) besitzt hierfür besondere Anschlüsse und zwar:

Pin 2 RDY
Pin 5 AEC

Wie bereits im Kapitel 3.1 nachzulesen war, signalisiert der Anschluß RDY mit einem H-Pegel, daß die Daten gültig sind und übernommen werden können.

Legt man nun diesen Anschluß an einen L-Pegel, so geht die CPU in einen definierten Wartezustand und zwar so lange, bis das RDY-Signalwieder High ist. Während dieser Zeit, die beliebig lang sein kann, kann der zweite Prozessor arbeiten. Eine andere Möglichkeit stellt Pin5 (Adress-Enable-Control, low-aktiv) dar. Das AEC-Signal wird vom Video-Controller erzeugt und gelangt als Eingang auf die 8502-CPU. Sobald der Video-Controller dieses Signal auf einen L-Pegel legt, teilt er der CPU mit, daß der VIC auf die gemeinsamen Betriebsmittel, z. B. RAM, zugreifen muß. Die CPU reagiert darauf, daß ihre Busleitungen in einen hochohmigen Zustand versetzt werden und zwar so lange, bis der Video-Controller über einen H-Pegel den Bus wieder freigibt. Diese beiden Möglichkeiten ergeben sich aus der internen Struktur des Prozessors; extern können sie nicht beeinflußt werden, da weder RDY noch AEC von außen her zugänglich sind. Hier bietet sich die Möglichkeit über das Signal DMA (Direct Memory Access), welches am Expansions-Port am Pin 12 verfügbar ist. Ein H-Pegel an diesem Anschluß besagt, daß die gesamte Steuerung des Rechners von außen, d. h. von angeschlossenen peripheren Geräten übernommen wird. Beide Prozessoren gehen nun in einen definierten Wartezustand. Der definierte Wartezustand der Z80-CPU geschieht im C128 durch eine sogenannte MMU (Memory Management Unit), die neben anderen Aufgaben auch noch die Auswahl der arbeitenden CPU übernimmt.

Beide CPU's die 8502 und die Z80-B teilen sich in einem komplizierten Zeitverfahren Daten-, Adress- und Steuerbus.
Die weißen Flecken auf einigen IC's sind Leitpaste mit deren Hilfe die Kühlbleche der Abdeckung auf den IC's aufliegen

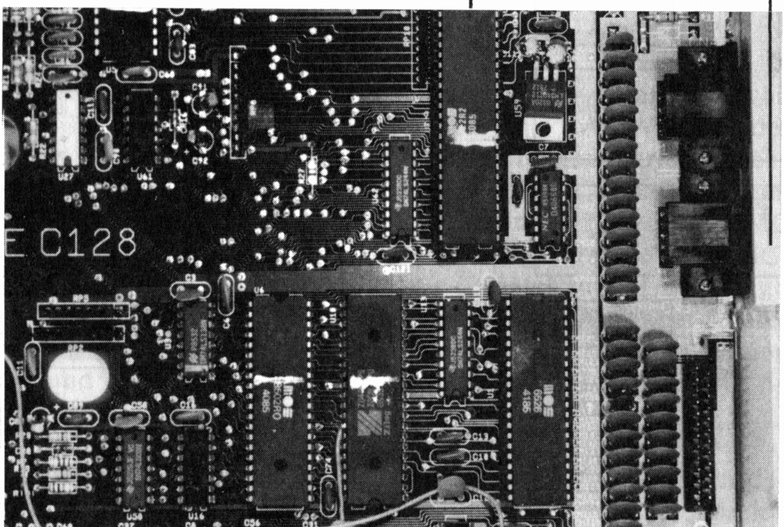


Abb. 8: Teilausschnitt des C128

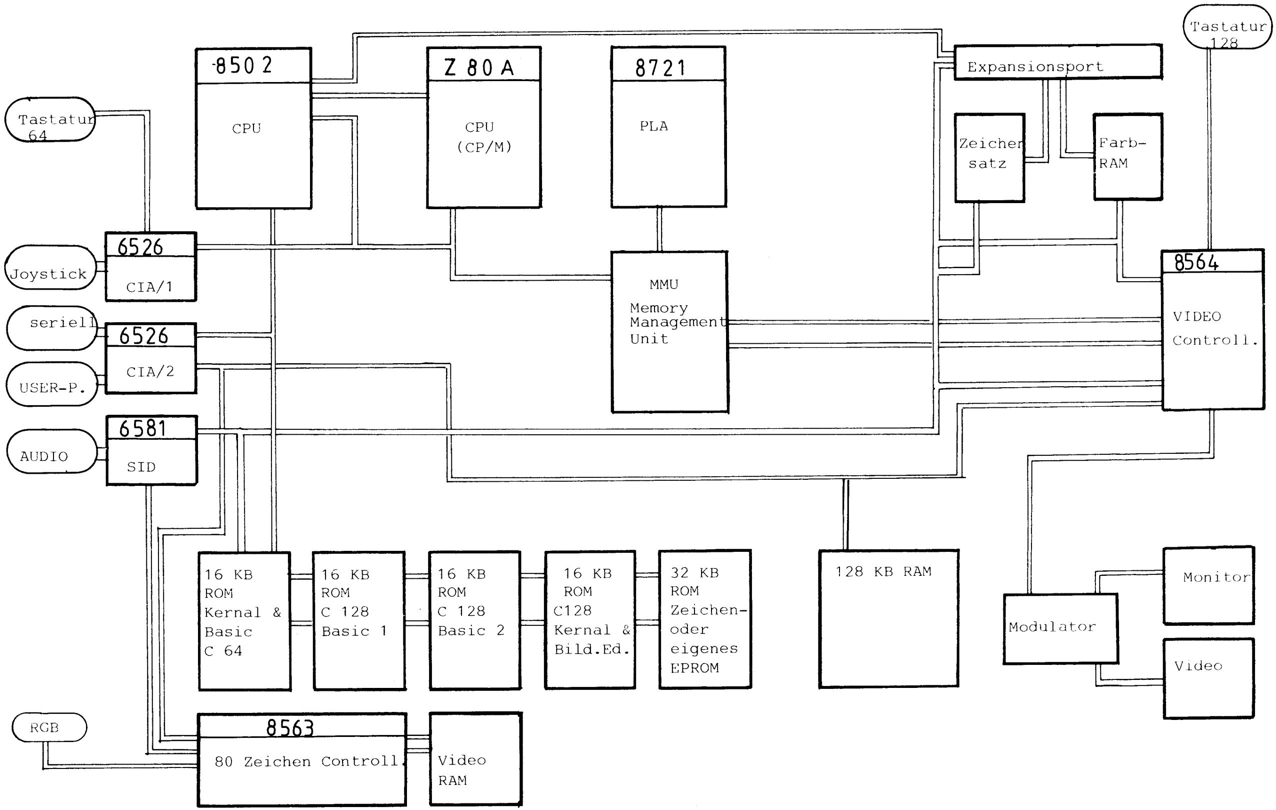


Abb. 9: Blockschaltbild des C128

Für den Z80B wird ein sogenanntes Z80-Enable-Signal (low-aktiv) erzeugt, welches bei einem H-Pegel die CPU in den gleichen Wartezustand zwingt, wie die bereits genannten bei der 8502. Die Abbildung 8 vermittelt Ihnen einen Überblick über die Lage der beiden CPUs auf der C128-Platine. Die Abbildung 9 zeigt Ihnen das vereinfachte Blockschaltbild des C128.

3.3 Speicherverwaltung im C64

Mit 16 Adreßleitungen läßt sich insgesamt ein Adreßraum von 64 KB ansprechen, innerhalb dessen alle Aktivitäten des Rechners ablaufen müssen. Durch die mehrfachen Bereichsüberlappungen und der dadurch bedingten aufwendigen Adreßverwaltung wurde im C 64 ein besonderer Steuerungs-IC eingebaut, der den Namen FPLA (Field Programnable Logic-IC) hat und auf Ihrer Rechnerplatine die Bezeichnung U 17 trägt. Im folgenden werden Sie die mächtige Aufgabe dieses Schaltkreises kennen-lernen, und mit Recht kann man den FPLA und nicht die CPU als eigentliches "Herz" des C 64 bezeichnen.

Die Standard-Adreß- und Speicherverteilung des C 64 ist in der Abbildung 10 wiedergegeben, allerdings läßt dieser Bereich durch extern herausgeführte Signale (z. B. EXROM, GAME) sich vollständig umkonfigurieren.

Auf die "Zusatzbits" des 3-Bit-Ports von der CPU zur FPLA wurde bereits in Kapitel 3.1 ausführlich eingegangen. Die nachfolgende Tabelle gibt Ihnen Aufschluß über die Konfiguration des C 64 in Abhängigkeit der fünf Signale LORAM, HIRAM, CHARDEN, EXROM und GAME, wobei die Pegelbezeichnung "X" die gültige Schreibweise für "nicht berücksichtigt" ist, d. h. es spielt keine Rolle, ob an diesem Anschluß ein "L"- oder "H"-Pegel anliegt.

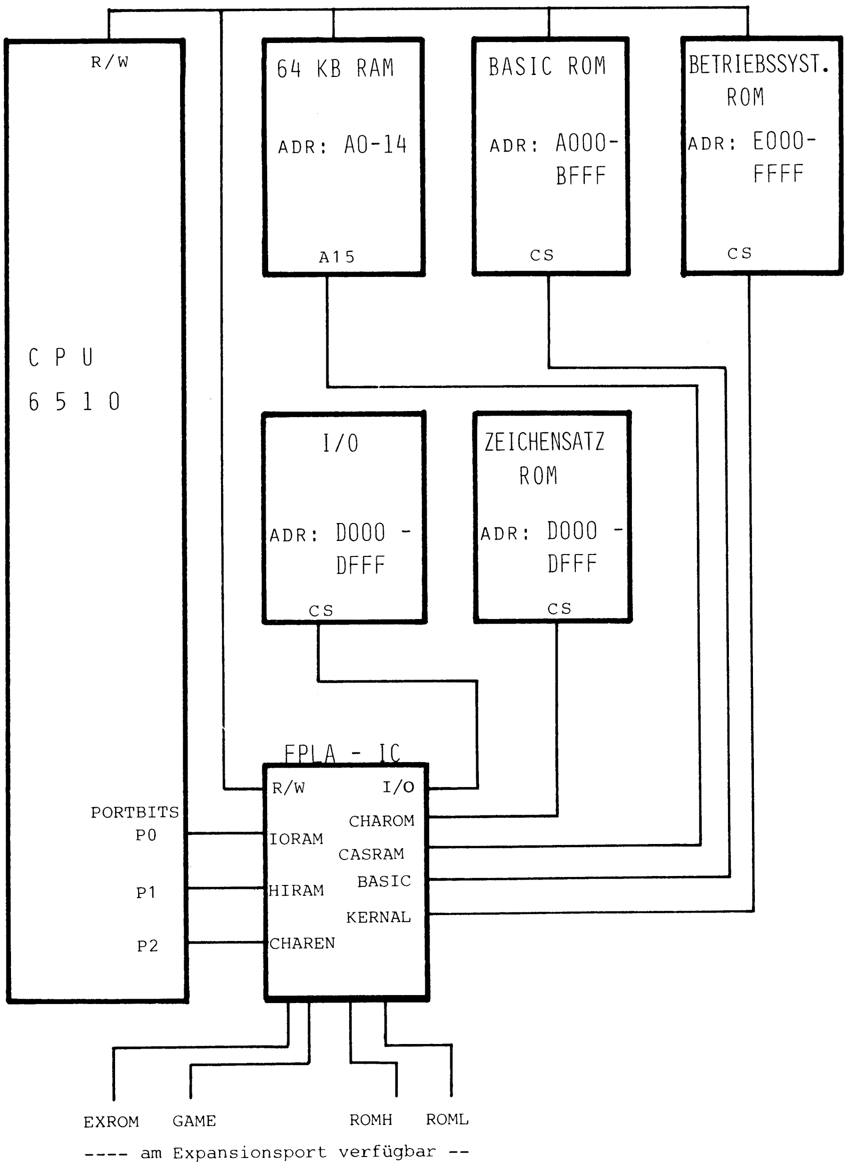


Abb. 10:
Aufgabe des FPLA-IC beim C64 in der Speicherverwaltung

vom Prozessor 6510			Expansions-Port		
CHAREN	LORAM	HIRAM	EXROM	GAME	Bedeutung
H	H	H	H	H	Einschalt-zustand
H	L	H	x	H	Basic-ROM A000-BFFF durch RAM ersetzen
H	L	H	x	H	Basic-ROM A000-BFFF und E000-FFFF durch RAM ersetzen
H	L	L	H	H	nur RAM aktiv
					Ext. ROM bei
H	H	H	L	L	8000-C000
H	L	H	L	L	A000-C000
H	H	H	L	H	8000-A000

Zusätzlich muß noch der Lese-Schreib-Anschluß zu Steuerungszwecken herangezogen werden. Wird durch den FPLA beispielsweise ein Schreibzugriff auf den Bereich hex. A000-BFFF (=BASIC-ROM) angefordert, so erkennt die FPLA, daß ein Schreiben in ein ROM "unmöglich" ist, schaltet daraufhin das ROM aus und aktiviert das dahinterliegende und den gleichen Adreßraum belegende RAM. Das gleiche passiert im Adreßraum hex. E000-FFFF, der dreifach belegt ist, dem Hintergrund-RAM und den ROM-Routinen für das Betriebssystem I/Os und dem Zeichengenerator.

Auch diese Dreifachbelegung ist für den FPLA-IC kein Problem. Normal teilen sich der Zeichengenerator und die beiden I/O-Bausteine den Speicherbereich von DC00-DFFF. Die Zusatzteilung übernimmt das Signal CHAREN (Character Enable). Liegt dort ein L-Pegel an, so ist der Zeichengenerator aktiviert, bei einem H-Pegel wird der I/O-Bereich für unsere späteren peripheren Anwendungen angesprochen. Von großem Vorteil ist es, daß die Signale ROML, ROMH, GAME und EXROM am Expansionsport anliegen und damit die Konfiguration von außen beeinflußt werden kann. Näheres hierzu lesen Sie bitte im Kapitel 5 nach, wo die einzelnen Pins des Expansionsports nochmals detailliert auf ihre Wirkung für periphere Anwendungen hin besprochen werden.

3.4. Speicherverwaltung beim C 128

Grundsätzlich arbeitet die Speicherverwaltung beim C128 nach dem gleichen Prinzip wie beim C64, aber bedingt durch die größere ROM- und RAM-Kapazität und den beiden Prozessoren ist der Verwaltungsaufwand ungleich höher als beim C64.

Die umfangreiche Adressierlogik übernimmt im wesentlichen ein besonderer Schaltkreis, der in der Commodore Literatur als MMU (Memory Management Unit = Speicherverwaltungseinheit) bezeichnet wird. Auch dieser IC ist eine besondere Eigenentwicklung der Firma MOS-Technologie. Die Aufgabe dieses Schaltkreises ist es, die Verwaltung der 128 KB für beide Prozessoren sicherzustellen. Beide 8-Bit Prozessoren sind nämlich nur in der Lage, einen Adreßraum von 64 KB mit den Leitungen A15-A0 zu adressieren. Aus diesem Grund ist der RAM-Bereich auch in Blöcke zu je 64 KB unterteilt, und die MMU übernimmt das Einblenden des gerade aktuellen Bereiches einschließlich der ROM-Bausteine. Die Steuerung der MMU geschieht durch interne Register im Be-reich von hex. D500-D50B und hex. FF00-FF04, die im C64-Modus nicht angesprochen werden können.

Im 128-Modus verfügt der Rechner über eine freie Speicherkapazität von 122 KB, mit denen er sich auch im Anschaltbild meldet. Aber dieser Bereich ist nicht an einem Stück verfügbar, denn aus den oben genannten Gründen könnte der Prozessor sie auch nicht verwalten. BASIC-Programme liegen in der ersten Bank (Bank 0), Variable dagegen in der zweiten Bank (Bank 1) mit jeweils ca. 61 KB. Diese Speicheraufteilung im C128-Modus nach dem Einschalten des Rechners verdeutlicht Ihnen die Abbildung 11.

Auch die Leistungsfähigkeit der MMU zeigt Ihnen die Abbildung 11, da in jede RAM-Bank ROM-Blöcke eingeblendet werden können und dazu auch die entsprechenden Steuersignale generiert werden müssen. In der Abbildung 12 sehen Sie die Aufteilung der beiden RAM-Bänke im C128. Darüber hinaus befindet sich im C128 die gleiche FPLA wie im C64 zur Verwaltung der ROM-Speicher.

Wesentliche Unterschiede liegen in den Bus-Strukturen des Rechners. Hierbei unterscheidet man folgende Arten:

Prozessor-Bus	(PB)
Translated-Adress-Bus	(TAB)
Multiplexed-Adress-Bus	(MAB)

Der Prozessor-Bus umfaßt den Datenbus (D7-D0) und den Adreßbus (A15-A0), auf den die 8205 mit ihrer maximal 2 MHz Taktfrequenz bequem zugreifen kann. Für die Z80B CPU, die mit 4 MHz betrieben wird, muß bei einem Zugriff auf diesen Bus die Taktfrequenz halbiert werden, damit beide Prozessoren mit der gleichen Geschwindigkeit zugreifen.

C 128

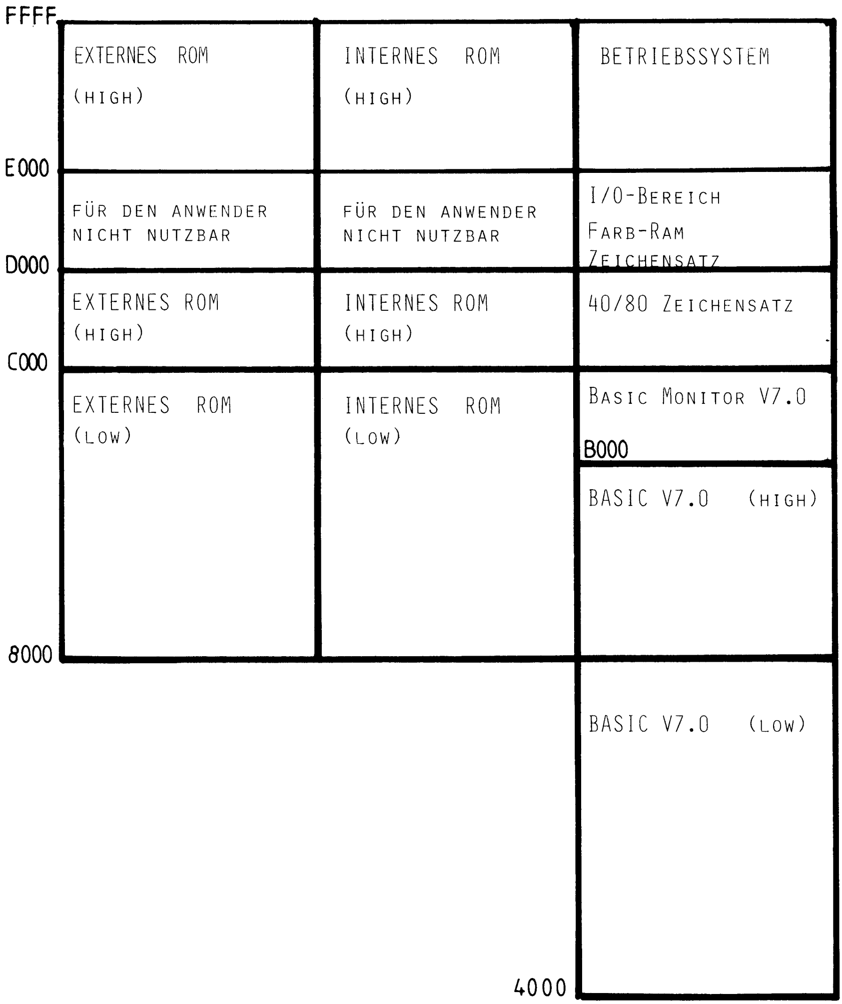


Abb. 11:
Verwendung der RAM/ROM-Blöcke und Einblendung in die verschiedenen Adreßräume

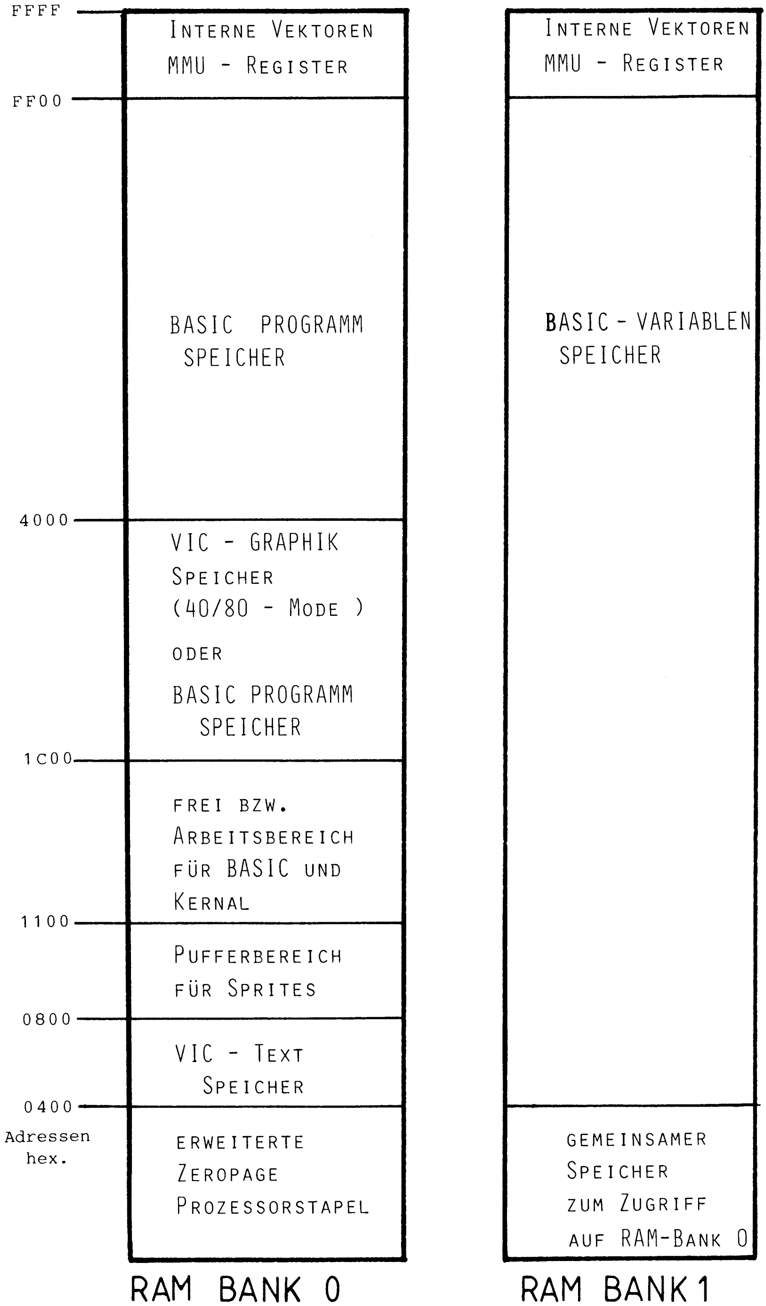


Abb. 12: BANK-Aufteilung des C128 (RAM-Bereich)

Der Translated-Adress-Bus wird von dem MMU-IC erzeugt. Dieser Bus umfaßt nur die Adreßleitungen TAB15-TAB8 und wird je nach Betriebssystem des Rechners übersetzt (= translate). Der CP/M Standard unterliegt einer Normung, d.h. die Speicherbereiche, in denen bestimmte Routinen aufzufinden sind, sind bei allen CP/M Rechnern identisch.

Das CP/M-BIOS muß im Speicherbereich von hex. D000-DFFF liegen, damit die bestimmten Routinen hierauf zugreifen können. Da aber die Speicherorganisation auf Basis des C128 bzw. des C64 aufgebaut ist, wurde das CP/M-BIOS in den Bereich hex. 0000-0FFF (Bank 0) untergebracht. Aus diesem Grund müssen die Adressen von hex. D000-DFFF nach hex. 0000-0FFF "übersetzt" werden, wenn die Z80-CPU auf die CP/M Routinen zugreift.

Weiterhin dient der Translated-Adress-Bus (TAB) dazu, dem Video Controller den ROM-Zeichensatz vollständig zu adressieren. Ein einziges Zeichen besteht aus 8 Bytes, bei insgesamt 256 Zeichen bedeutet dies eine Kapazität von 256x8 = 2048 Bytes. Mit den zur Verfügung gestellten acht Adreßleitungen TAB15-TAB8 lassen sich aber nur 256 Bytes im Zeichensatz-ROM adressieren. Die "fehlenden" drei Adreßleitungen TAB8-TAB11 werden, sobald der Video-Controller arbeitet, diesem durch die MMU zur Verfügung gestellt, so daß nun der gesamte Zeichensatz-ROM adressiert werden kann.

Der Multiplexed-Adress-Bus ist ein eigener, durch die MMU und den FPLA-IC erzeugter Adreßbus, der die Zusammenarbeit zwischen Video-Controller und CPU beaufsichtigt. Die Abbildung 13 zeigt Ihnen die Anordnung der RAM-Speicher-ICs auf der C128-Platine.

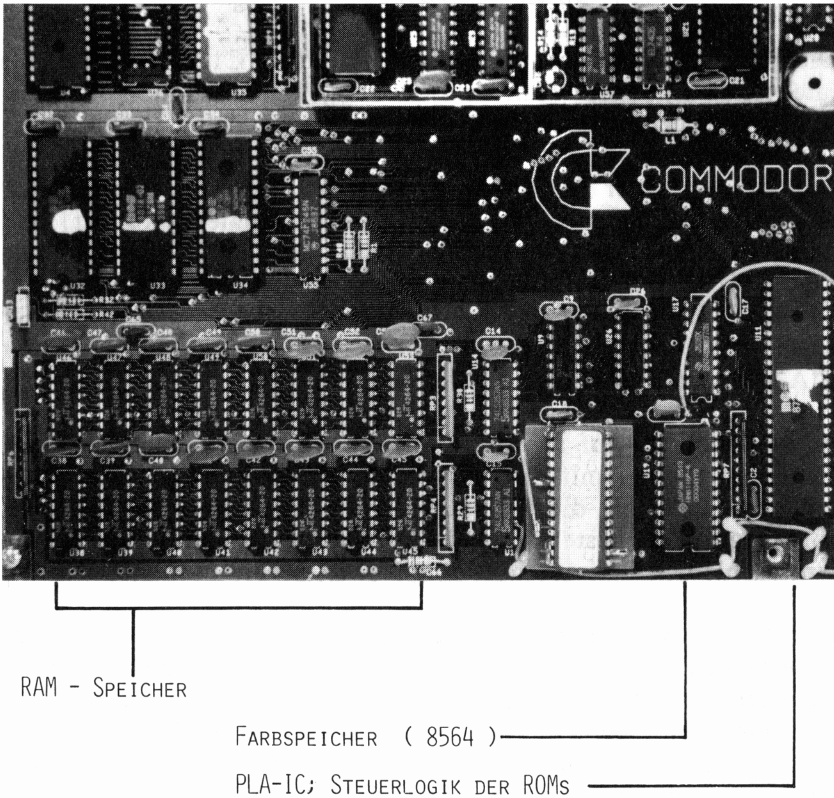


Abb. 13:
RAM-Speicher im C128; 2x8 Speicherblöcke mit aus 4264-ICs (64 KB x 1 Bit). Bei diesem Musterrechner beim Verfasser ist der Zeichensatz auf einer kleinen zusätzlichen Adapterplatine vom Werk her untergebracht. Mehrere Drähte auf der Platine weisen offensichtlich auf einen Prototypen hin.

3.5 CIA (6526) im C64 und C128

Die beiden CIA-Bausteine im C64 bzw. C128 steuern alle internen Vorgänge, wenn es sich um Aktivitäten der Tastatur, Joysticks oder des seriellen Datenverkehrs handelt.

Die CIA mit der Typenbezeichnung 6526 wird ausschließlich von der Commodore-Firma MOS-Technologie gefertigt und unter-scheidet sich wesentlich von der VIA (6522) von ROCKWELL. Die Pinkompatibiltät ist nicht gegeben, daher können Sie die beiden Bausteine nicht gegeneinander austauschen. Vergleichen Sie hierzu die Gegenüberstellung der CIA und der VIA in der Abbildung 14.

Im weiteren Verlauf des Buches werden Sie zwei Bauanleitungen für Schnittstellen mit der VIA finden. Dieser IC hat den Vorteil, um mehr als die Hälfte preiswerter zu sein als die CIA. Softwaremäßig besteht in der Leistungsfähigkeit kaum ein Unterschied, lediglich einige Register sind vertauscht.

Kehren wir wieder zur CIA zurück und betrachten deren Registerbelegung und Möglichkeiten. Die CIA besitzt intern 16 Register. Sowohl im C64, wie auch im C128 belegen beide Bausteine den gleichen, festen Adreßbe-reich. Die Tabelle in der Abbildung 15 gibt Ihnen einen Über-blick über die Registerbelegung und deren Adressen im C64 und C128.

Da beide Rechner untereinander kompatibel sind, sind auch die Aufgaben der CIAs identisch. Die Hauptaufgabe fällt CIA-1 zu. Die beiden Ports werden zur Tastatur- und Joystickabfrage herangezogen. Port A prüft die Zeilen der 8x8 Tastaturmatrix und Port B die Spalten, um festzustellen, welche Taste gedrückt ist. Wird in den Controlport ein Joystick oder Paddle eingesteckt, so ist CIA-1, Port A, für den Joystickport 2 zuständig, während Port B den augenblicklichen Stand des Joystickport 1 anzeigt.

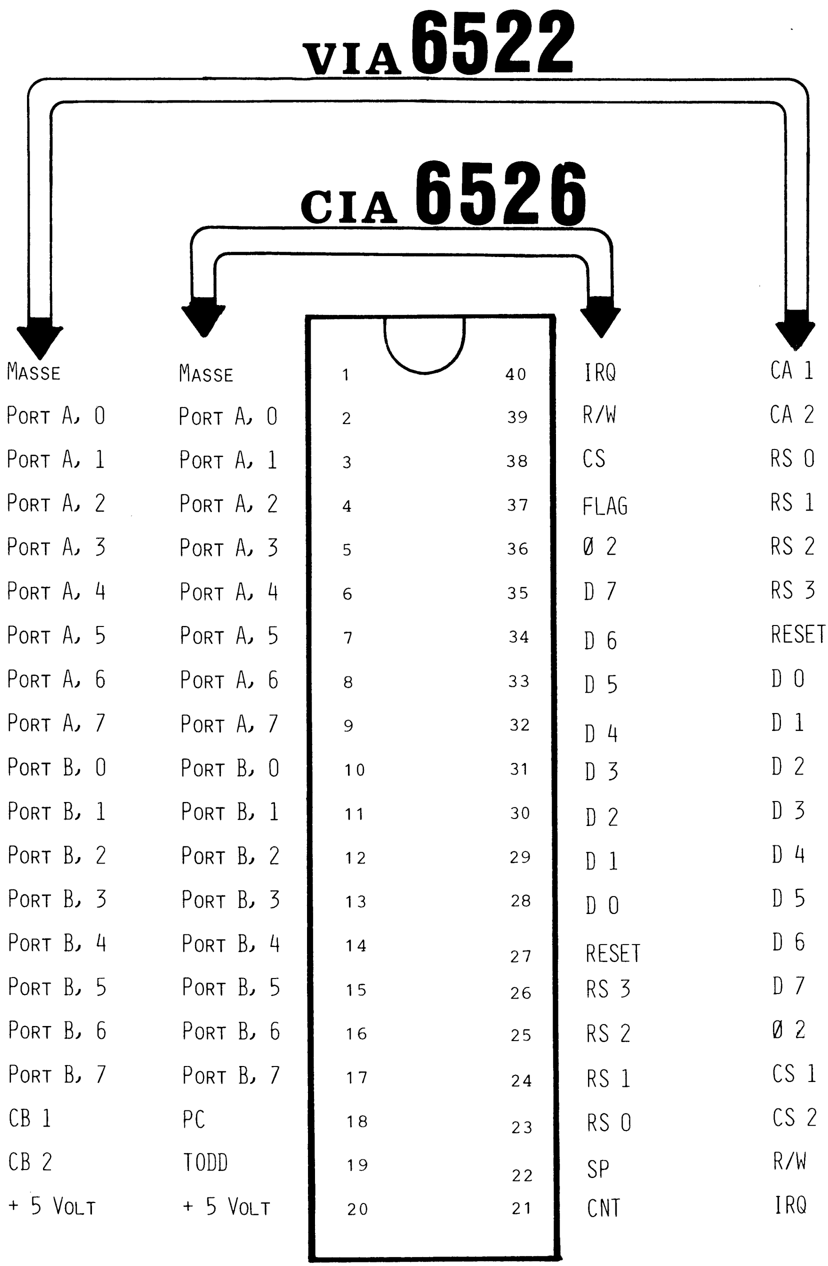


Abb. 14:
Pingegenüberstellung CIA-6526 von MOS-Technologie und VIA-6522 von ROCKWELL

CIA 6526

REGISTER NR.	BEDEUTUNG	----- C 64 & C 128 ------ -- C I A / 1 --		-- C I A / 2 --	
		DEZ.	HEX.	DEZ.	HEX.
0	Datenregister Port A	56320	DC00	56576	DD00
1	Datenregister Port B	56321	DC01	56577	DD01
2	Datenrichtungsregister Port A	56322	DC02	56578	DD02
3	Datenrichtungsregister Port B	56323	DC03	56579	DD03
4	Timer A, Low Byte	56324	DC04	56580	DD04
5	Timer A, High Byte	56325	DC05	56581	DD05
6	Timer B, Low Byte	56326	DC06	56582	DD06
7	Timer B, High Byte	56327	DC07	56583	DD07
8	1/10 Sekunden	56328	DC08	56584	DD08
9	Sekunden	56329	DC09	56585	DD09
10	Minuten	56330	DC0A	56586	DD0A
11	Stunden	56331	DC0B	56587	DD0B
12	Serieller Port (SDR)	56332	DC0C	56588	DD0C
13	Interrupt Kontroll Reg.	56333	DC0D	56589	DD0D
14	Kontroll Register A	56334	DC0E	56590	DD0E
15	Kontroll Register B	56335	DC0F	56591	DD0F

Abb. 15: CIA 6525

Die beiden Timer der CIA-1 sind einmal für die Interruptsteuerung der CPU verantwortlich (Timer A), und zum anderen werden beide (Timer A und B) für die Steuerung und den Datenaustausch mit der Datasette verantwortlich. Die Echtzeituhr in der CIA-1 wird dann aktiviert, wenn Zufallszahlen zu erzeugen sind. Einzig der serielle Port der CIA-1 ist durch das Betriebssystem nicht beeinflußt, dieser steht Ihnen über Pin 5 am Userport zur Verfügung.

CIA-2 hat bedeutend weniger Aufgaben zu erfüllen. Port B kann vom Anwender vollständig über die Anschlüsse C-L am Userport genutzt werden. Timer A und B sind für den RS-232 Datenaustausch zuständig. Port A regelt einmal über die Bits 3-7 den Transfer auf dem seriellen Port für die Floppy, und zum anderen wird durch die Bits 0 und 1 die Auswahl der Videospeicherbank bestimmt. Alle übrigen Register der CIA-2 können vom Benutzer mit den entsprechenden POKE- und PEEK-Befehlen verwendet werden.

Als Besonderheit besitzt die CIA zwei intern programmierbare Timer (Zähler), die nach dem gleichen Schema wie die der VIA arbeiten. Diese sind in der Lage, einen vorgegebenen Wert von max. 65535 dez. bis Null herabzuzählen. Durch einen Impuls wird der jeweils augenblickliche Zählerstand um eins vermindert, so lange bis Null erreicht wird. Beim Erreichen des Nullstandes wird im Kontrollregister ein Bit gesetzt. Der Zählimpuls, man nennt ihn TRIGGER (to trigger = auslösen) kann sowohl extern über den Anschluß CNT am Userport eingespeist werden, aber es läßt sich hierzu auch der interne Systemtakt verwenden.

Interessant ist, wenn der Zähler (Timer) A den Zähler B triggert, d.h. jedesmal wenn Timer A seinen Nullstand erreicht hat, triggert er Timer B, dessen Zählerstand sich dann um eins vermindert. Dadurch kann man einen 2x16 Bit breiten Timer aufbauen, der in der Lage ist, bis $2^{32}-1$, d.h. bis 4.294.967.295 dez. zu zählen. Weiterhin besitzt die CIA einen seriellen Datenport, Register 12, der sowohl Daten ausgeben kann (Bit 6 Register 14 = H), wie auch empfangen kann (Bit 6 Register 14 = L). Näheres hierzu kann man bei der VIA-Beschreibung im

Kapitel 12 und bei der seriellen Datenübertragung im Kapitel 16 nachlesen.

Weniger bekannt sind die Möglichkeiten der Echtzeituhr in der CIA. Die Uhr belegt innerhalb des Bausteins die Register 8-11. Zu beachten ist, daß die Zeitwerte im BCD-Format in den Registern abgespeichert sind, das bedeutet, daß eine Dezimalstelle sich aus 4 Bits zusammensetzt. So wird die Dezimalzahl 16 in zwei Ziffen 1 und 6 in jeweils einem 4 Bit Code, d.h. 0001 0110 dargestellt. Zur internen Darstellung der Stunden ist zusätzlich noch zu beachten, daß das Bit 7, ähnlich wie bei einer Digitaluhr, das AM/PM Flag darstellt (vormittag/nachmittag). Im PM-Modus muß das Flag auf "H" gesetzt sein. Allerdings können Sie auch eine europäische 24-Stunden-Norm erhalten, wenn zum Stundenregister jeweils 12 Stunden hinzugezählt werden.

An Hand des nun folgenden Beispiels können Sie mit einfachen Befehlen die Echtzeituhr der CIA stellen:

Die Uhrzeit soll auf 13 Uhr, 35 Minuten und 42 Sekunden gestellt werden! Zunächst muß Bit 7 im Register 14 gesetzt werden, das festlegt, daß mit 50 Hz Netzfrequenz statt mit 60 Hz gearbeitet wird:

```
POKE 56589 OR 128
```

Im zweiten Schritt muß definiert werden, daß eine Uhrzeit gesetzt wird und keine Alarmzeit. Hierzu dient das Bit 7 im Register 15, das gelöscht werden muß:

```
POKE 56590 AND 127
```

Die Uhrzeit muß in der Reihenfolge *Stunden, Minuten, Sekunden, 1/10 Sekunden* gesetzt werden. Da alle Zeitwerte im BCD-Format eingeben werden müssen, sollten Sie sich vorab hierzu einige Notizen machen.

Beginnen wir - im dritten Schritt - mit den Stunden der Uhrzeit. Dabei muß beachtet werden, daß die Echtzeituhr des CIA 6526 im 12-Stunden-Rhythmus arbeitet. Bit 7 des Registers

11 gibt an, ob es sich um den Vormittag (=0) oder den Nachmittag (=1) handelt. Mit den folgenden POKE-Anweisungen können wir also 1 Uhr PM vorgegeben:

```
POKE 56587,1
POKE 56587 OR 128
```

Im vierten Schritt werden die Minuten, in unserem Beispiel 35, gesetzt.

```
POKE 56586,53
```

Die dezimale 53 resultiert aus dem BCD-Wert von 35 = 0011 0101. Wenn Sie diese Binärziffer in eine Dezimalziffer umwandeln, erhalten Sie den Wert 53.

Im fünften Schritt werden die Sekunden gestellt, in unserem Beispiel: 42.

```
POKE 56685,66
```

Im sechsten Schritt müssen die Zehntelsekunden gestellt werden, auch dann wenn sie nicht benötigt werden, da durch das Setzen der letzten Einheit die Uhr gestartet wird.

```
POKE 56684,1
```

Wenn Sie eine Alarmzeit stellen wollen, so ist nach dem gleichen Muster wie oben zu verfahren, nur daß Bit 7 des Registers 15 gesetzt werden muß (POKE 56591 OR 128).

Stimmen aktuelle Uhrzeit und die von Ihnen programmierte Alarmzeit überein, so wird im Register das Bit 2 auf "H" gesetzt und je nach Anwendung ein Interrupt ausgelöst, den Sie dann im Programm verarbeiten können.

Die Abbildungen 16-19 vermitteln Ihnen noch einige interessante Teilansichten aus dem C128 bzw. C64.

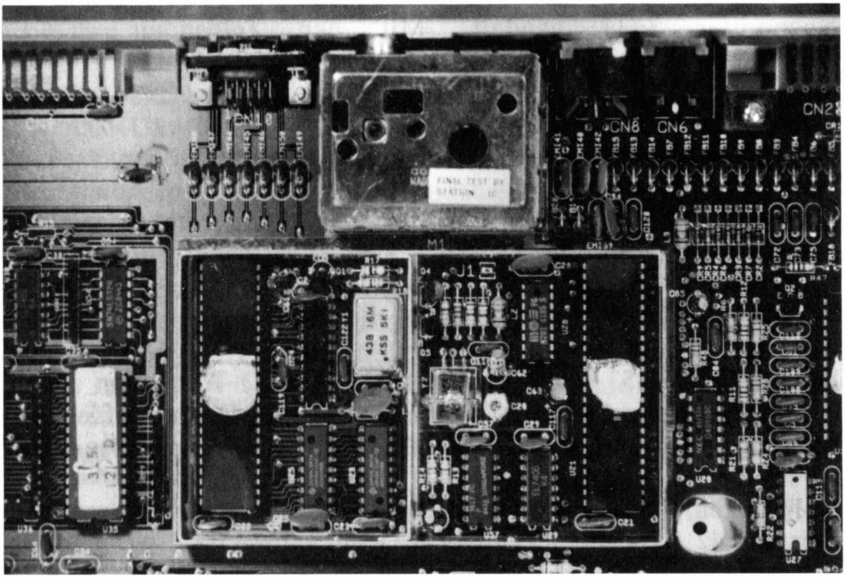


Abb. 16:
Dieser Teil des C128 ist für die Kommunikation nach außen hin zuständig. Oben der HF-Modulator, der zur Abschirmung in einem Blechgehäuse untergebracht ist. Direkt darunter, ebenfalls normalerweise in einem Blechgehäuse untergebracht, liegt der Video-Teil. Links außen der Videocontroller 8563 mit einem 16 KB Video-RAM. Dieser linke Teil beinhaltet das RGB-System mit dem 80-Zeichen-Teil. Im rechten Teil des Gehäuses ist der Composite Video-Teil mit dem C64-kompatiblen VIC 8564 untergebracht. Bitte öffnen Sie dieses Gehäuse nicht und nehmen Sie vor allen Dingen keinerlei Abstimmungen vor.

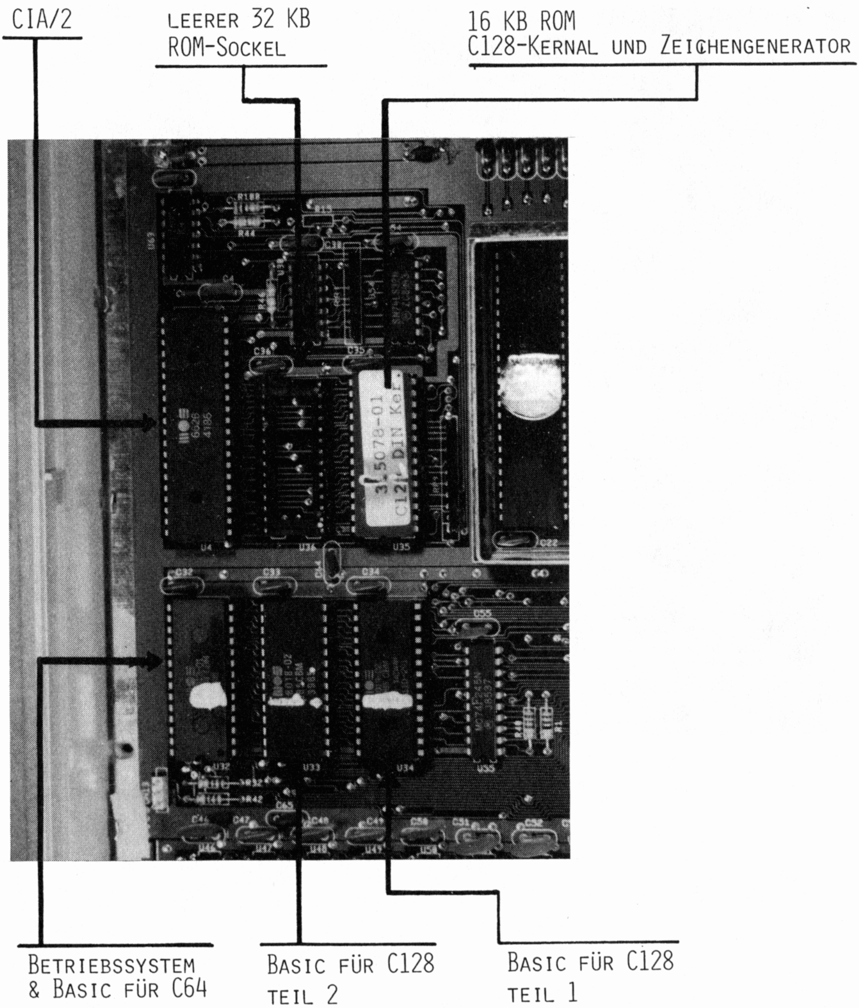


Abb. 17: Teilansicht der C128-Platine

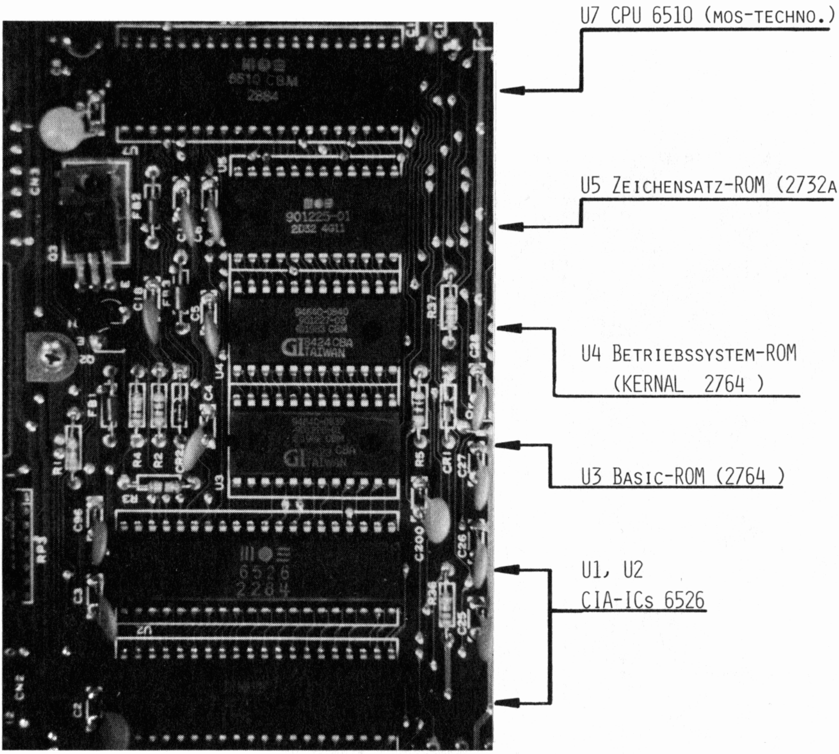


Abb. 18: Teilausschnitt des C64 mit den wichtigsten ICs

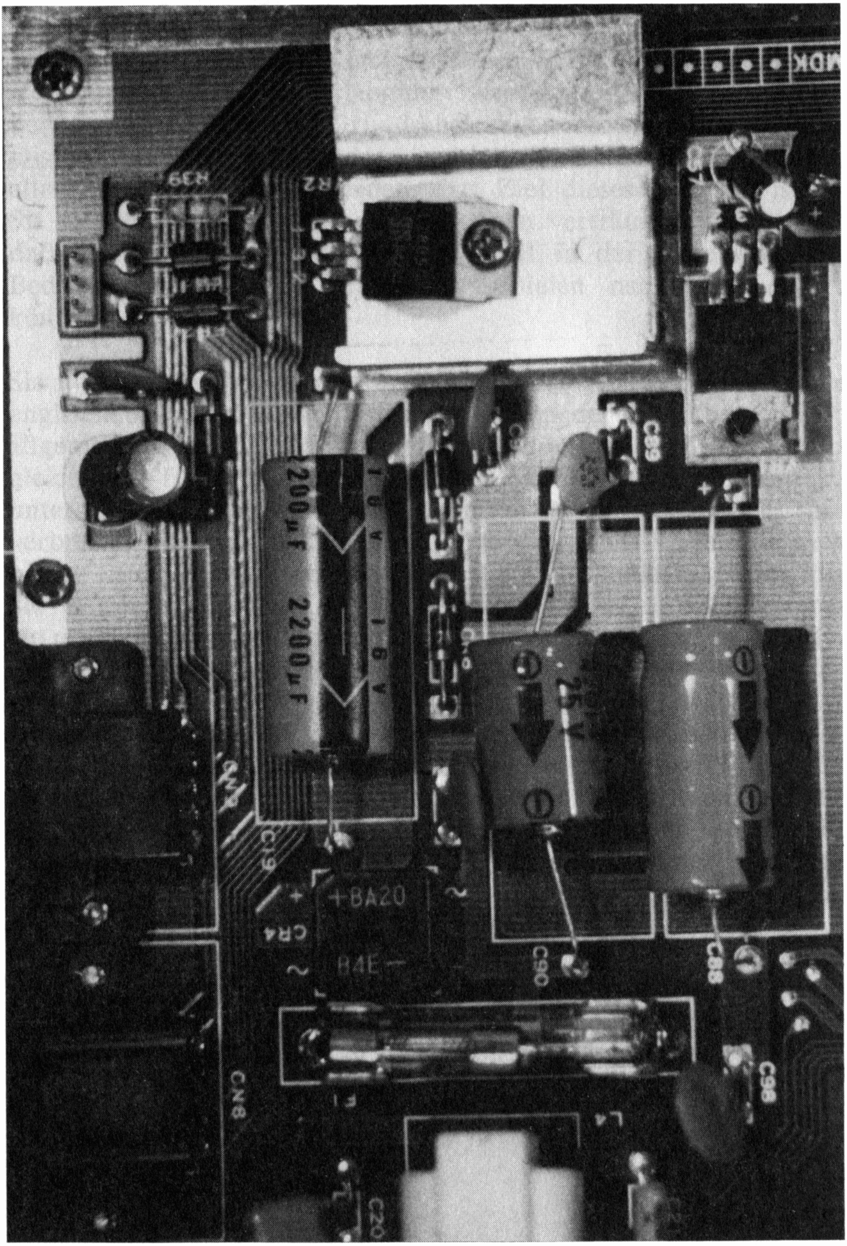


Abb. 19: C64-Spannungsstabilisierung

4. Logische Grundschaltungen

In der modernen Digitaltechnik werden die unterschiedlichen Verknüpfungen zur Erlangung bestimmter Eingangsgrößen benötigt. Aus den drei Grundschaltungen Konjunktion (UND), Disjunktion (ODER) und der Negation (VERNEINUNG) können alle anderen abgeleitet werden. Das Ziel dieses Kapitels ist es, Sie mit den logischen Grundschaltungen vertraut zu machen, so daß Sie im Verlaufe des Buches selbst in der Lage sind, die Bedingungen bei den Schaltungsbeispielen nachvollziehen zu können.

Sie werden hier sowohl die deutschen Begriffe, als auch die englischen finden, obwohl sich letztere in der Literatur und im allgemeinen Sprachschatz weitgehend durchgesetzt haben. Das gleiche gilt für die Schaltzeichen der logischen Funktionen. Hier unterscheidet man eine alte deutsche Norm, die noch sehr verbreitet ist, eine neue vereinfachte deutsche Norm, die sich bisher kaum durchgesetzt hat, und die amerikanische Norm, die Sie in der englischen Literatur vorfinden. Um es allen gerecht zu machen, werden Ihnen die möglichen Schaltzeichen bei der Besprechung der Funktionen vorgestellt werden.

Ähnliches gilt für die Bezeichnung der beiden logischen Pegel. Hier findet man sowohl die Schreibweise "H" = log. 1 und "L" als log. 0. Zur besseren Darstellung beschränken wir uns auf die Schreibweise "H" (HIGH) zur Darstellung eines hohen Pegels, d.h. log. 1 und auf "L" (LOW) zur Darstellung eines niedrigen Pegels, d.h. log. 0.

Invertierungen, d.h. Verneinungen, werden im allgemeinen durch einen "Über-Querstrich" dargestellt. Aus drucktechnischen Gründen werden hier die Verneinungen durch ein "-" (Minus-Zeichen) vor und hinter der Variablen gekennzeichnet.

4.1 Inverter

Die sicherlich einfachste logische Verknüpfung stellt die Verneinung oder Negation dar, die durch einen Inverter realisiert wird:

> *Ein L-Pegel am Eingang eines Inverters ergibt einen H-Pegel am Ausgang. Ein H-Pegel am Eingang ergibt einen L-Pegel am Ausgang.*

Die Abbildung 20 gibt Ihnen einen Überblick über den Aufbau eines Inverters. Eine solche Grundschaltung läßt sich sehr leicht mit diskreten Bauelementen aufbauen. Liegt nämlich der Eingang eines Transistors an einem L-Pegel, so bleibt dieser gesperrt und am Ausgang fällt über dem Widerstand R2 die Betriebsspannung ab, d.h. am Ausgang liegt ein H-Pegel. Wenn der Transistor durch einen H-Pegel am Eingang angesteuert wird, schaltet dieser seinen Ausgang auf einen L-Pegel. Die Wahrheitstabelle in Abbildung 20 gibt Ihnen diesen Zusammenhang wieder.

Die Negation, und damit das Verhalten eines Inverters, kann kurz wie folgt formuliert werden:

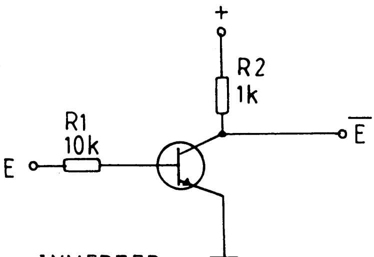
A = -E-

(Lies: *A gleich E-nicht*)

Im unteren Teil der Abbildung 20 finden Sie die 3 gebräuchlichen Symbole sowie eine unvollständige Aufstellung der bekannten TTL- und CMOS-Inverter.

INVERTER

VERNEINUNG
NEGATION



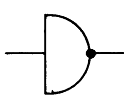
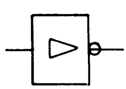
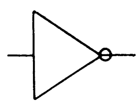
INVERTER

WAHRHEITSTABELLE

EINGANG	AUSGANG
L	H
H	L

$A = \overline{E}$

SCHALTZEICHEN

deutsche Norm alt	neu	US-Norm
		

INVERTER IC's

7404, 7405, 741004, 741005	TTL
4009, 4069,	C-MOS

Abb. 20: Inverter

4.2 AND- (UND-) Funktion

Eine weitere Grundfunktion ist die AND-Verknüpfung, die in der Literatur auch als UND oder *Konjunktion* bezeichnet wird. Die Abbildung 21, Teil a, zeigt Ihnen diese Funktion an Hand zweier in Serie liegender Schalter. Soll die Lampe brennen, müssen beide Schalter E1 und E2 geschlossen sein. Wir können für die AND-Verknüpfung also festhalten:

> *Wenn einer der beiden Eingänge einen L-Pegel auf weist, so wird der Ausgang auf einem L-Pegel verbleiben. Nur wenn beide Eingänge, E1 und E2, einen H-Pegel aufweisen, so wird auch der Ausgang einen H-Pegel haben.*

Dieser Zusammenhang ist in Form der Wahrheitstabelle in der Abbildung 21, Teil b, wiederzufinden.

Für die AND-Verknüpfung können wir kürzer schreiben:

A = E1 und E2

Dieses "und" wird entweder als umgekehrtes "v" oder mit dem "&" dargestellt, so daß wir z.B. auch schreiben können:

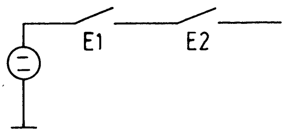
A = E1 & E2

(Lies: *A gleich E1 und E2*)

Im unteren Teil der Abbildung 21 sind wiederum die wichtigsten ICs mit AND-Funktionen aufgeführt und zwar in TTL- und CMOS-Bauweise. Ein einzelnes, diskret aufgebautes AND-Gatter sehen Sie im Teil e der Abbildung 21. Führen die drei Eingänge E1, E2 und E3 einen H-Pegel, so kann auch der Ausgang einen H-Pegel annehmen. Hat dagegen ein einzelner Eingang einen L-Pegel, so fließt über die zugehörige Eingangsdiode ein Strom. Am Ausgang A liegt dann ein L-Pegel an, der allerdings um den Schwellwert der Diode erhöht ist.

AND

UND
KONJUNKTION



(a)

WAHRHEITSTABELLE

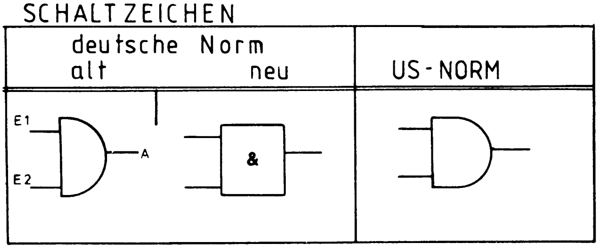
E1	E2	AUS.
L	L	L
H	L	L
L	H	L
H	H	H

(b)

$A = E1 \wedge E2$

(c)

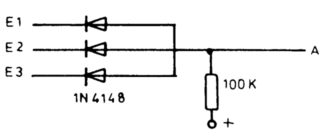
SCHALTZEICHEN



(d)

AND - GATTER

7408, 7409, 7411, 7415, 7421, 74808	TTL
4073, 4081, 4082	C-MOS



(e)

Abb. 21: AND- (UND-) Verknüpfung

4.3 OR- (ODER-) Funktion

Diese logische Verknüpfung wird auch *Disjunktion* genannt. Die Eingangsbedingungen dieser Funktion lassen sich an zwei parallelen Schaltern E1 und E2 (Abbildung 22, Teil a) erläutern. Die Lampe wird nur dann brennen, wenn wenigstens einer der beiden Schalter E1 oder E2 geschlossen ist.

Halten wir für die OR-Verknüpfung fest:

> *Wenn einer oder beide Eingänge einen H-Pegel aufweist, so liegt auch der Ausgang auf einem H-Pegel. Liegen beide Eingänge an einem L-Pegel, so liegt auch der Ausgang auf einem L-Pegel.*

Diese Zusammenhänge finden Sie auch in der entsprechenden Wahrheitstabelle wieder.

Wir können kürzer schreiben:

$\underline{A = E1 \text{ oder } E2}$

Das "oder" wird meistens mit einem kleinen "v" dargestellt, so daß wir auch schreiben können:

$\underline{A = E1 \vee E2}$

(Lies: *A gleich E1 oder E2*)

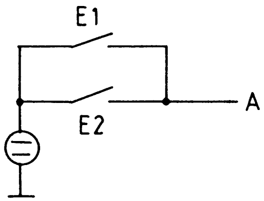
In der Praxis sind weder UND-, noch ODER-Gatter sehr häufig anzutreffen. Meistens sind die hierzu verneinten Formen vorzufinden. Ein einzelnes OR-Gatter läßt sich leicht durch diskrete Bauelemente darstellen, so wie es die Abbildung 22, Teil e, zeigt. Dieser Aufbau ist dann empfehlenswert, wenn man nur ein einzelnes Gatter benötigt und auch aus Platz- und Kostengründen nicht einen integrierten Schaltkreis verwenden will. Die Erklärung dieses diskret aufgebauten OR-Gatters ist einfach: Es genügt ein H-Pegel an einem der drei Eingänge E1, E2 oder E3, da die an einem L-Pegel liegenden Dioden gesperrt bleiben.

Die bisher vorgestellten Funktionen werden als *Grundverknüpfungen* bezeichnet, da man durch sinnvolle Kombination aus Invertern mit AND- bzw. OR-Gattern alle nun folgenden Verknüpfungen realisieren kann.

Schaltet man beispielsweise einen Inverter hinter ein AND-Gatter, so erhält man die sogenannte NAND- (NOT-AND-) Verknüpfung.

O R

ODER
DISJUNKTION



(a)

WAHRHEITSTABELLE

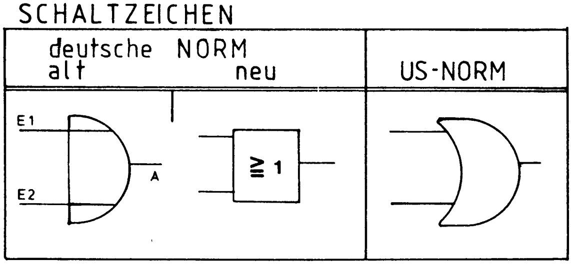
E1	E2	AUS.
L	L	L
H	L	H
L	H	H
H	H	H

(b)

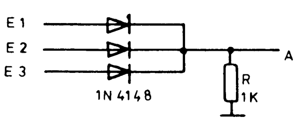
A = E1 v E2

(c)

SCHALTZEICHEN



(d)



(e)

OR - GATTER	
7432, 74802, 74832, 741032	TTL
4071, 4072, 4075	C-MOS

Abb. 22: OR- (ODER-) Verknüpfung

4.4 NAND- (NICHT-UND-) Funktion

Das NAND-Gatter gehört sicherlich zu den am meisten verbreiteten integrierten Schaltkreisen mit dem berühmten Vertreter 7400. Betrachten Sie sich nochmals die AND-Funktion, so erhalten Sie die NAND-Verknüpfung, durch eine Verneinung des Ausgangs.

Die Bedingung der NAND-Funktion lautet somit:

> *Ist einer der beiden Eingänge E1 oder E2 oder auch beide "L", so wird der Ausgang einen H-Pegel aufweisen. Weisen dagegen beide Eingänge H-Pegel auf, so wird der Ausgang einen L-Pegel haben.*

Aus der Definition der NAND-Verknüpfung resultiert sofort die Kurzschreibweise:

A = -(E1 und E2)-

(Lies: *A gleich (E1 und E2)-nicht*)

Die NAND-Funktion ist in der Abbildung 23 wiedergegeben. Wie oben bereits angedeutet wurde, läßt sich ein NAND-Gatter durch ein AND-Gatter mit einem nachfolgenden Inverter aufbauen. Diese Kenntnis gestattet es, ein NAND-Gatter als Inverter einzusetzen, indem man beide Eingänge miteinander verbindet und dort das Eingangssignal anlegt.

Eine andere Möglichkeit, aus einem NAND-Gatter einen Inverter herzustellen, besteht darin, alle Eingänge des Gatters bis auf einen einzigen auf H-Pegel zu legen. Der Ausgang trägt dann genau das negierte Signal dieses verbleibenden freien Eingangs. Durch eine kleine Wahrheitstabelle können Sie sich davon sofort überzeugen.

NAND

NICHT UND

WAHRHEITSTABELLE

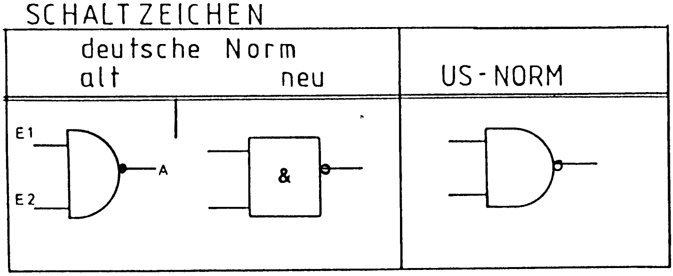
E1	E2	AUS.
L	L	H
H	L	H
L	H	H
H	H	L

(a)

$A = \overline{E1 \wedge E2}$

(b)

SCHALTZEICHEN



(c)

NAND - GATTER

7400, 7401, 7403, 7410, 7412, 7420, 7422, 7424, 7426, 7430, 7437, 7438, 7439, 7440	TTL
4011, 4012, 4023, 4068, 4093, 4412	C-MOS

(e)

Abb. 23: NAND- (Nicht-UND-) Verknüpfung

4.5 NOR- (NICHT-ODER-) Funktion

Der NICHT-ODER Verknüpfung kommt in der Praxis die gleiche große Bedeutung zu wie der vorhergehenden NAND-Funktion.
Durch Verneinen der OR-Verknüpfung erhält man die Bedingung der NOR-Funktion:

> *Wenn einer oder beide Eingänge E1 oder E2 einen H-Pegel aufweist, so wird der Ausgang einen L-Pegel aufweisen. Sind dagegen beide Eingänge auf einem L-Pegel, so ist der Ausgang auf einem H-Pegel.*

Aus der Definition der NOR-Verknüpfung resultiert wieder die Kurzschreibweise:

A = -(E1 oder E2)-

(Lies: *A gleich (E1 oder E2)-nicht*)

Die zugehörige Wahrheitstabelle können Sie aus der Abbildung 24, Teil a entnehmen.

Auch die NOR-Verknüpfung läßt sich mit diskreten Bauteilen einfach aufbauen. Die Abbildung 24, Teil d, zeigt ein OR-Gatter mit drei Dioden und einem nachgeschalteten Transistor-Inverter, wie er Ihnen ganz zu Anfang vorgestellt wurde. Statt des Transistors läßt sich natürlich auch ein Inverter-IC einsetzen.

NOR

NICHT ODER

WAHRHEITSTABELLE

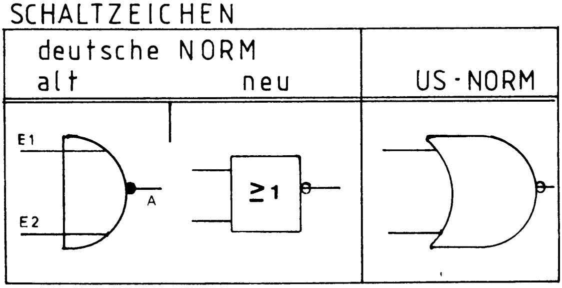
E1	E2	AUS
L	L	H
H	L	L
L	H	L
H	H	L

(a)

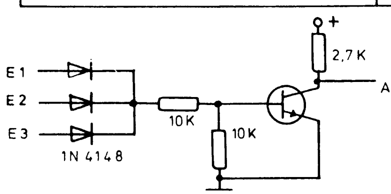
$A = \overline{E1 \lor E2}$

(b)

SCHALTZEICHEN



(c)



(d)

NOR - GATTER

7402, 7423, 7425, 7427, 7428, 7433,
74128, 74260, 74805, 741002 TTL

4000, 4001, 4002, 4025, 4078 C-MOS

Abb. 24: NOR- (Nicht-ODER-) Verknüpfung

4.6 EX-OR- (EXKLUSIVE-ODER-) Funktion

Dieser logischen Verknüpfung kommt in der Praxis keine allzu große Bedeutung zu. In der Literatur werden Sie auch die Bezeichnungen *Antivalenz* bzw. *Exklusives-ODER* hierfür finden.

Die Arbeitsweise läßt sich am einfachsten durch eine Wechselschaltung erklären, so wie es die Abbildung 25, Teil d, darstellt. Die Lampe kann nur dann brennen, wenn der Schalter E1 auf "L" und der Schalter E2 auf "H" steht oder umgekehrt. Aus diesem Beispiel läßt sich die Bedingung der EX-OR Funktion leicht formulieren:

> *Wenn genau einer der beiden Eingänge E1 oder E2 einen H-Pegel aufweist, so wird auch der Ausgang einen H-Pegel aufweisen. Haben beide Eingänge den gleichen Pegel, so führt der Ausgang einen L-Pegel.*

Die Kurzschreibweise für die EX-OR-Verknüpfung lautet demnach:

> A = (E1 und -E2-) oder (-E1- und E2)

> (Lies: *A ergibt sich aus (E1 und E2-nicht) oder (E1-nicht und E2)*)

Die kleine Auswahl EX-OR-Schaltkreise in TTL und C-MOS ist im unteren Teil der Abbildung 25 wiedergegeben.

EX-OR

ANTIVALENZ
EXCLUSIV-ODER

WAHRHEITSTABELLE

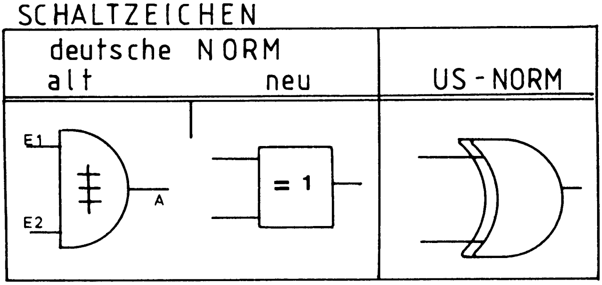
E1	E2	AUS
L	L	L
H	L	H
L	H	H
H	H	L

(a)

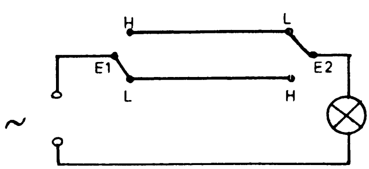
$$A = (E1 \wedge \overline{E2}) \vee (\overline{E1} \wedge E2)$$

(b)

SCHALTZEICHEN



(c)



(d)

EX - OR GATTER

7486, 74135, 74136, 74386, 74886	TTL
4030, 4070, 4507	C-MOS

Abb. 25: EX-OR- (Exklusive-ODER-) Verknüpfung

4.7 EX-NOR- (EXKLUSIVE-NICHT-ODER-) Funktion

Verneint man die Aussage der EX-OR Funktion, so erhält man die EX-NOR-Verknüpfung, die allerdings ebenfalls in der Praxis von geringer Bedeutung ist. Die Abbildung 26, Teil a, zeigt Ihnen die dazugehörige Wahrheitstabelle, deren Bedingung man nun formulieren kann:

> *Wenn genau einer der beiden Eingänge E1 oder E2 einen H-Pegel aufweist, so wird der Ausgang einen L-Pegel annehmen. Sind beide Eingänge auf dem gleichen Pegel, entweder "H" oder "L", so bleibt der Ausgang auf einem H-Pegel.*

Schreiben wir auch dies wieder kurz:

> A = (E1 und E2) oder (E1-nicht und E2-nicht)

> (Lies: *A ergibt sich aus (E1 und E2) oder aus (E1-nicht und E2-nicht)*)

Die Auswahl an EX-NOR-ICs ist sowohl im TTL-, als auch im C-MOS-Bereich äußerst gering. Die moderne Halbleitertechnologie hat die Anwendungsmöglichkeiten der Gatter immer weiter vorangetrieben. Während die meisten Logik-ICs nur für bestimmte Aufgaben entwickelt wurden, z.B. als NAND- oder NOR-Gatter, findet man heute auch sogenannte *programmierbare Multifunktionsgatter*, bei denen der Anwender selbst festlegen kann, mit welchen logischen Funktionen der Baustein arbeiten soll. Ein Beispiel ist der C-MOS IC 4048, bei dem es sich um ein programmierbares Gatter mit 8 Eingängen handelt, bei dem man durch 3 Steuerleitungen 8 verschiedene Logikfunktionen bilden kann. Hierdurch spart man einerseits Platz, und andererseits kann man wesentlich kostengünstiger arbeiten, denn oftmals werden nicht alle Gatter in einem Schaltkreis genutzt.

Eine weitere Entwicklung stellen die *Mehrheitsgatter* dar, z.B. der 4530. Diese Familie arbeitet nach dem Prinzip der Mehrheitslogik und besitzt stets eine ungerade Anzahl von Eingängen. Gatter dieser Bauart liefern an den Ausgang nur dann einen H-Pegel, wenn die Mehrzahl der Eingänge die Bedingung erfüllt, wobei es egal ist, um welche Eingänge es sich handelt. Zur Anwendung kommen diese Schaltkreise vorwiegend bei Robotanlagen.

EX-NOR

ÄQUIVALENZ
EXCLUSIVES NICHT ODER

WAHRHEITSTABELLE

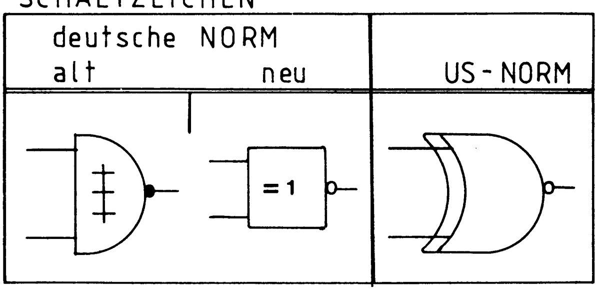
E1	E2	AUS
L	L	H
H	L	L
L	H	L
H	H	H

(a)

$$A = (E1 \wedge E2) \vee (\overline{E1} \wedge \overline{E2})$$

(b)

SCHALTZEICHEN



(c)

EX - NOR GATTER	
74266, 74836	TTL
4077	C-MOS

Abb. 26: EX-NOR- (Exklusive-Nicht-ODER-) Verknüpfung

5. Expansions-Port und User-Port

Auf der Rückseite des Rechners sehen sowohl beim C 64 als auch beim C128 mehrere Erweiterungsschnittstellen für den Anwender zur Verfügung. Alle beim C64 vorhandenen Anschlüsse finden sich auch beim C128 mit der gleichen Pinbelegung wieder. Im folgenden werden Ihnen die beiden wichtigsten Schnittstellen mit Ihren Anschlüssen und deren Bedeutung für mögliche periphere Anwendungen näher erläutert werden. Es sind dies der 44-polige *Expansions-Port* und der 22-polige *User-Port*.

5.1 Expansions-Port

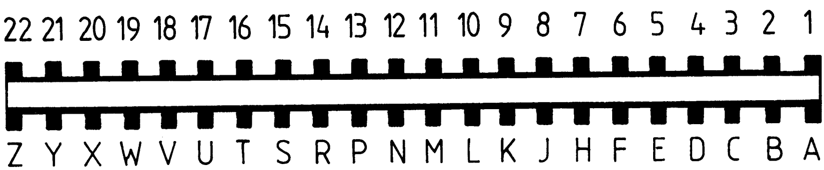
Die Darstellung des Expansions-Ports im Handbuch zum C64 auf der Seite 141 zeigt die Belegung von einem Aufsteckmodul. An der Rückseite des Rechners stehen diese Anschlüsse gemäß dem Handbuch spiegelverkehrt an.

Anschluß 1 befindet sich rechts oben. Die Abbildung des Expansions-Ports im C128 Handbuch dagegen ist korrekt.

Alle wichtigen Signale, die am Expansions-Port anliegen, wurden ausführlich im Kapitel 3 beschrieben, so daß wir uns an dieser Stelle eine Wiederholung ersparen können.

Die Anschlußbelegung des Expansions-Ports entnehmen Sie bitte der Abbildung 27.

C64 / C128 EXPANSIONSPORT



1	MASSE	A	MASSE
2	+ 5 VOLT	B	-ROMH
3	+ 5 VOLT	C	-RESET
4	-IRQ INTERRUPT REQUEST	D	-NMI
5	R/-W READ-WRITE	E	ɸ 2
6	DOT CLOCK 7,83 MHZ	F	ADRESSBIT A15
7	I/O-1	H	ADRESSBIT A14
8	-GAME	J	ADRESSBIT A13
9	-EXROM	K	ADRESSBIT A12
10	I/O-2	L	ADRESSBIT A11
11	-ROML	M	ADRESSBIT A10
12	BA	N	ADRESSBIT A9
13	DMA	P	ADRESSBIT A8
14	DATENBIT D7	R	ADRESSBIT A7
15	DATENBIT D6	S	ADRESSBIT A6
16	DATENBIT D5	T	ADRESSBIT A5
17	DATENBIT D4	U	ADRESSBIT A4
18	DATENBIT D3	V	ADRESSBIT A3
19	DATENBIT D2	W	ADRESSBIT A2
20	DATENBIT D1	X	ADRESSBIT A1
21	DATENBIT D0	Y	ADRESSBIT A0
22	MASSE	Z	MASSE

Abb. 27: C64/C128-Expansions-Port

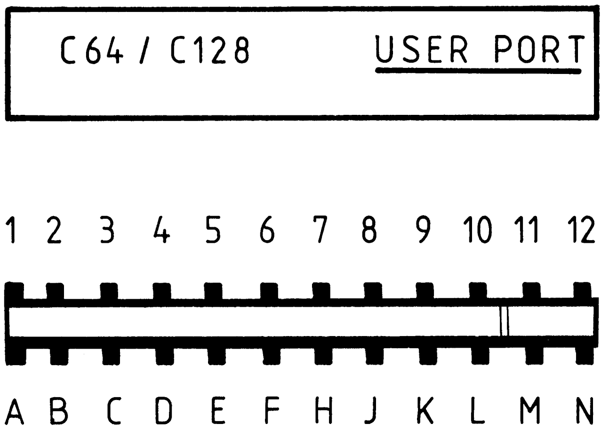
5.2 User-Port

Die Rechner C64 und C128 stellen dem Anwender neben dem Expansions-Port noch einen sogenannten 24-poligen User-Port auf der Geräterückseite zur Verfügung. Dieser Anschluß wird in Form eines 2x12-poligen doppelseitigen Platinensteckers mit dem Rastermaß von 3,96 mm herausgeführt. Im Normalfall wird der User-Port durch den Anschluß eines Druckers mit 8-Bit-Parallel-Centronics-Norm belegt.

Der User-Port wird durch einen 40-poligen CIA-Baustein vom Typ 6526 (CIA = Complex Interface Adapter), dessen Anschlußbild in der Abbildung 14 wiedergegeben ist, gesteuert. Zwei dieser CIA Bausteine mit unterschiedlichen Aufgaben befinden sich in Ihrem Rechner. CIA-1 belegt den Adreßbereich hex. DC00-DEFF, CIA-2 den Adreßbereich hex. DD00-DDFF. Somit belegen sie genau den Adreßraum, der durch die I/O-1 bzw. I/O-2 Signale selektiert wird. Auf die interne Arbeitsweise des 6526 wird im folgenden nur soweit eingegangen werden, wie sich der User-Port für Hardware-Erweiterungen verwenden läßt.

Grundsätzlich arbeitet der 6526 nach dem gleichen Verfahren wie der 6522, der Ihnen im Kapitel 12 ausführlich vorgestellt wird. Darüber hinaus sei an dieser Stelle der Hinweis auf die beiden DATA BECKER Bücher *C64 intern*, bzw. *C128 intern* angebracht, wo sehr ausführlich der CIA-Baustein beschrieben wird.

Die Abbildung 28 zeigt Ihnen die Anschlußbelegung des User-Ports; auf die Bedeutung der einzelnen Pins wird nun näher eingegangen:



1	MASSE	A	MASSE
2	+ 5 VOLT	B	-FLAG-2
3	-RESET	C	PORTBIT P0, PORT B
4	CNT-1	D	PORTBIT P1
5	SP-1	E	PORTBIT P2
6	CNT-2	F	PORTBIT P3
7	SP-2	H	PORTBIT P4
8	-PC-2	J	PORTBIT P5
9	SER ATN IN	K	PORTBIT P6
10	9 V WECHSELSPANNG.	L	PORTBIT P7
11	9 V WECHSELSPANNG.	M	PORTBIT PA2, PORT A
12	MASSE	N	MASSE

Abb. 28: C64/C128-User-Port

Zur Steuerung des User-Ports werden innerhalb des Rechners zwei Speicherstellen reserviert. Die erste wird im allgemeinen Datenrichtungsregister (*Data Direction Register*) genannt. Jedem Portbit des User-Ports ist im DDR ein spezielles Bit zugeordnet. Steht dort eine 1, so ist das entsprechende Port-Bit als *Ausgabe* definiert, bei einer 0 als *Eingabe*. Schreibt man also eine 255 (= hex. FF = bin. 11111111) in dieses Register, so sind alle Portbits des User-Ports als Ausgabe definiert.

Wird beispielsweise in das Datenrichtungsregister die Zahl 164 geschrieben, so bedeutet dies, daß die Portbits, P2, P5 und P7 als Ausgänge definiert sind und die übrigen als Eingänge. Somit ist - je nach Kombination - jedes Portbit als Ein- oder Ausgabe zu schalten.

Die folgende Tabelle zeigt Ihnen einen Überblick über die binäre und dezimale Wertigkeit der Portbits PB0-PB7.

Portbit :	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
bin. Wert:	128	64	32	16	8	4	2	1
dez. Wert:	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0

Das zweite Register für den User-Port ist das Datenregister (*Data Register*) und enthält die eigentlichen Daten. Das Anlegen von externen Daten an den User-Port wird durch den Spannungspegel an den entsprechenden Portbits definiert:

Ist das Portbit mit der Masse (L-Pegel) verbunden, so entspricht dies einer Null, ein offener Eingang bzw. eine Verbindung mit maximal + 5 Volt (H-Pegel) entspricht einer Eins. Jeder anliegende logische Pegel am Port kann jederzeit durch Auslesen des Portregisters abgefragt werden,und jeder neue logische Zustand wird automatisch in das Portregister (Daten) eingelesen.

-- U S E R - P O R T -- Adresse	dez.	hex.
Datenrichtungsregister	56579	DD03
Datenregister (Portregister)	56577	DD01

5 Volt Versorgungsspannung, Pin 2

Dieser Anschluß darf mit maximal 100 mA belastet werden.

9 Volt Wechselspannung, Pin 10 und 11

An diesen beiden Anschlüssen steht die 9 Volt Wechselspannung des Netzteils mit einer maximalen Belastbarkeit von 100 mA zur eventuellen Gleichrichtung zur Verfügung.

Masse, Pins 1, 12, A, N

Die äußeren Anschlüsse des User-Ports liegen beidseitig an der allgemeinen Masse.

RESET, (low-aktiv), Pin 3

Das Prozessorsignal zum Zurücksetzen des Rechners in den Anschaltzustand liegt am Pin 3 an. Näheres hierzu im Kapitel 3.

CNT1 (Counter-1 - CIA1), Pin 4
CNT2 (Counter-2 - CIA2), Pin 6

Dieser Anschluß dient entweder dazu, der CIA einen externen Takt zuzuführen oder, wenn man mit dem internen Takt arbeitet, steht hier die Taktfrequenz für externe Synchronisation zur Verfügung. Dieser Anschluß ist nur bei dem seriellen Mode, d.h. CIA arbeitet als Schieberegister, von Interesse.

SP1 (Seriell Port - CIA1), Pin 5
SP2 (Seriell Port - CIA2), Pin 7

Dieser Pin stellt den seriellen Ausgang der CIAs dar und kann als Eingang sowie als Ausgang benutzt werden.

PC (CIA 2), Pin 8

Dieser Anschluß ist nur bei der CIA2 am User-Port verfügbar und kann für das Handshaking (Quittungsbetrieb) verwendet werden. Bei einem anliegenden L-Pegel an diesem Anschluß werden im Eingabemodus die am Port anliegenden Daten in den Rechner übernommen.

ATN OUT (CIA2), Pin 9

Dieser Pin kann nur als Ausgabe verwendet werden, entstammt dem Portbit PA3 und dient als Steuerleitung des seriellen Busses.

FLAG (CIA2 - low-aktiv), Pin B

Der Flag-Anschluß erfüllt die gleiche Aufgabe wie der PC-Pin. Er kann, je nach Programmierung, die Gültigkeit der Ausgabedaten am Port B anzeigen.

PA2 (CIA2 - Portbit A2), Pin M

Der gesamte Port A der CIA2 erfüllt innerhalb des Rechnersystems besondere Aufgaben, mit Ausnahme des Bits 2, welches am User-Port zur Verfügung steht.

6. Möglichkeiten der Adreßdecodierung

Dieses Kapitel beschäftigt sich mit den Möglichkeiten der Adressierung peripherer Erweiterungen. Bevor Sie eine Schaltung nachbauen, sollten Sie sich unbedingt im klaren sein, wie Sie Ihren Rechner später ausbauen möchten. Für diejenigen, die nur ab und an eine periphere Erweiterung nutzen wollen, lohnt auch der Aufbau der zentralen I/O-Adapterkarte des Kapitels 6.1. Andernfalls müßten Sie Ihre Erweiterungsschaltung mit einem Flachbandkabel an den Expansions-Port des Rechners anschließen. Es wäre auch nicht möglich, mehr als eine periphere Erweiterung zu betreiben, da Sie das I/O-1 oder I/O-2 Signal des Rechners zur Adressierung benötigen.

In jedem Fall müssen Sie sich diesen Schritt gut überlegen, denn durch die I/O-Adapterkarte stehen Ihnen ausreichend Steckplätze für alle Anwendungen zur Verfügung. Bitte lesen Sie sich auch das Kapitel 6.1. sorgfältig durch, damit Sie die Arbeitsweise und Adressiermöglichkeit der Adapterkarte verstehen. Insbesondere die Aufteilung der einzelnen Adreßbereiche der peripheren Anwendungen sollten Sie im Grundaufbau verstehen, da später auf die Slot-Select-Adressierung der Steckplätze nicht mehr eingegangen wird.

Die peripheren Erweiterungen, die in diesem Buch vorgestellt werden, verwenden, sofern Sie am Expansions-Port angeschlossen sind, einen eigenen I/O-Bus, dessen Belegung Sie ebenfalls im Kapitel 6.1 wiederfinden. Diese Steckerbelegung, die auf der Adapterkarte erzeugt wird, ermöglicht Ihnen einerseits, bestimmte Z80-Bausteine anzuschließen, und andererseits, die wesentlich preiswerteren 65xx-Bausteine von ROCKWELL zu verwenden.

6.1 I/O-Adapterkarte

Auf der Rückseite des Rechners stehen Ihnen über den Expansions-Port alle Steuer-, Daten- und Adreßleitungen zur Verfügung. Einige davon sind mit äußerster Vorsicht zu behandeln, da diese bei falscher Handhabung in der Lage sind, den gesamten

Rechner zu blockieren. Die Bedeutung dieser Signale sowie deren Verwendbarkeit ist im Kapitel 5 ausführlich beschrieben worden. Um periphere Erweiterungen zu betreiben, ist eine I/O-Adapterkarte von großem Vorteil, da verschiedene C64-Signale angepaßt werden müssen. Eine solche Karte bietet Ihnen für die spätere Arbeit mehrere wichtige Erleichterungen:

> Verbindung der I/O-Adapterkarte durch ein Flachbandkabel mit dem Rechner dadurch entfällt das umständliche Aufstecken auf den Expansions-Port, was außerdem noch einen bedeutenden mechanischen und elektrischen Stabilitätsvorteil bietet.
>
> Auf der Adapterkarte stehen Ihnen einschließlich der Erweiterung 10 Steckplätze (Slots) zur Verfügung.
>
> Slot A und B weisen die Original Expansionsbelegung auf, so daß Sie auch andere Hardware problemlos betreiben können.
>
> Die Steckplätze 1-8 sind reine I/0-Slots, die unter bestimmten Adreßbereichen anzusprechen sind.
>
> Auf der Adapterkarte können Sie zusätzlich noch ein externes Netzteil aufstecken, welches Ihnen für alle Anwendungen die erforderlichen Spannungen von +/- 5 und 12 Volt liefert.
>
> Die Slots 1-8 sind mit handelsüblichen 32-poligen VG-Buchsen (a+c) bestückt, die verpolungssicher und preiswerter sind.
>
> Sowohl der Daten- als auch der erforderliche Adreßbus für die Übermittlung von Steuersignalen an die peripheren Erweiterungen ist bei den Slots 1-8 gepuffert.

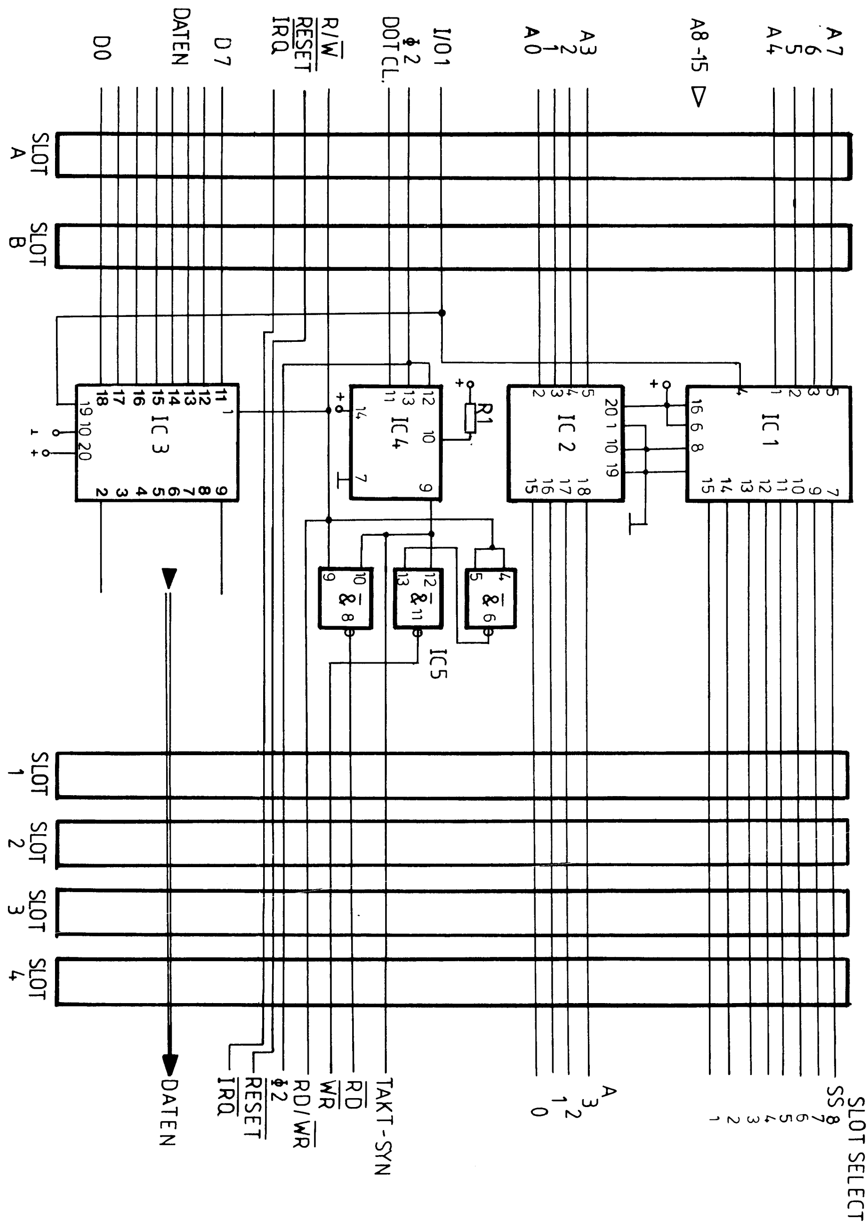


Abb. 29: Schaltplan der I/O-Adapterkarte

Pin - Nr. VG-Stecker	Bedeutung
32 a	Masse
31 a	+ 5 Volt
30 a	+ 5 Volt
29 a	IRQ
28 a	CR/W
27 a	Dot Clock
26 a	I/O-1
25 a	GAME
24 a	EXROM
23 a	I/O-2
22 a	ROML
21 a	BA
20 a	DMA
19 a	CD 7
18 a	CD 6
17 a	CD 5
16 a	CD 4
15 a	CD 3
14 a	CD 2
13 a	CD 1
12 a	CD 0
11 a	Masse

Pin - Nr. VG-Stecker	Bedeutung
32 c	Masse
31 c	ROMH
30 c	RESET
29 c	NMI
28 c	Φ 2
27 c	CA 15
26 c	CA 14
25 c	CA 13
24 c	CA 12
23 c	CA 11
22 c	CA 10
21 c	CA 9
20 c	CA 8
19 c	CA 7
18 c	CA 6
17 c	CA 5
16 c	CA 4
15 c	CA 3
14 c	CA 2
13 c	CA 1
12 c	CA 0
11 c	Masse

Abb. 30:
Verbindungskabel zwischen Rechner und Adapterkarte (Stecker X1)

Pin Nr:	(VG - Buchsen) (nur Slot 1-8)	Bedeutung
1a + c	MASSE	
4c	Adressbit A3	adressbus A3 - A0 für steuer-
4a	Adressbit A2	ungen der verschiedenen Register
5c	Adressbit A1	
5a	Adressbit A0	
8a	Slot Select SS8	Slot-Select-Signale, low-aktiv
8c	Slot Select SS7	zum adressieren der einzelnen
9a	Slot Select SS6	Steckplätze (Slots)
9c	Slot Select SS5	
10a	Slot Select SS4	
10c	Slot Select SS3	
11a	Slot Select SS2	
11c	Slot Select SS1	
12 a+c	+ 5 Volt extern	externe Versorgungsspannungen
13 a+c	- 12 Volt extern	aus der zusatznetzteilkarte
14 a+c	- 5 Volt extern	
15 a+c	+ 12 Volt extern	
18c	RESET	low-aktiv
19c	CR/-W	Read/$\overline{\text{Write}}$ für 65xx-Bausteine
19a	IRQ	low-aktiv
20a	Takt-Syn	synchr. Takt auf der Adapterkarte erzeugt
20c	Φ 2	Systemtakt 985 khz
21a	$\overline{\text{RD}}$	Read, low-aktiv für z80-bausteine
21c	$\overline{\text{WR}}$	Write,low-aktiv für z80-bausteine
27a	Datenbit D7	Datenbus
27c	Datenbit D6	
28a	Datenbit D5	
28c	Datenbit D4	
29a	Datenbit D3	
29c	Datenbit D2	
30a	Datenbit D1	
30c	Datenbit D0	
31a + c	+ 5 Volt intern	interne Versorgungsspannung aus dem Rechner

Abb. 31: Anschlußbelegung der I/O-Adapterkarte

Den Schaltplan der I/O-Adapterkarte sehen Sie in der Abbildung 29. Die Abbildung 30 zeigt Ihnen die Belegung des Verbindungskabels zwischen dem Rechner und der I/O-Adapterkarte, die am Expansions-Port angeschlossen wird.

Betrachten Sie nun die Abbildung 31, so sehen Sie ausschließlich die Belegung der 32-poligen VG-Buchsen der I/O-Adapterkarte. Diese Abbildung sollten Sie sich kopieren, da die Mehrzahl der beschriebenen Erweiterungen diesen I/O-Bus verwendet!

An den Anschlüssen 4a bis 5c liegen die vier niederwertigsten Adreßbits A3-A0, die für Steuerungsaufgaben der internen Register peripherer ICs verwendet werden können. An den Pins 8c bis 11a der Adapterkarte stehen die Slot-Select-Signale in negativer Logik zur Verfügung. Diese Signale werden später als Chip-Select-Signale herangezogen, um die einzelnen Steckplätze zu adressieren. Näheres hierzu finden Sie im folgenden Kapitel. Die Anschlüsse 12, 13, 14 und 15 sind für die Zuführung externer Spannungen aus der Netzteilkarte reserviert. Darüber hinaus werden vom gesamten Expansionsbus lediglich die Signale:

-Reset	Pin 18 a
R/-W	Pin 19 a
-IRQ	Pin 19 c
Takt	Pin 20 c

auf den Adapterbus weitergeführt. Zusätzlich finden Sie noch drei neue Steuersignale, die nicht aus dem Rechner stammen:

Takt-Syn	Pin 20 a
-RD	Pin 21 a
-WR	Pin 21 c

Auf die Bedeutung dieser Signale wird bei der Arbeitsweise der Karte noch eingegangen werden.

Der Datenbus steht Ihnen an den Anschlüssen 26c bis 30a gepuffert zur Verfügung. Die interne Rechnerspannung von +5 Volt können Sie an den Pins 31a und c entnehmen. Beachten Sie

aber in diesem Zusammenhang, daß dieser Anschluß keinesfalls belegt werden darf, wenn Sie mit der Zusatznetzteilkarte über die Pins 12a-15a arbeiten.

Arbeitsweise der I/O-Adapterkarte

Wenn Sie das Schaltbild der Abbildung 29 betrachten, so werden Sie feststellen, daß die Adapterkarte einige Besonderheiten aufweist.

Wie schon erwähnt sind die Steckplätze A und B identisch mit der Belegung des Expansions-Ports und dienen grundsätzlich zur Aufnahme von Hardware-Erweiterungen, die einen umfangreichen Adreßbus benötigen bzw. besondere Steuersignale, die nicht an den I/O-Steckplätzen verfügbar sind. Zu den Slots 1-8 dagegen werden nur bestimmte Adressen und Steuersignale weitergeführt, deren Handhabung ausführlich besprochen wird.

Zum Adressieren von peripheren Geräten stehen grundsätzlich zwei Adreßräume zur Verfügung, die durch die Signale I/O-1 und I/O-2, beide low-aktiv, angesprochen werden.

I/O-1 belegt den Bereich DE00-DEFF (= 56832-57087)
I/O-2 belegt den Bereich DF00-DFFF (= 57088-57343)

Zur Adressierung der Slots 1-8 wird das I/O-1 Signal herangezogen, was bedeutet, daß alle Adressen der Slots 1-8 sich im Adreßraum DE00-DEFF bewegen.

Die Decodierung übernimmt IC1, ein 74138. Dieser 3-8-Decoder erhält an den Eingängen Pin 3, 2 und 1 die Adreßbits 6, 5 und 4 zugeführt. Je nach der dort anliegenden Binärkombination geht der entsprechende Ausgang Q7-Q0 auf einen L-Pegel, während alle anderen auf einem H-Pegel verbleiben.

Voraussetzung allerdings ist, daß die drei Freigabebedingungen des Schaltkreises erfüllt sind, nämlich E1 und E2 LOW und E3 HIGH. Der erste Freigabeeingang E1, Pin 4, wird durch das Signal I/O-1 aktiviert, welches immer dann einen L-Pegel auf-

weist, wenn auf den besagten peripheren Adreßraum DE00-DEFF zugegriffen wird. Die zweite Freigabebedingung wird durch das Adreßbit A7 gesteuert, welches dann bei der Adressierung auch immer einen L-Pegel aufweisen muß. Die einzige HIGH-Freigabebedingung des ICs am Pin 6 wird dadurch erreicht, daß man diesen Anschluß fest mit der 5 Volt Versorgungsspannung verbindet.

Da die untersten vier Adreßbits nicht zur Adreßdecodierung herangezogen werden, sondern später nur die Aufgabe haben, Steuersignale zu den Registern der peripheren ICs zu übermitteln, ist der logische Pegel der Bits A3-A0 zur Adressierung gleichgültig. In der Literatur findet man für diesen "gleichgültigen Pegel" das Zeichen "X", d.h es spielt keine Rolle, ob ein L- oder ein H-Pegel anliegt.

Die allgemeine Darstellung der Slotadressierung würde demnach wie folgt aussehen:

A 15	A 14	A 13	A 12	A 11	A 10	A 9	A 8	A 7	A 6	A 5	A 4	A 3	A 2	A 1	A 0
1	1	0	1	1	1	1	0	0	Slot je nach Bin-Wert			X	X	X	X
	=	D			=	E		0							

Zwar sind an allen 8 Slots sämtliche Select-Signale (SS1-SS8) verfügbar, aber Sie sollten in Ihrem eigenen Interesse für übersichtliche Adressierung der einzelnen Erweiterungen auf der I/O-Adapterkarte sorgen und nicht die Erweiterung im Steckplatz 1 unter der Adresse des Slot 6 ansprechen und umgekehrt.

Bei den späteren Anwendungen werden Sie sehen, daß jede periphere Erweiterung einen 8-poligen DIL-Schalter aufweist, mit dem Sie den Steckplatz und den dazugehörigen Adreßbereich individuell einstellen können. Allerdings müssen Sie stets darauf

achten, daß **nie** zwei Erweiterungen den gleichen Adreßbereich ansprechen.

Die Adreßbits A3-A0 werden durch den IC 2 für die weitere Verwendung gepuffert. Gleiches geschieht auch mit dem Datenbus D7-D0, allerdings mit dem Unterschied, daß hier bidirektional gepuffert werden muß, damit die Daten geschrieben und gelesen werden können. Der Richtungseingang "Direction" übernimmt diese Aufgabe. Liegt nämlich an diesem Anschluß ein H-Pegel, so werden die am Rechnerausgang anliegenden Daten auf den peripheren Datenbus übertragen; bei einem L-Pegel werden die anstehenden Daten zum Rechner übertragen.

Besondere Aufmerksamkeit bedürfen die beiden ICs 4 und 5 im Schaltplan. Eine Vielzahl der peripheren Anwendungen benötigen das Taktsignal 02 des Rechners. Dieses Signal muß aber bestimmte Voraussetzungen aufweisen, damit die angeschlossene Peripherie ordnungsgemäß arbeiten kann. Eine ansteigende Flanke des Taktsignals bedeutet nämlich, daß die Adreßsignale gültig sind. Die 6510-CPU im C64 und auch deren Weiterentwicklung im C128 erzeugen aber schon 100 ns vor der Gültigkeit der Adresse einen High-Impuls des Taktsignals. Angeschlossene ICs der 65xx-Serie erkennen dieses nicht mehr an und verweigern ihren Dienst. Lediglich die Schaltkreise, die von der Firma MOS-Technologie gefertigt werden, arbeiten problemlos mit diesem Taktsignal. Aber erstens ist die Beschaffung dieser Schaltkreise mehr als problematisch, und zweitens kosten sie fast das dreifache im Vergleich zu den anderen Herstellern. Die in diesem Buch verwendeten ICs der 65xx-Serie sind ausnahmslos von der Firma ROCKWELL, sind leicht beschaffbar und sehr preiswert.

Im Oszillogramm der Abbildung 32 sehen Sie den Rechnertakt O2 als einzelnen Impuls. Zur Realisation der Hardware-Erweiterungen ist es daher unumgänglich, die Flanke des Rechnertaktes um diese besagten 100 ns zu verzögern. Dies geschieht mit einem Flip-Flop, des Typs 7474, IC 4. Zur Verzögerung des Rechnertaktes wird die Frequenz des VIC, Dot Clock, herangezogen, der das achtfache des Systemtaktes beträgt. Den Dot-Clock können Sie als Oszillogramm in der Abbildung

33 sehen. Sobald der Rechnertakt HIGH wird, wird mit der nächsten ansteigenden Flanke des Dot-Clocks der Ausgang des Flip-Flops, Pin 9, HIGH. Diese Verzögerung beträgt ca. 120 ns und ist ausreichend. Damit aber die abfallende Flanke sich nicht um den gleichen Betrag verzögert, ist der Rechnertakt mit dem invertierten Reset-Eingang des 7474 verbunden.

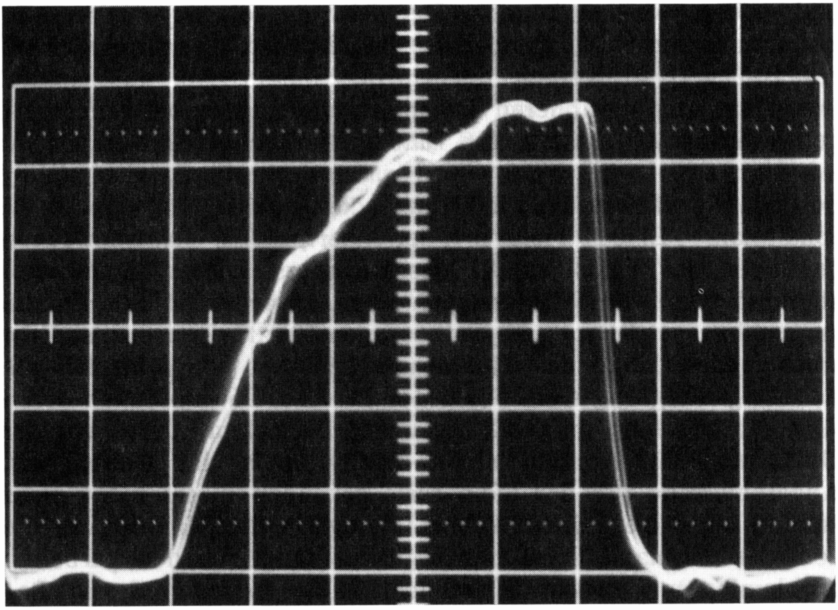


Abb. 32: Der Rechnertakt 02 als Einzelimpuls

Als Ergebnis erhalten wir ein "sauberes" Taktsignal, welches für alle 65xx-Bausteine, die nicht von MOS-Technologie sind, verwendet werden kann. Die Abbildung 34 zeigt Ihnen den Impulsverlauf des Takt-Synchron-Signals. In der Abbildung 35a sehen Sie nochmals beide Signale zusammen dargestellt.

Das Taktsignal liegt auf der Adapterkarte an dem Anschluß

20 A Takt-Synchron (Takt-Syn)

Darüber hinaus liegt selbstverständlich auch noch zusätzlich der Orginal-Systemtakt des Rechners 02 am Pin 20 c an. Der Dot-Clock wird nicht mehr weitergeführt. Zum einen wird sich ihr Fernsehbild bei einer zu langen Leiterbahnführung der 7 MHz erheblich verschlechtern und zum anderen besteht für periphere Erweiterungen keine Verwendbarkeit für dieses Signal.

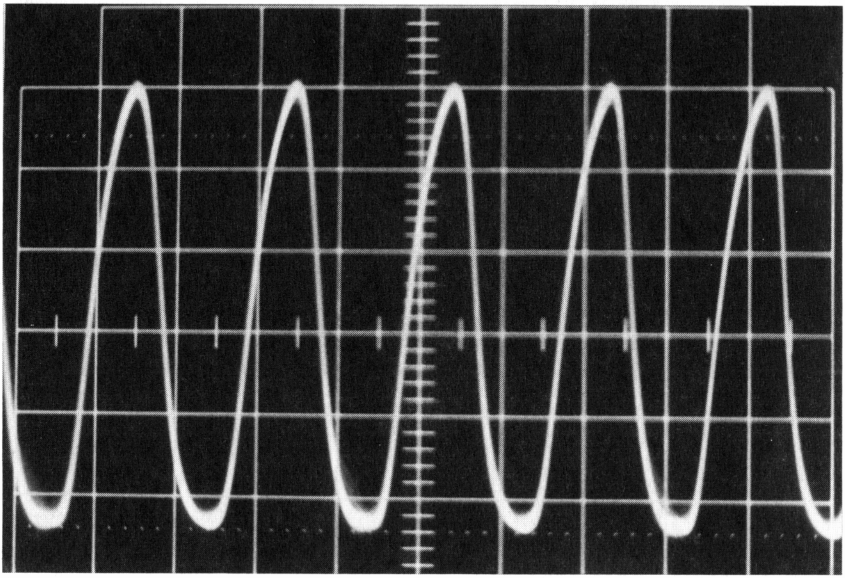


Abb. 33: Die Frequenz des VIC, Dot-Clock, mit ca. 7MHz

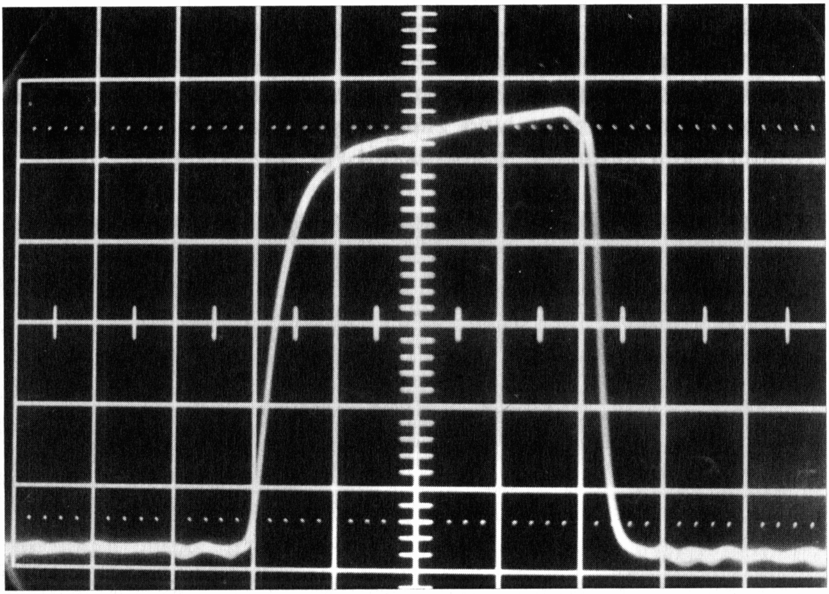


Abb. 34:
Der auf der I/O-Adapterkarte erzeugte synchrone Takt zum Ansteuern von 65xx-peripheren Bausteinen als Einzelimpuls.

65xx-Systeme unterscheiden sich gegenüber Z80-Baugruppen auch dadurch, daß sie keinen gemeinsamen Schreib-Lese-Anschluß aufweisen. Bei peripheren Z80-ICs ist der Schreib-Lese-Anschluß getrennt und jeweils low-aktiv. Um auch solche ICs verwenden zu können,wird der getrennte -RD/-WR Anschluß durch die drei Gatter des ICs 5 erreicht. Sie erhalten damit auf der I/O-Adapterkarte folgende Schreib-Lese-Anschlüsse:

19 C	R/-W	für alle 65xx-Systeme
21 A	-RD	READ, low-aktiv für Z80-Systeme
21 C	-WR	WRITE, low-aktiv für Z80-Systeme

Allerdings, und dies soll ausdrücklich an dieser Stelle erwähnt werden, können nur solche Z80- bzw. 8080-ICs angeschlossen werden, die **keinen** Rechnertakt benötigen, da das Timing-Verhalten dieser beiden Systeme grundlegend unterschiedlich ist. Die Abbildung 35b zeigt das READ-Signal mit dem neu erzeugten Taktsignal.

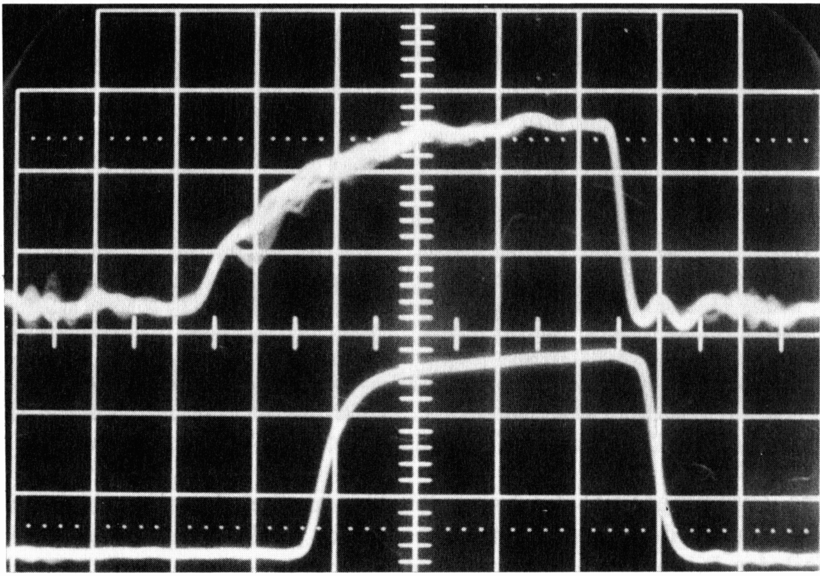


Abb. 35a:
Die beiden Taktsignale auf der I/O-Adapterkarte. Oben sehen Sie das 02-Signal und darunter den synchronisierten Takt (Takt-Syn), der um ca. 100 ns in der aufsteigenden Flanke gegenüber 02 verzögert wurde. Die beiden abfallenden Flanken sind nahezu unverändert.

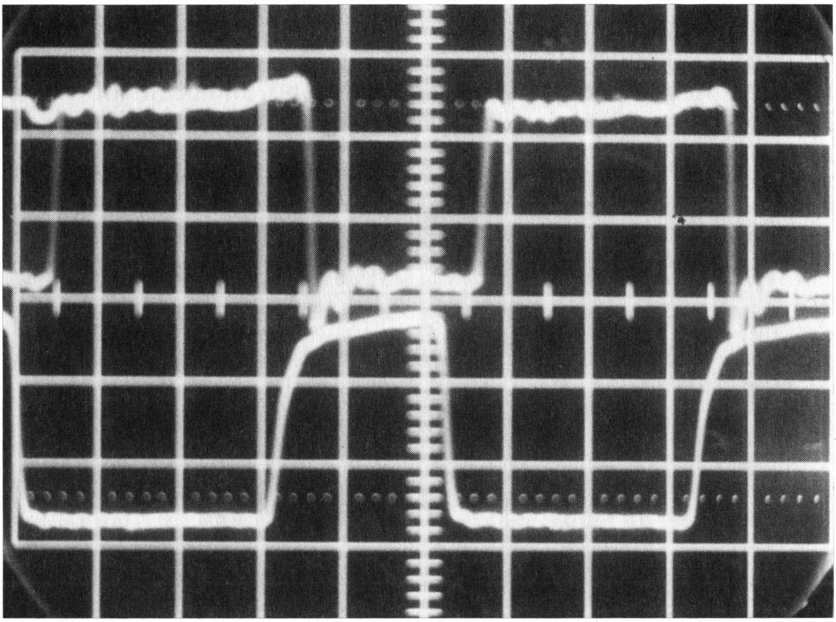


Abb. 35b:
Das Zusammenspiel des erzeugten low-aktiven Leseimpuls (-RD, oben) und dem synchronisierten Takt (Takt-Syn) im unteren Teil des Bildes.

Adressierung der I/O-Adapterkarte

Wie schon zu Anfang erwähnt, werden durch den IC 1 low-aktive Slot-Select-Signale (SS8-SS1) erzeugt, die eine Chip-Select-Funktion übernehmen. Alle SS-Signale stehen an den einzelnen Steckplätzen zur Verfügung; sie sollten aber darauf achten, daß keine doppelte Adressierung stattfindet, d.h. daß zwei Erweiterungen den gleichen Slot-Select-Anschluß beanspruchen. Aus diesem Grund sollten Sie sich schon für später angewöhnen, eine Erweiterung im ersten Steckplatz auch nur unter dem Slot-Select-Signal 1 anzusprechen.

Zur Adressierung wird das I/O-1 Signal des Rechners verwendet. Sollten Sie dieses schon anderwärtig in Anspruch nehmen, so können Sie ohne weiteres das I/O-2 Signal vom Rechner dem Pin 4 des IC 1 zuführen. Alle I/O-Adressen bewegen sich dann im Bereich hex. DF00-DFFF.

Darüber hinaus ist es auch möglich, das nicht benötigte I/O-Signal auf einen freien Pin der I/O-Adapterkarte zu legen. Im Schaltplan sehen Sie diese Möglichkeit für das I/O-2 Signal.

Im weiteren Verlauf des Buches beschränken wir uns aber ausschließlich auf das I/O-1 Signal, d.h. alle Adressen bewegen sich innerhalb des Adreßraums hex. DE00-DEFF!

Die folgende Tabelle zeigt Ihnen detailliert die Adreßbereiche der Slots 1-8:

A15-A8		A7	A6	A5	A4	A3	A2	A1	A0	ADRESSE hex.	dez.	SLOT Nr.
D	E	0	0	0	0	0	0	0	0	DE00	56832	1
D	E	0	0	0	0	1	1	1	1	DE0F	56847	
D	E	0	0	0	1	0	0	0	0	DE10	56848	2
D	E	0	0	0	1	1	1	1	1	DE1F	56863	
D	E	0	0	1	0	0	0	0	0	DE20	56864	3
D	E	0	0	1	0	1	1	1	1	DE2F	56879	
D	E	0	0	1	1	0	0	0	0	DE30	56880	4
D	E	0	0	1	1	1	1	1	1	DE3F	56895	
D	E	0	1	0	0	0	0	0	0	DE40	56896	5
D	E	0	1	0	0	1	1	1	1	DE4F	56911	
D	E	0	1	0	1	0	0	0	0	DE50	56912	6
D	E	0	1	0	1	1	1	1	1	DE5F	56927	
D	E	0	1	1	0	0	0	0	0	DE60	56928	7
D	E	0	1	1	0	1	1	1	1	DE6F	56943	
D	E	0	1	1	1	0	0	0	0	DE70	56944	8
D	E	0	1	1	1	1	1	1	1	DE7F	56959	

Aus dieser Tabelle wird ersichtlich, daß jeder Slot unter insgesamt 16 Adressen ansprechbar ist. Dies resultiert daraus, daß der logische Pegel der untersten 4 Bit ohne Bedeutung ist.

Aufbau der I/O-Adapterkarte

Das Platinenlayout ist im verlängerten EURO-Format gehalten und in der Abbildung 36 dargestellt. Den dazugehörigen Bestükkungsplan finden Sie in der Abbildung 37. Auf dieser Karte finden die beiden Commodore Steckplätze Slot A und B und vier I/O-Steckplätze (1-4) Platz. Die restlichen Steckplätze sind auf einer Erweiterungskarte zu finden, die im Kapitel 6.2 vorgestellt wird. Die Verbindung der I/O-Adapterkarte und der Erweiterungskarte geschieht über die Anschlußleiste X8.

Rechner und I/O-Adapterkarte werden durch ein Kabel mit einem Platinenstecker und der Anschlußbuchse X1 verbunden. Den Platinenstecker finden Sie in dem Kapitel 6.3.

Vor den Lötarbeiten sollten Sie die I/O-Karte unbedingt sorgfältig prüfen, insbesondere an den Stellen, wo die Leiterbahnen sehr eng nebeneinander verlaufen. Prüfen Sie mit einem Ohmmeter, ob die einzelnen Bahnen keinen Kontakt zu den benachbarten haben,und ob sich keine Leiterbahnunterbrechungen eingeschlichen haben. Für diejenigen, die keine Möglichkeit haben, sich diese Platine selbst herzustellen, ist im Anhang eine Bezugsquelle für alle in diesem Buch beschriebenen Platinen zu finden.

Auf der Platine befinden sich mehrere Drahtbrücken, die Sie zuerst einlöten müssen. Im nächsten Arbeitsgang sind die 5 IC-Fassungen einzubauen.

Die Buchsen mit den Bezeichnungen X5-X7 sind VG-Buchsen, 2x32-polig, Bauform a+c. Da diese verpolungssicher sind, muß beim Einbau unbedingt auf die korrekte Lage geachtet werden. Die an den Buchsen angebrachte **Markierung 1a** muß sich immer **rechts oben** befinden. Die Anschlußbelegung der I/O-Slots entnehmen Sie der Abbildung 31. Wenn Sie beim Einbau dieser Buchsen Fehler gemacht haben, können Sie ohne umständliche Entlötarbeiten den betreffenden Steckplatz nicht verwenden.

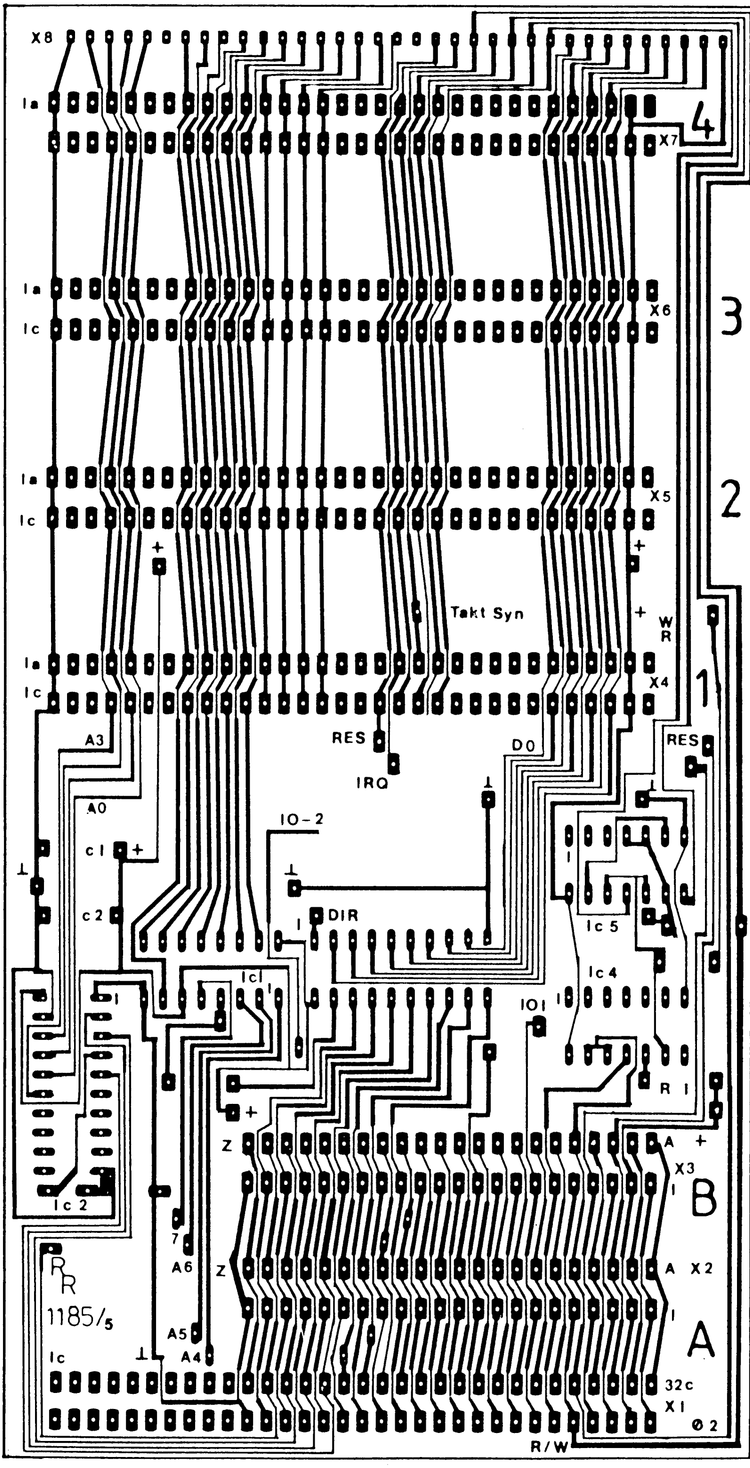


Abb. 36: Platinenlayout der I/O-Adapterkarte

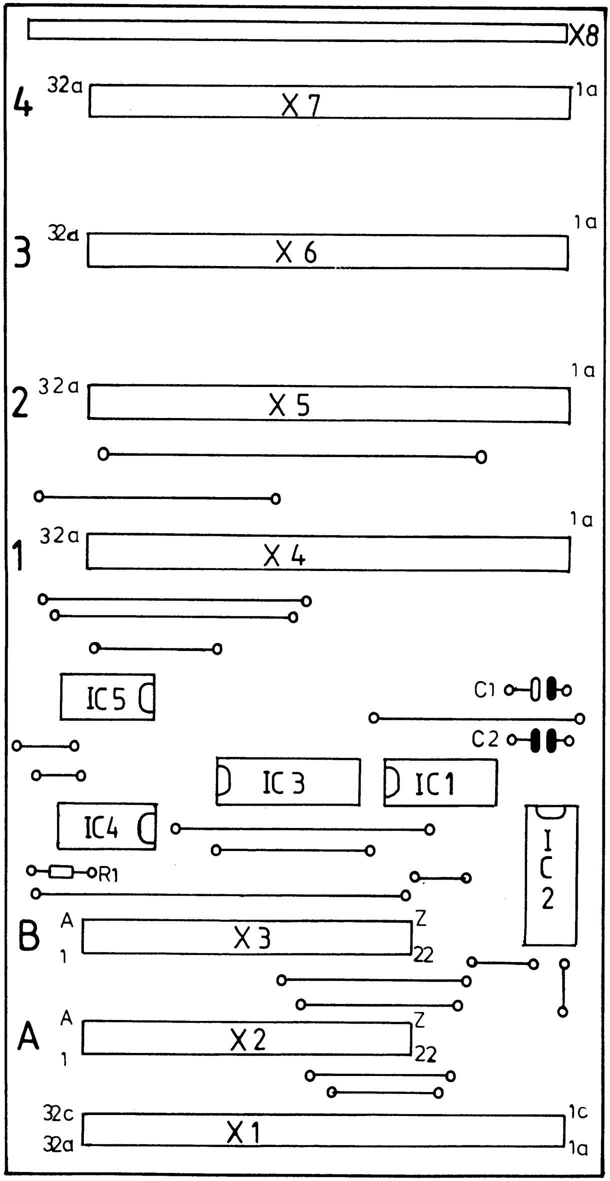


Abb. 37: Bestückungsplan der Adapterkarte

X1 ist ein gewinkelter Stecker, 2x32-polig, Bauform a+c. Auch bei diesem ist auf die korrekte Einbaulage zu achten. Die Anschlußbelegung ist hier anders als bei den oben beschriebenen Buchsen. Hier befindet sich der **Anschluß 1c rechts oben.**

Als Stecker für die beiden Slots A und B lassen sich alle Bauformen verwenden, die 2x22-polig sind und ein Rastermaß von 2,54 mm aufweisen. Achten Sie darauf, daß diese Buchsen nicht verpolungssicher sind, und markieren Sie sich gemäß dem Bestückungsplan die äußeren Anschlüsse 1 und 22, sowie A und Z.

Vor der Inbetriebnahme sollten Sie sich nochmals von der Richtigkeit Ihrer Arbeit überzeugen und alle Leiterbahnen und Lötstellen sorgfältig kontrollieren. Die Abbildungen 38 und 39 zeigen Ihnen den Musteraufbau der I/O-Adapterkarte.

Bauteile:

IC 1	=	74 LS 138
IC 2	=	74 LS 541
IC 3	=	74 LS 245
IC 4	=	74 LS 74
IC 5	=	74 LS 00
X1	=	2x32poliger Stecker gewinkelt
X2,X3	=	2x22polige Buchse Commodore
X4-X7	=	2x32polige VG-Buchse a+c
X8	=	Stiftleiste Rastermaß 2,54 mm
C1	=	Elko ca. 47 uF/16 V
C2	=	100 nF
R1	=	4,7 k

Inbetriebnahme:

Prüfen Sie den Aufbau sorgfältig, und untersuchen Sie auch die Lötseite, ob nicht ungewollte Leiterbahnverbindungen oder Unterbrechungen entstanden sind. Die Buchse X1 verbindet die I/O-Karte durch ein 2x22-poliges Flachbandkabel mit dem Rechner. Näheres hierzu erfahren Sie im Kapitel 6.3.

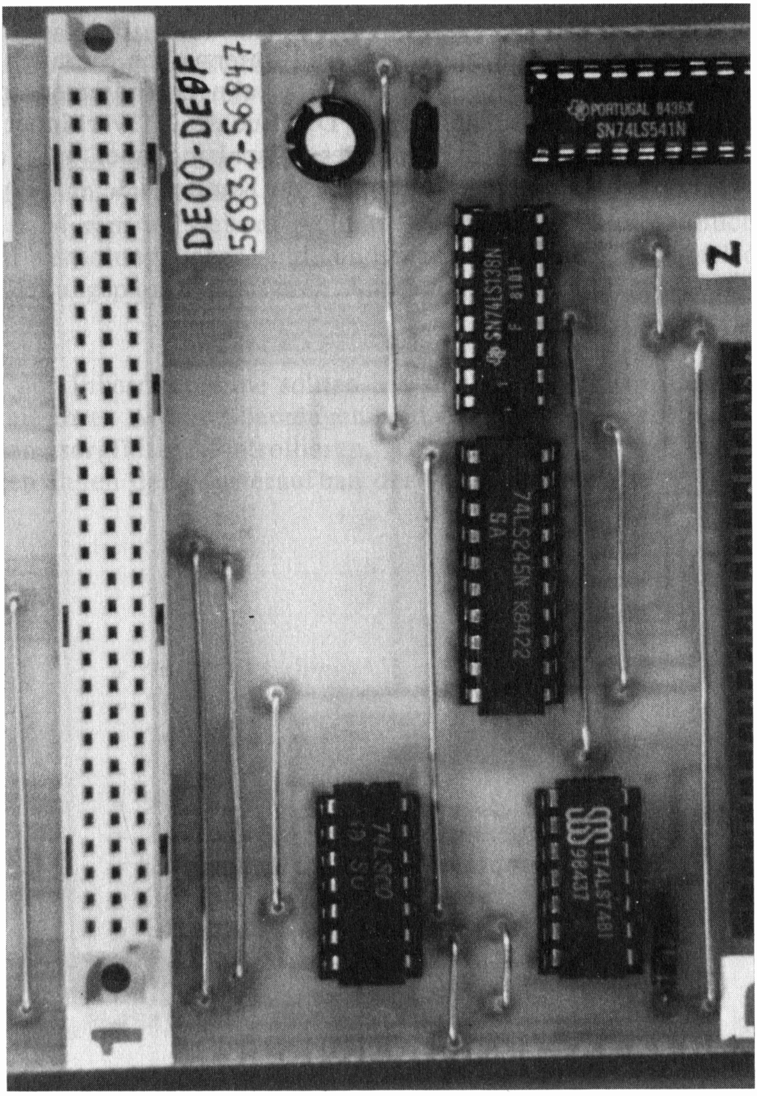


Abb. 38:
Teilausschnitt der I/O-Adapterkarte mit dem ersten Steckplatz. Links sehen Sie die beiden ICs, die für die Taktsynchronisierung und die Z80-Signale zuständig sind. In der Mitte befindet sich der bidirektionale Datenbustreiber sowie der Decoder für die Slot-Select-Signale.

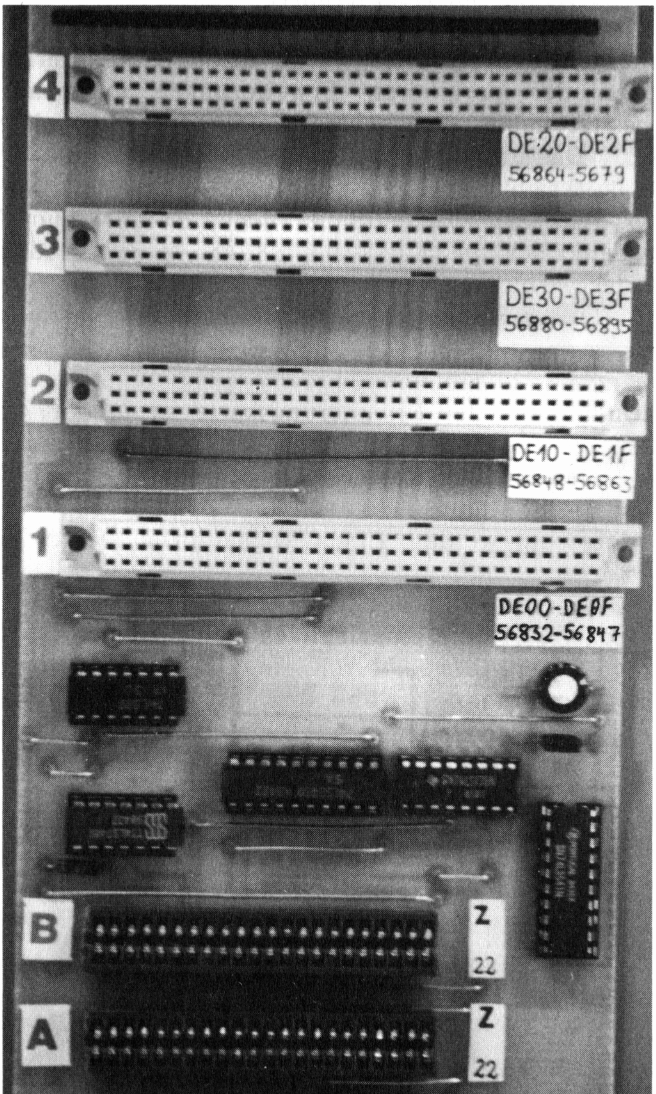


Abb. 39:
Musteraufbau der I/O-Adapterkarte mit vier I/O- und zwei Commodore-Steckplätzen. Die erforderlichen Drahtbrücken laut dem Bestückungsplan beim IC2 (rechts unten) sind bei diesem Mustergerät auf der Lötseite angebracht worden.

6.2 Erweiterung der Adapterkarte

Im vorhergehenden Kapitel wurde die I/O-Adapterkarte zum Aufstecken der peripheren Erweiterungen aufgebaut. Diese Karte besitzt neben den beiden Commodore-Steckplätzen vier I/O-Slots. Da insgesamt acht Slot-Select-Signale generiert werden, läßt sich die Karte noch um weitere vier Steckplätze ausbauen. Alle Steckplätze (Slots) liegen parallel zum I/O-Bus und werden über die Stiftleiste X8 an der I/O-Adapterkarte miteinander verbunden. Zusätzlich ist auf der Erweiterungskarte noch ein fünfter Steckplatz zur Aufnahme des Netzteils vorgesehen.

Das Platinenlayout der Erweiterungskarte ist in der Abbildung 40 wiedergegeben, den Bestückungsplan finden Sie in der Abbildung 41. Der Aufbau der Erweiterungskarte ist vollkommen unproblematisch, wenn Sie daran denken, daß die VG-Buchsen korrekt eingebaut werden. Einen Musteraufbau zeigt die Abbildung 42.

Für die spätere Arbeit empfiehlt es sich, jeden Steckplatz mit seiner Slot-Select-Adresse durch ein kleines Aufklebeschild zu versehen. Das Foto der Abbildung 43 vermittelt Ihnen einen Überblick über die in diesem Buch benötigten Stecker und Buchsen.

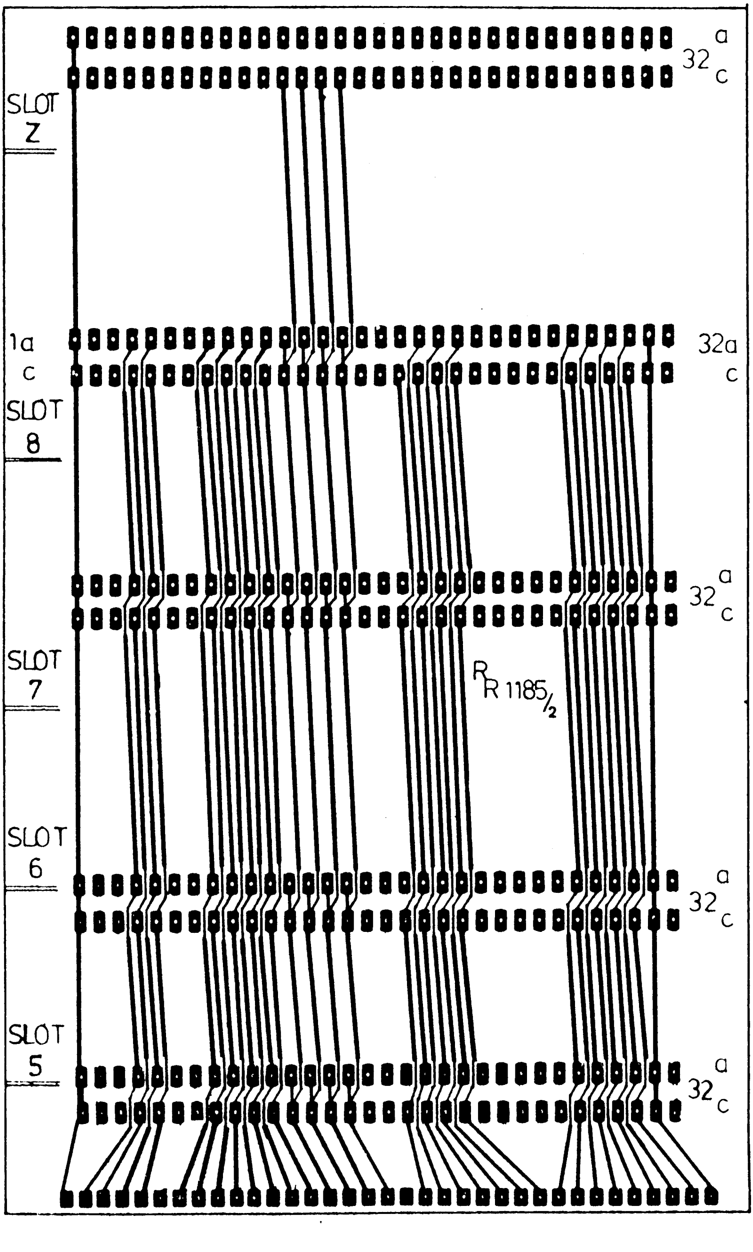


Abb. 40: Platinenlayout der Erweiterungskarte

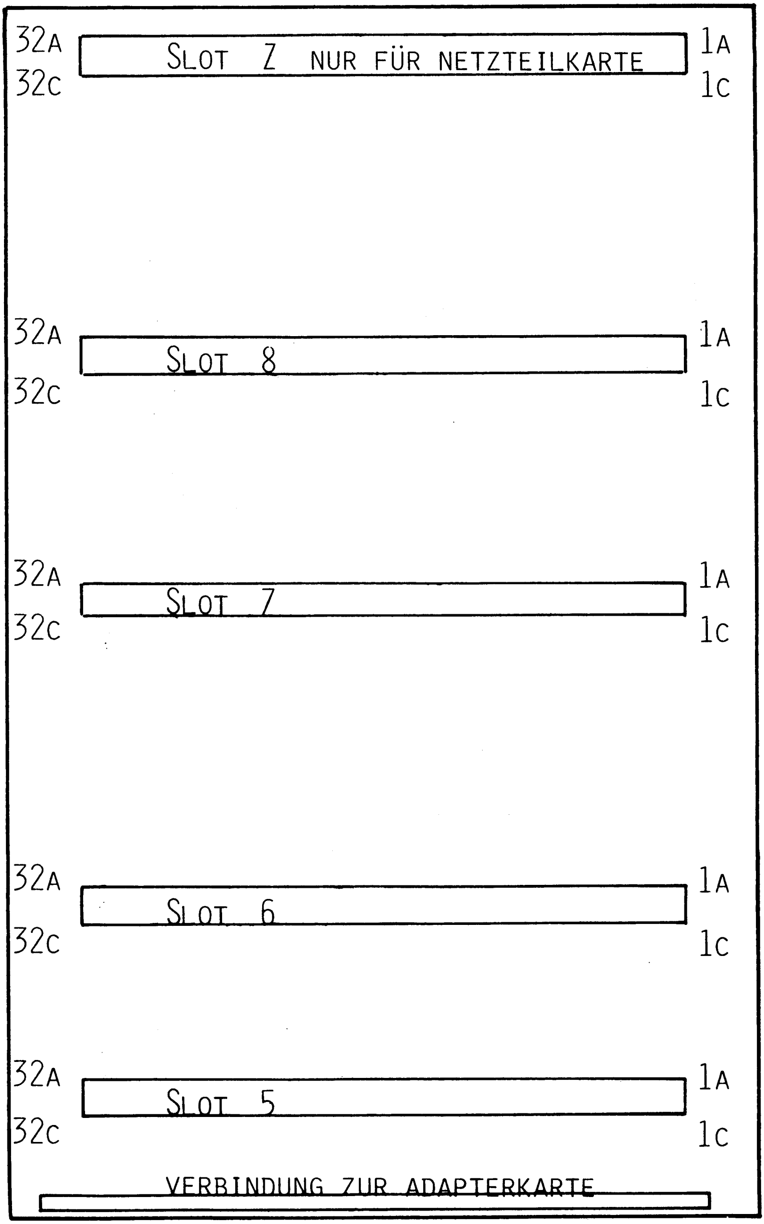

32A
32C
SLOT Z NUR FÜR NETZTEILKARTE
1A
1C
32A
32C
SLOT 8
1A
1C
32A
32C
SLOT 7
1A
1C
32A
32C
SLOT 6
1A
1C
32A
32C
SLOT 5
1A
1C
VERBINDUNG ZUR ADAPTERKARTE

Abb. 41 (Vorherige Seite):
Bestückungsplan der Erweiterungskarte Slot Z-5; 2x32-polige VG-Buchsen, a+c

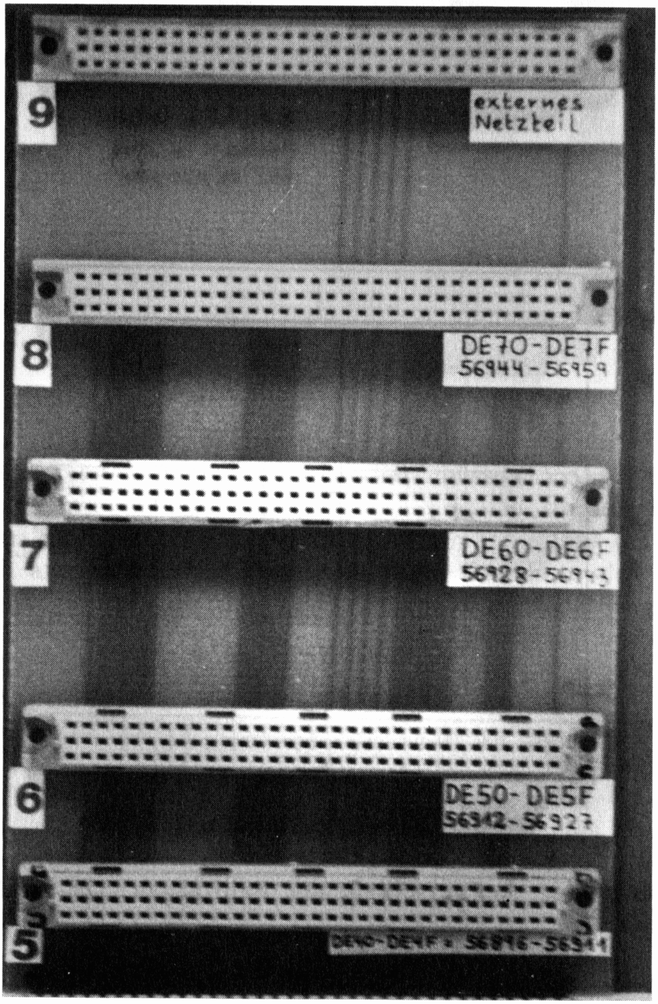


Abb. 42:
Aufbau der Erweiterungskarte mit zusätzlich fünf Steckplätzen, wobei auf dem Steckplatz 9 nur das externe Netzteil betrieben werden kann.

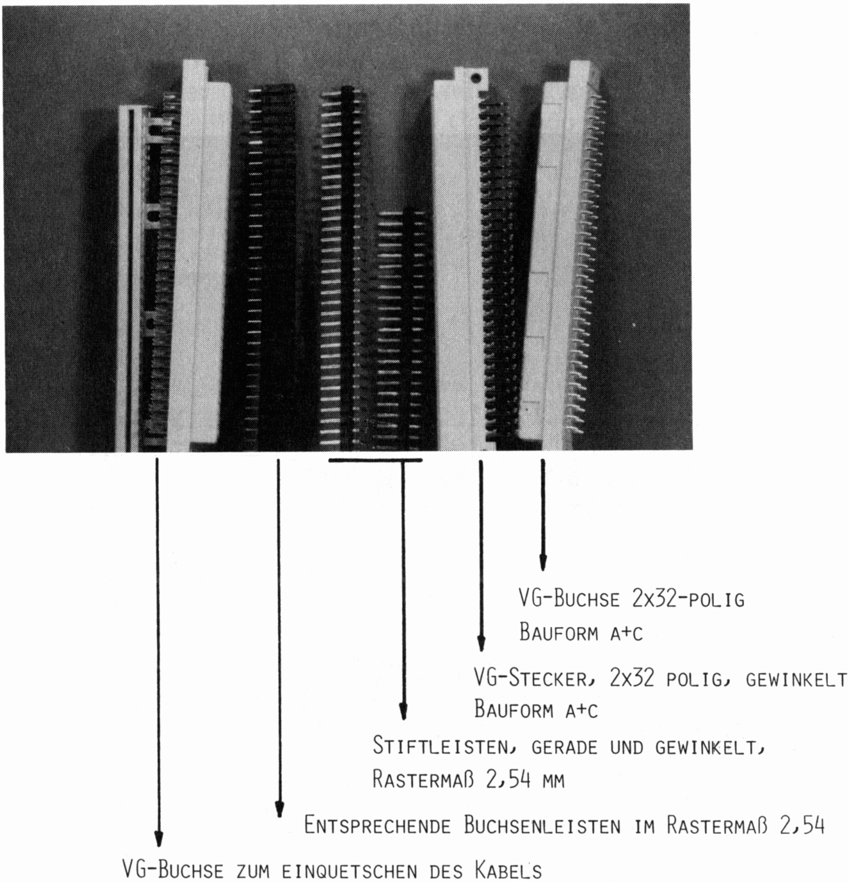


Abb. 43:
Übersicht über die verschiedenen Bauformen der Stecker und Buchsen.

6.3 Platinenstecker zum Expansions-Port

Der Expansions-Port wird am Rechner mit einer Buchse, die direkt auf der Rechnerplatine angelötet ist, herausgeführt. Zum Anschluß benötigen Sie einen entsprechenden Platinenstecker, den Sie auch mit einer doppelseitigen Lochrasterplatine, sofern sie das erforderliche Rastermaß aufweist, selbst herstellen können.

Die Abbildungen 44 und 45 zeigen Ihnen ein Platinenlayout zur Herstellung des Expansions-Steckers. Zusätzlich sind alle Leiterbahnen mit den entsprechenden Bezeichnungen beschriftet. Die *längere Seite* der Leiterbahnen wird in die Buchse des *Expansions-Ports am Rechner* gesteckt und an der *kürzeren Seite*, die die Aufschrift "OBEN" bzw. "UNTEN" trägt, können Sie dann ein *Flachbandkabel* anlöten.

Leider ist die Rechnerbuchse des Expansions-Ports am Rechner nicht verpolungssicher ausgelegt.Daher müssen Sie selbst stets darauf achten, daß Sie den Stecker nie falsch in den Expansions-Port einstecken. Wenn es erforderlich ist, kann die Platine natürlich auch kürzer hergestellt werden. Das Foto der Abbildung 46 zeigt Ihnen die geätzte Platine.

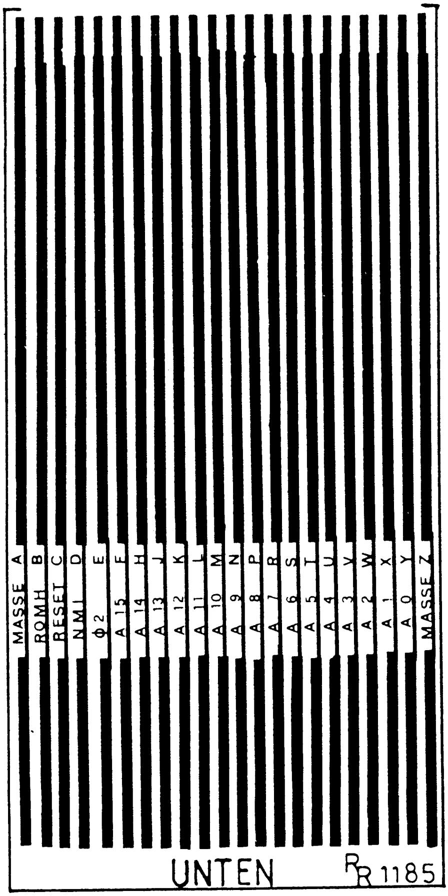


Abb. 44:
Platinenlayout "Lötseite-unten" des Platinensteckers für den Expansions-Port

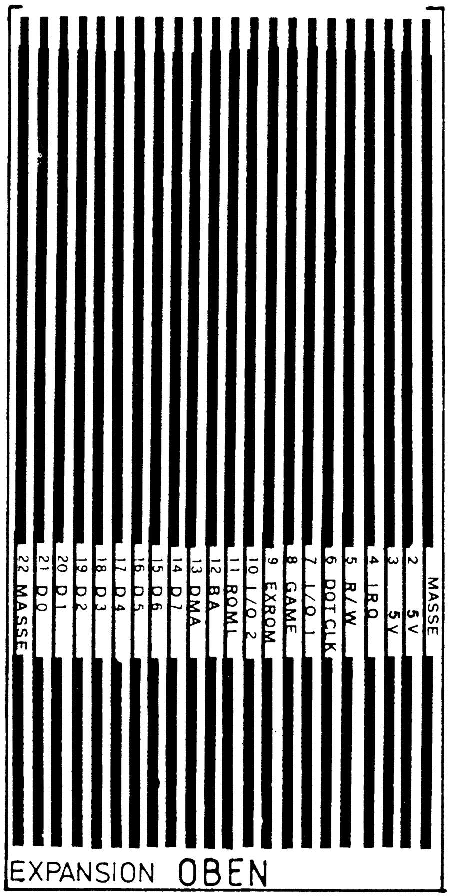


Abb. 45:
Platinenlayout "Oberseite" des Platinensteckers für den Expansions-Port

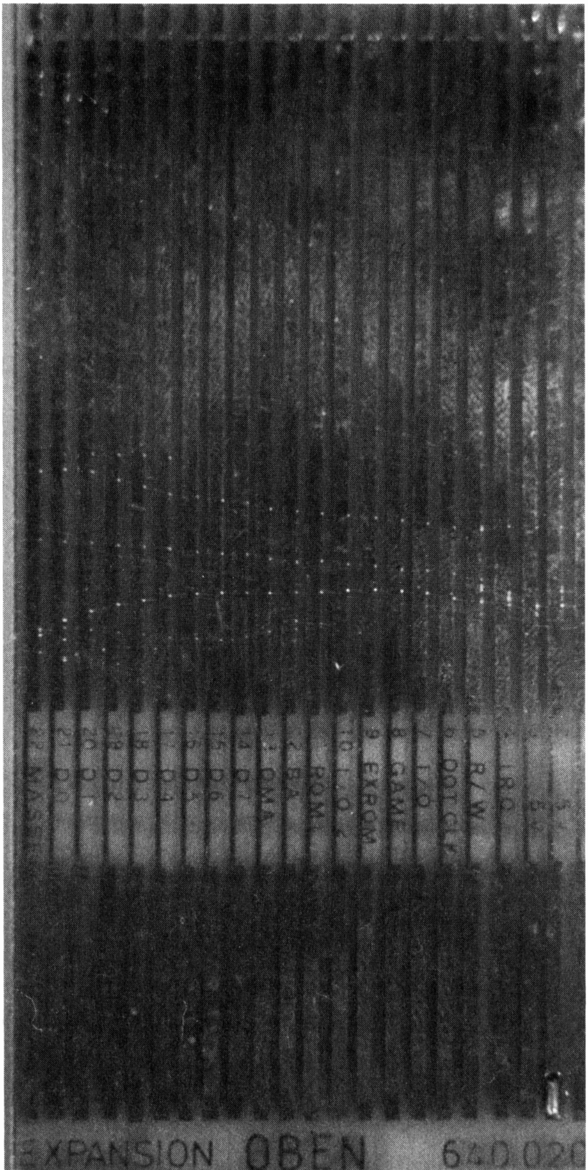


Abb. 46:
So beispielsweise könnte ein einfacher Platinenstecker für den Expansions-Port aussehen.

6.4 Adapterkarte mit Z80-Signalen

Die folgende Schaltung ist für all' diejenigen gedacht, die eigene Hardware-Erweiterungen bauen und am Rechner anschließen möchten. Diese Adapterkarte bietet Ihnen folgende Vorteile:

+ Sie ist direkt auf den Expansions-Port des Rechners aufsteckbar.

+ Der vollständige Commodore-Expansions-Bus steht ungepuffert an einer verpolungssicheren VG-Buchse zur Verfügung.

+ Auf der Platine der Karte werden zusätzlich die für Z80-Bausteine erforderlichen Signale (Takt-Synchron, -READ und -WRITE) generiert. (siehe hierzu die Beschreibung im Kapitel 6.1)

Diese Karte unterscheidet sich von der I/O-Adapterkarte nur dadurch, daß der Bus ungepuffert ist und keine Slot-Select-Signale generiert werden. Falls Sie jedoch eigene Entwicklungen vornehmen wollen, so sollte diese Karte als Verbindungsglied zwischen Rechner und Entwicklungsschaltung eingesetzt werden.

Den Schaltplan hierzu finden Sie in der Abbildung 47. Der Steuerbus des Rechners wird mit Ausnahme der Signale O2, Dot-Clock und R/-W durchgeschliffen. Die eben genannten Signale erzeugen die für die Z80-Bausteine erforderlichen Impulse. Näheres hierzu finden Sie im Kapitel 6.1.

Die Platine ist auf einer doppelseitigen Karte in den Abbildungen 48 und 49 wiedergegeben. Das Format ist etwas ungewöhnlich, aber deshalb erforderlich, weil die Platine direkt auf den rückseitigen Expansions-Port des Rechners aufgesteckt wird. Den Bestückungsplan finden Sie in der Abbildung 50.

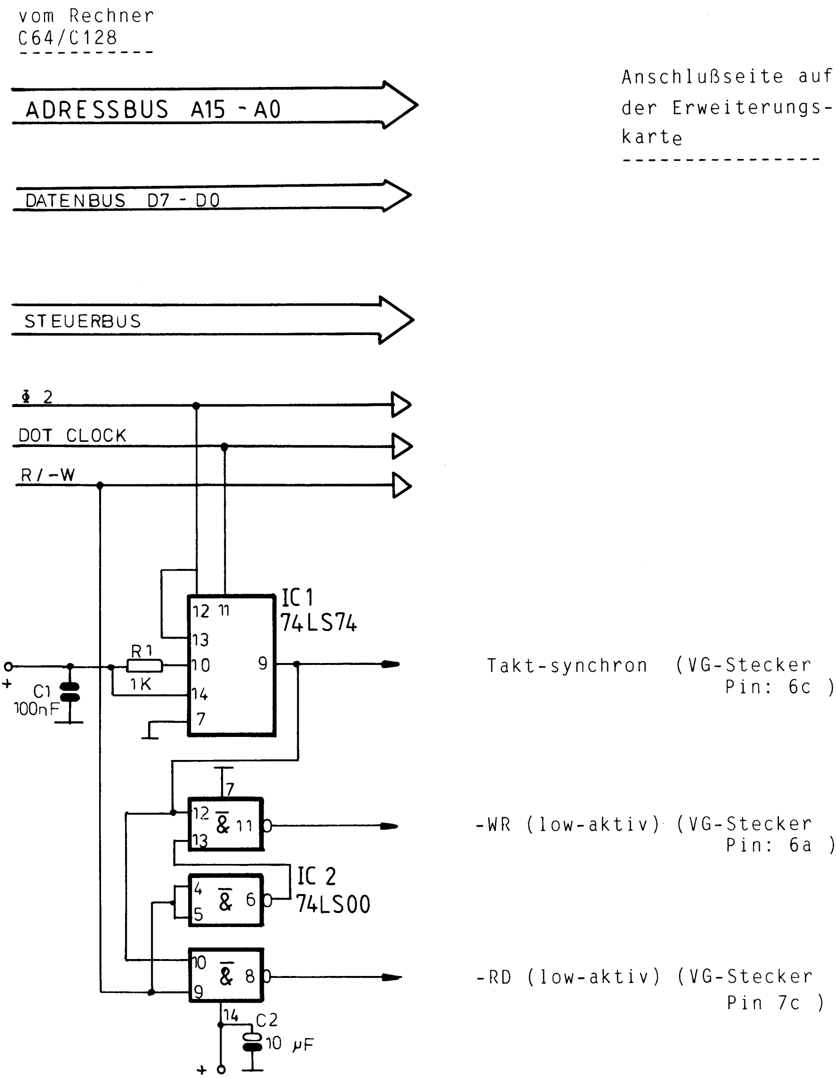


Abb. 47:
Schaltplan der Erweiterungskarte als Stecker für den Expansions-Port

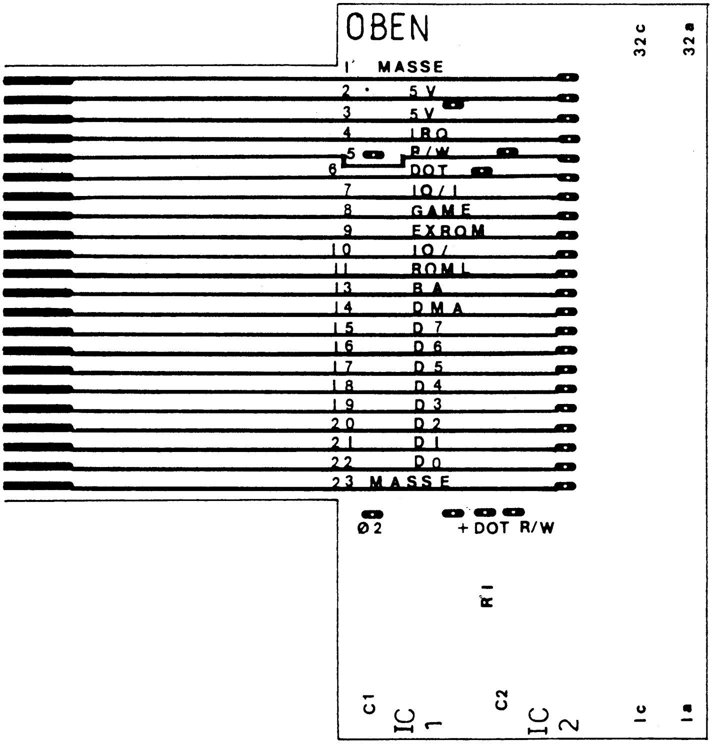


Abb. 48:
Platinenlayout "Bestückungsseite" der Adapterkarte mit Z80-Signalen

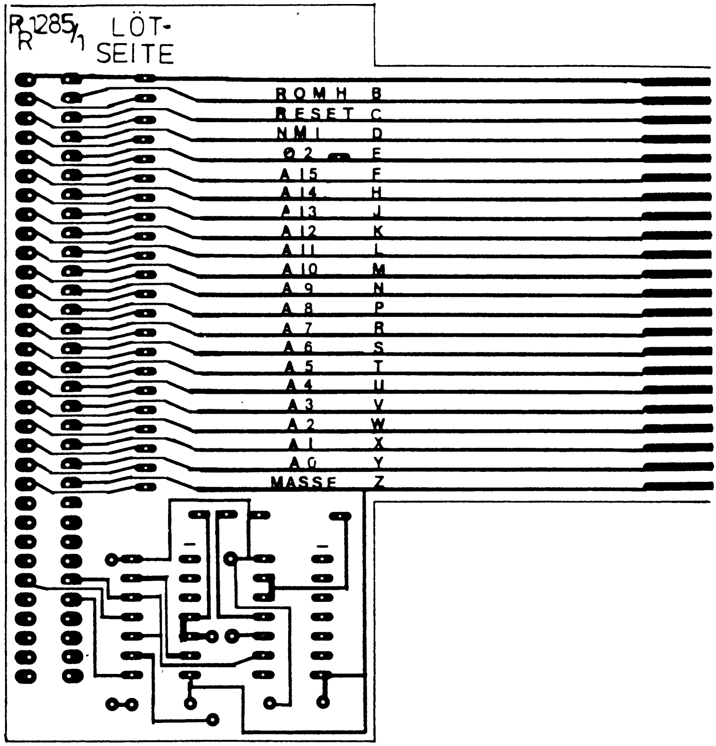
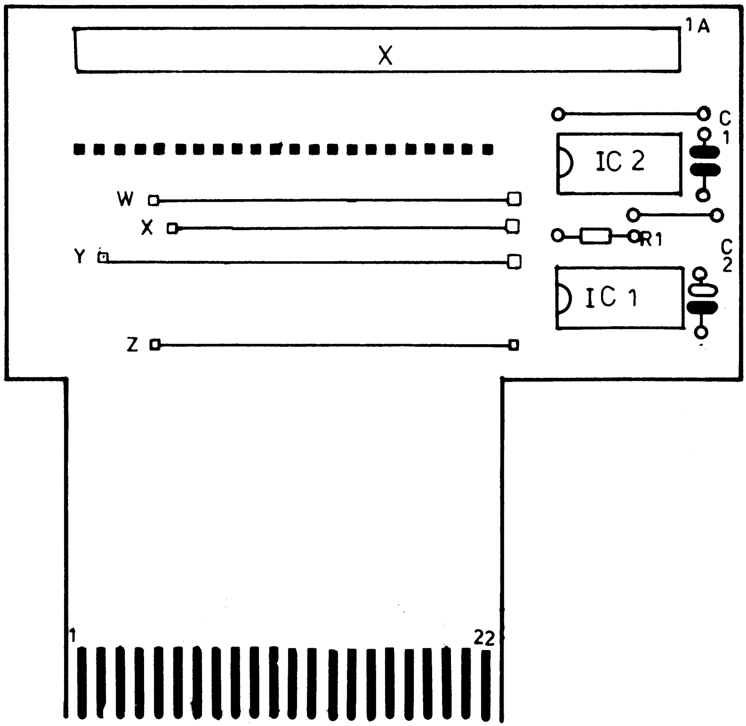


Abb. 49:
Platinenlayout "Lötseite" der Adapterkarte mit Z80-Signalen



■ sind Durchkontaktierungen

○, □ sind Drahtbrücken (siehe Text)

Abb. 50: Bestückungsplan der Adapterkarte mit Z80-Signalen

Nachdem Sie zunächst die Durchkontaktierungen für die VG-Buchse vorgenommen haben, sind einige Drahtbrücken zu legen. Besonders bei denen, die im Bestückungsplan der Abbildung 50 mit W, X, Y und Z bezeichnet sind, sollten besondere Vorkehrungen getroffen werden: Da alle diese Drahtbrücken über Leiterbahnen laufen, ist isolierter Draht unbedingt ratsam.

Desweiteren ist zu beachten, daß diese Drahtbrücken auf der Seite der ICs normal auf die Platinenunterseite gelötet werden, während sie auf der anderen Seite, mit Ausnahme der Brücke Z, auf die Platinenoberseite gelötet werden müssen. Es empfiehlt sich auch, diese Seite nicht zu bohren, da es in diesem Fall leicht möglich ist, daß die Drahtbrücke mit der auf der Platinenunterseite verlaufenden Leiterbahn Kontakt erhält.

Bitte prüfen Sie unbedingt den korrekten Aufbau dieser Drahtbrücken nach. Die weiteren Bauteile können dem Schaltplan entnommen werden.

Die Belegung der VG-Buchse entspricht der der I/O-Adapterkarte und kann der folgenden Tabelle entnommen werden:

Bedeutung	VG-Buchse Pin	Bedeutung	VG-Buchse Pin
Masse	32 a	Masse	32 c
+ 5 Volt	31 a	-ROMH	31 c
+ 5 Volt	30 a	-RESET	30 c
-IRQ	29 a	-NMIET	29 c
R/-W	28 a	O 2I	28 c
Dot-Clock	27 a	A 15	27 c
IO-1	26 a	A 14	26 c
-GAME	25 a	A 13	25 c
-EXROM	24 a	A 12	24 c
IO-2	23 a	A 11	23 c
-ROML	22 a	A 10	22 c
BA	21 a	A 9	21 c
DMA	20 a	A 8	20 c
D 7	19 a	A 7	19 c
D 618 a	A 6	18 c	
D 5	17 a	A 5	17 c
D 4	16 a	A 4	16 c
D 3	15 a	A 3	15 c
D 2	14 a	A 2	14 c
D 1	13 a	A 1	13 c
D 0	12 a	A 0	12 c
Masse	11 a	Masse	11 c
-WR (Z80)	6 a	Takt synchron	6 c
		-RD	7 c

6.5 Erweiterung des User-Ports

In den gesamten Abhandlungen ist der User-Port für Erweiterungsaufgaben sehr kurz gekommen. Zwar bietet dieser Anschluß gegenüber dem Expansions-Port den Vorteil, daß der Datenbus in gepufferter Form vorliegt und der Port noch über einen eigenen seriellen Ausgang verfügt, aber für Steuerungsaufgaben, fehlen einerseits die Adreßleitungen und andererseits fast alle Signale, die für eine Chip-Select-Auswahl erforderlich sind. Für den Anfänger jedoch sind Arbeiten am User Port meistens einfacher, da sie bezüglich der Adressierung überschaubarer sind. Im Verlaufe des Buches werden Sie auch einige Schaltungen finden, wie beispielsweise das EPROM-Programmierboard, die am User-Port angeschlossen werden. Auch der Handel bietet zahlreiche Ergänzungsschaltungen an, die den User-Port benutzen.

In diesem Kapitel wird Ihnen eine Erweiterungsmöglichkeit des User-Ports vorgestellt, bei der Sie insgesamt drei Steckplätze zur Auswahl haben. Eine Selektion der einzelnen Plätze, wie durch die Adressierung der I/O-Adapterkarte, erfolgt hier nicht.

Auf einer doppelseitigen Platine, die in den Abbildungen 51 und 52 wiedergegeben ist, liegen alle User-Port-Buchsen parallel. Das Foto der Abbildung 53 zeigt Ihnen den Aufbau. Zu beachten ist, daß die User-Port-Buchsen, die auf der Platine montiert sind, für Printmontage geeignet sind, da die meisten Lötösen für Kabelmontage aufweisen.

Die User-Port-Buchse, die zum Anschluß an den Rechner dient, ist auf der Stirnseite der Platine anzubringen und sowohl auf der Ober-, wie auch auf der Unterseite zu verlöten. Insgesamt sind auf der Platine 12 Durchkontaktierungen anzubringen.

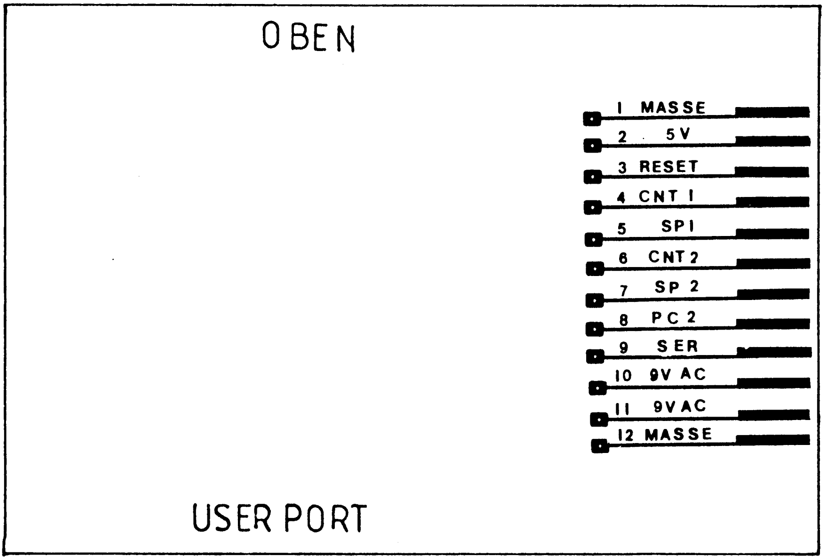


Abb. 51: Platinenlayout "Oberseite" der User-Port-Erweiterung

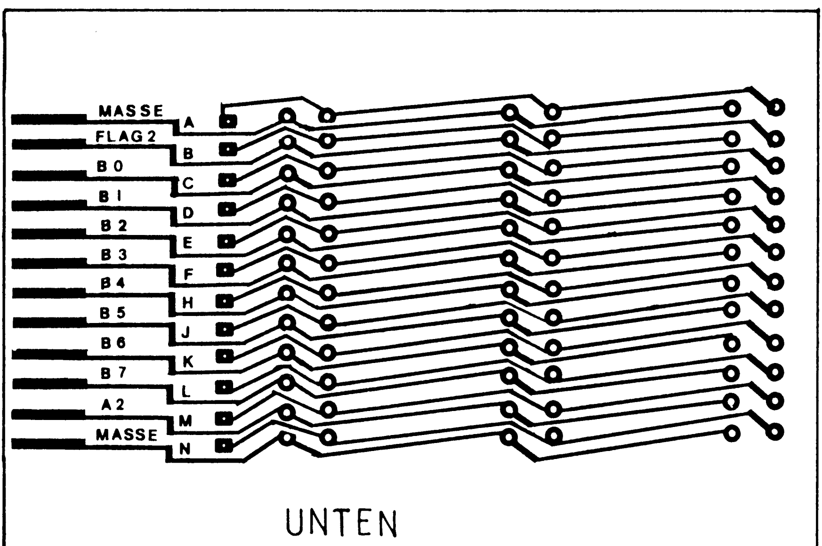


Abb. 52: Platinenlayout "Lötseite" der User-Port-Erweiterung

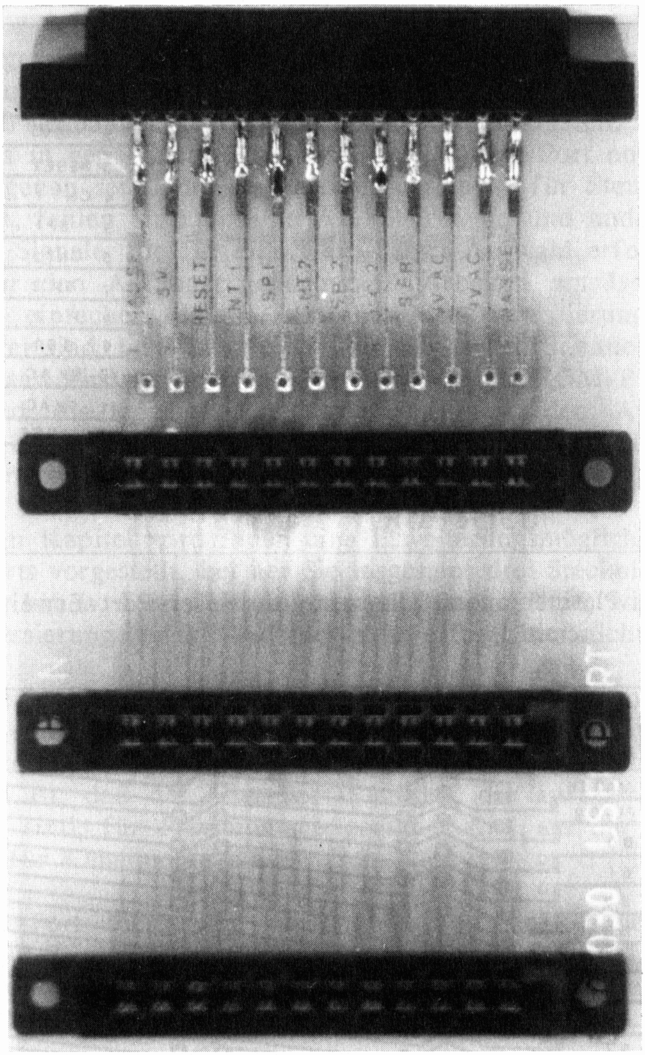


Abb. 53: User-Port-Steckererweiterung

7. 8-40-Kanal-Eingabe-Interface

Mit dieser Schaltung können Sie maximal 40 unterschiedliche Eingabesignale in den Rechner einlesen und diese dort verarbeiten. Eine Ausgabe allerdings ist über diese Karte nicht möglich. Für diesen Fall wird auf eine entsprechende Schaltung im Kapitel 8 verwiesen, oder, falls Sie sich mit weniger Kanälen begnügen, können Sie stattdessen auf die 16-Kanal-Ein-/Ausgabekarte des Kapitels 9 ausweichen. Mit diesen drei Schaltungen, die im übrigen noch ausbaubar sind, können sicherlich alle anfallenden Steuerungsaufgaben per Rechner erledigt werden.

Sollten Sie auch 220-Volt-Anlagen ansteuern, so benötigen Sie allerdings noch spezielle Interfacebausteine, damit Sie die Wechselspannung gefahrlos schalten können. Diese Schaltungen finden Sie im Kapitel 13.

Betrachten Sie nun die Schaltung der Interfacekarte in der Abbildung 54 , so werden Sie feststellen, daß IC2 bis IC6 parallel zum Datenbus liegen und für die Eingabe in den Rechner zuständig sind. Bei diesen Schaltkreisen handelt es sich um 74LS541, einem unidirektionalen Puffer-IC, der mit dem 74LS244 vergleichbar ist, jedoch wegen der besseren Pinanordnung wesentlich leichter zu handhaben ist. Dieser Baustein enthält acht nicht-invertierende Bus-Leitungstreiber mit Tristate-Ausgängen, so daß die an den Eingängen, den Pins 2,3,4 usw., anliegenden Signale auf die entsprechenden Ausgänge (Pins 18, 17, 16 usw.) gelegt werden. Dies kann aber nur dann geschehen, wenn die Freigabebedingung des 74LS541 - die Anschlüsse 1 und 19 müssen an einem L-Pegel liegen - erfüllt ist. Würde man jeden Freigabeeingang (Pin 1 und 19) an ein Slot-Select-Signal legen, so wären durch diese einzige Karte fünf Adreßbereiche belegt, obwohl man zur gleichen Zeit nur mit einem einzigen IC arbeiten kann, d.h. einen einzigen Eingabeport einlesen kann.

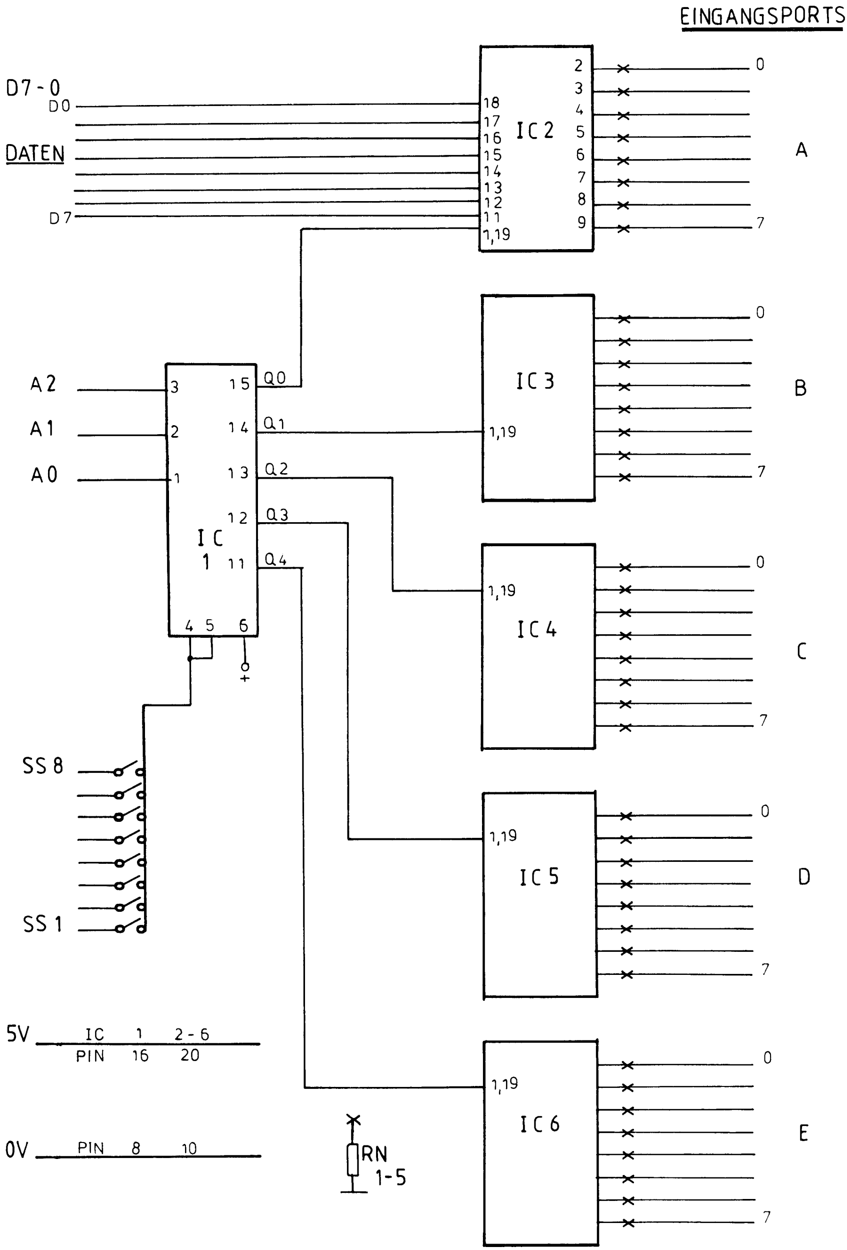


Abb. 54: Schaltplan des 8-40-Kanal-Eingabe-Interface

Um unnütz belegten Adreßraum zu vermeiden, wird ein Decoder-IC, IC 1, vorgeschaltet. Wird nämlich diesem Schaltkreis an den Eingängen, Pin 1-3, ein Binärcode zugeführt, so geht der diesem Code entsprechende Dezimalausgang auf einen L-Pegel, während alle anderen auf einem H-Pegel verbleiben.

Auch dieser IC besitzt Freigabebedingungen: Die negativen Bedingungen, Pin 4 und 5, müssen an einem L-Pegel liegen, während die positive Bedingung, Pin 6, an einem H-Pegel liegen muß. Vergleichen Sie diese Bedingungen, so werden Sie feststellen, daß die positive Bedingung, Pin 6, immer erfüllt ist, da dieser Anschluß mit der Versorgungsspannung fest verbunden ist. Die beiden negativen Freigabebedingungen werden zusammen über den DIL-Schalter mit einem Slot-Select-Signal verbunden. Wie Sie bereits im Kapitel 6.1 erfahren konnten, ist das Slot-Select-Signal low-aktiv, führt also beim Ansprechen einen L-Pegel. Zu beachten ist lediglich, daß nur ein einziger DIL-Schalter, der das entsprechende Slot-Select-Signal aktiviert, auf ON steht, alle anderen müssen auf OFF verbleiben.

Da ein offener Eingang vom Rechner als H-Pegel, d.h. log. 1 interpretiert wird, ist an jedem Eingang ein Pull-down Widerstand erforderlich, damit ein unbeschaltetes Eingangsbit vom Rechner als H-Pegel definiert wird. Hierzu wurde am Eingangsport der ICs 2-6 ein Widerstandsnetzwerk (RN) von 8x4,7 k vorgesehen.

Adressierung der Interfacekarte

Nimmt man beispielsweise an, daß die Karte den Adreßraum hex. DE50-DE5F (dez. 56912-56927), d.h Slot-Select-Signal 6, belegen soll, so ergeben sich für die ICs 2-5 folgende Adressen:

ADRESSE dez.	hex.	WERTIGKEIT A2	A1	A0	BEDEUTUNG
56912	DE50	0	0	0	nur IC 2 aktiv
56913	DE51	0	0	1	nur IC 3 aktiv
56914	DE52	0	1	0	nur IC 4 aktiv
56915	DE53	0	1	1	nur IC 5 aktiv
56916	DE54	1	0	0	nur IC 6 aktiv
56917	DE55	1	0	1	frei für weitere Eingabe-ICs zum
56918	DE56	1	1	0	Ausbau der Karte auf maximal
56919	DE57	1	1	1	64 Eingabekanäle

Durch die Decodierung können Sie die Karte auf max. 64 Eingabekanäle erweitern; die dazugehörigen ICs werden nach dem gleichen Schema mit dem 74LS138 verbunden. Die Interfacekarte ist für 40 Eingabekanäle vorgesehen, sie kann aber auch nur mit einem IC (74LS541) für acht Kanäle betrieben und je nach Erfordernis ausgebaut werden.

Arbeitsweise der Interfacekarte

Grundsätzlich wird mit PEEK-Befehlen gearbeitet. Denken Sie aber daran, daß Sie an die Eingabeports Binärsignale anlegen und der Rechner Ihnen den entsprechenden Dezimalwert anzeigt. Zur Vereinfachung sollten Sie sich die Wertigkeit der Eingabebits nach folgender Tabelle einprägen:

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Dezimalwert	128	64	32	16	8	4	2	1

Für die Signalpegel auf den Eingabeleitungen ist generell folgendes zu beachten:

Für eine log. 1, d.h. H-Pegel, sind *mindestens 2,4 Volt* bis *maximal 5,0 Volt* nötig.

Für eine log. 0, d.h. L-Pegel, sind *maximal 0,4 Volt* und *mindestens 0 Volt* erforderlich.

Wird also beispielsweise Bit D7 an einen H-Pegel gelegt, so erhalten Sie durch die PEEK-Anweisung die Dezimalziffer 128 angezeigt.

Liegt beim Eingabeport C, d.h. IC 4, folgender Signalpegel an,

D7	D6	D5	D4	D3	D2	D1	D0
0	1	1	0	1	1	0	1

dies entspricht nach der dezimalen Umrechnung der Zahl 109, so erhalten Sie durch den Befehl:

```
PEEK(56914)
```

die Zahl 109 auf dem Bildschirm angezeigt. Sind mehrere Eingabeports an Geräte angeschlossen, so empfiehlt sich eine kleine Schleife, um nacheinander alle Ports abzufragen und den Dezimalwert unter Umständen mit der Portnummer anzuzeigen. Haben Sie nun auf einem anderen Steckplatz die entsprechende Ausgabekarte des Kapitels 8, so können Sie nach der Verarbeitung des eingelesenen Wertes per Programm entsprechend reagieren und Daten ausgeben. So können eine Modelleisenbahn, eine Hausalarmanlage oder ähnliche Aufgaben gesteuert werden.

Aufbau der Interfacekarte

Bedingt durch die Vielzahl der Leiterbahnen ist eine doppelseitige Platine unumgänglich. Die Abbildung 55 zeigt die Lötseite und die Abbildung 56 die Bestückungsseite der Karte. Den Bestückungsplan finden Sie in der Abbildung 57.

Im ersten Arbeitsgang werden alle Durchkontaktierungen vorgenommen. Sollte dieses Ihre erste Karte sein, so lesen Sie sich bitte zuvor das Kapitel 2 aufmerksam durch. Anschließend setzen Sie für alle ICs und für den DIL-Schalter 16-polige Fassungen ein und achten beim Löten darauf, daß keine ungewollten Leiterbahnverbindungen entstehen. Die Widerstandsnetzwerke können auch selbst durch acht einzelne 1/3 Watt Widerstände hergestellt werden. Diese sind senkrecht zu montieren und auf der einen Seite an den entsprechenden Eingang anzulöten. Die anderen Seiten der Widerstände werden alle miteinander verlötet und mit der Masse verbunden. Achten Sie beim Einbau der Widerstände bzw. des Netzwerks darauf, daß keine ungewollten Leiterbahnverbindungen entstehen.

Als nächstes müssen Sie sich durch eine Drahtbrücke entscheiden, wie die Karte versorgt werden soll. Die Lötbrücke 5V nach "int" bedeutet, daß die Interfacekarte durch die Betriebsspannung des Rechners betrieben wird; eine Lötbrücke von 5V nach "ext" bedeutet, daß die Karte über das externe Netzteil des Kapitels 17 durch die Anschlüsse 12a und c versorgt wird.

Nachdem der VG-Stecker und die Stiftleiste für die Eingabeports eingebaut worden sind, ist die Platine betriebsbereit. Für alle diejenigen, die keinerlei Erfahrung mit der Herstellung von Platinen haben, befindet sich im Anhang ein Bezugsquellenverzeichnis, wo Sie alle in diesem Buch beschriebenen Hardware-Erweiterungen als Leerplatine, Bausatz oder Fertiggerät erwerben können.

Bauteile:

IC 1	=	74 LS 138
IV 2-6	=	74 LS 541
RN 1-5	=	Widerstandsnetzwerk je 8 x 4,7 k (siehe Text)
DIL	=	DIL-Schalter 8-polig
X1	=	VG-Stecker 2x32-polig, gewinkelt, Bauform a+c
X2, X3	=	Stiftleiste, Rastermaß 2,54 mm

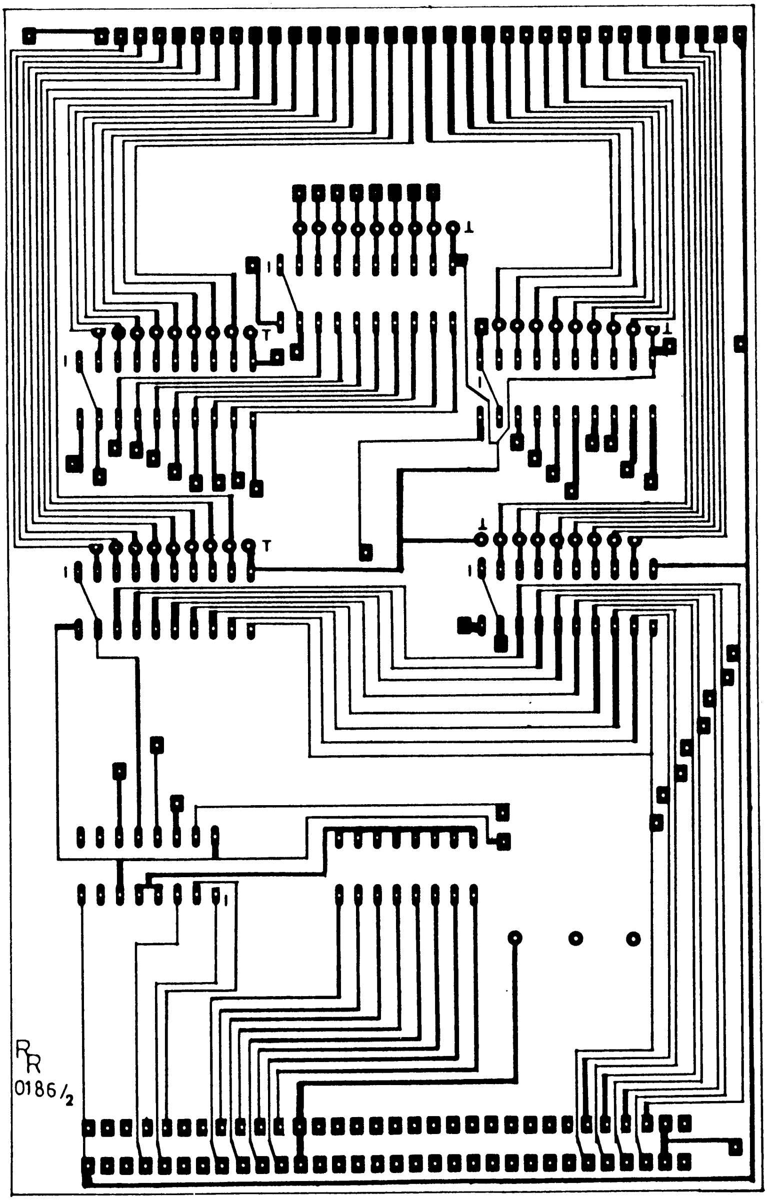


Abb. 55:
Platinenlayout "Lötseite" des 8-40-Kanal-Eingabe-Interface

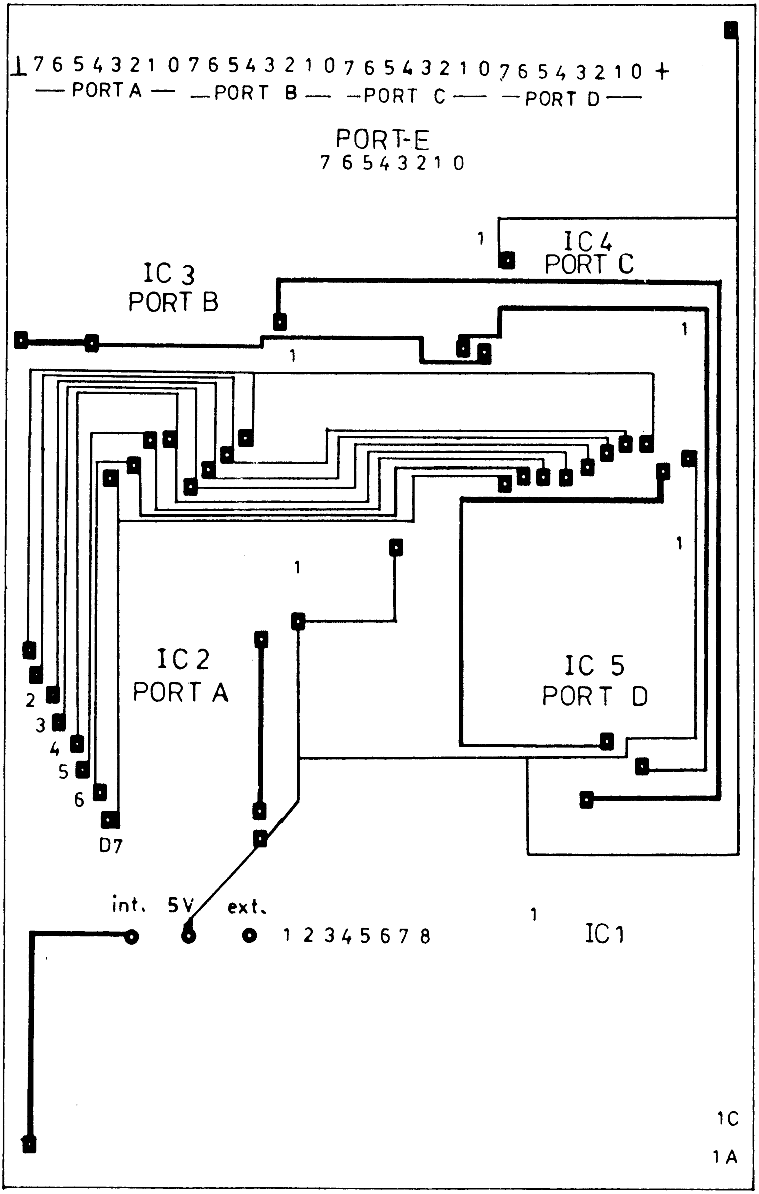


Abb. 56:
Platinenlayout "Bestückungsseite" des 8-40-Kanal-Eingabe-Interface

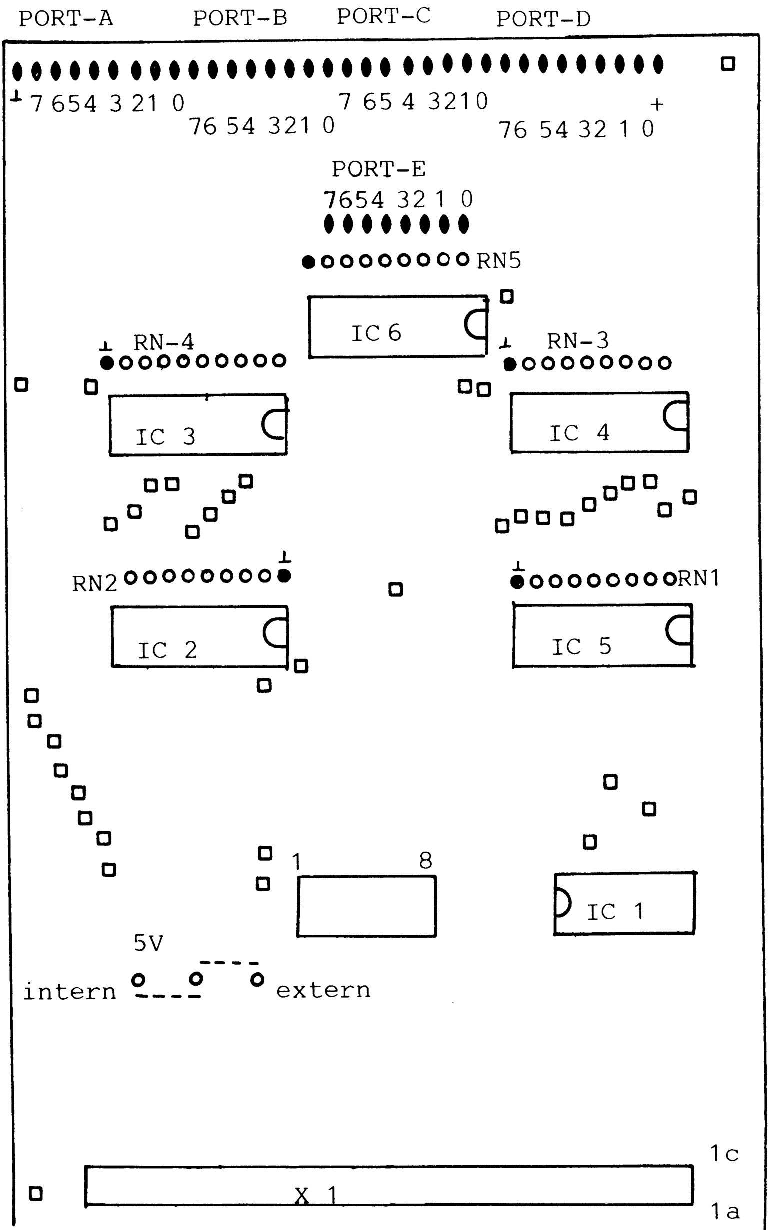


Abb. 57: Bestückungsplan (□sind Durchkontaktierungen)

8. 8-40-Kanal-Ausgabe-Interface

Kernstück dieser Ausgabe-Schnittstelle sind maximal 5 ICs des Typs 8212, deren Pinbelegung die Abbildung 58 zeigt.

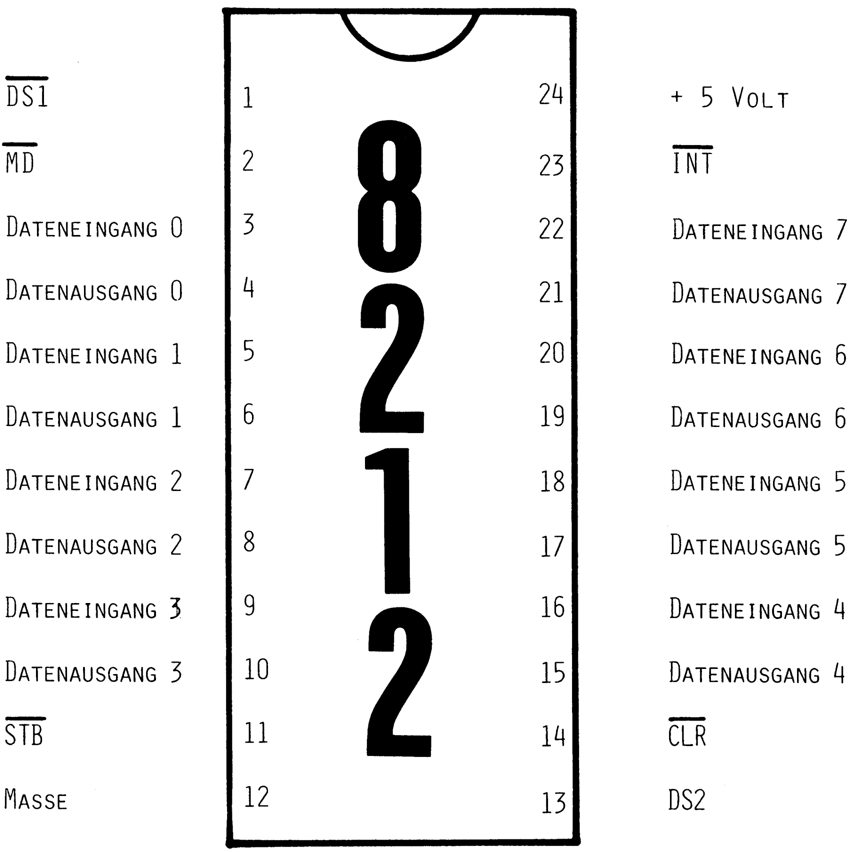


Abb. 58: IC 8212

Dieser Schaltkreis besteht aus einem mit Flip-Flops aufgebauten Datenspeicher sowie für jeden Ausgang einen entsprechenden Treiber. Dadurch ist der IC in der Lage, an jedem der acht Ausgänge D7-D0 bis zu 15 mA zu treiben.

Im Gegensatz zum 8255, der softwaremäßig gesteuert wird, wird der 8212 mit Hardwarebedingungen an die jeweilige Aufgabe fest angepaßt; er ist also nicht programmierbar, was sich natürlich auch im Preis niederschlägt.

Folgende Steueranschlüsse stehen dem Anwender beim 8212 zur Verfügung:

INT, Interrupt, L-aktiv, Pin 23

Hier kann unter bestimmten Bedingungen eine Programmunterbrechung ausgelöst werden. Für unsere Anwendung bleibt dieser Anschluß ohne Bedeutung.

MODE, Festlegen der Betriebsart, Pin 2

Der 8212 kennt drei unterschiedliche Betriebsarten:

Datenausgabe Mode = H-Pegel
Dateneingabe Mode = L-Pegel
Dateneingabe mit Interrupt

STROBE, Freigabe bei Dateneingabe, Pin 11

CLEAR, Reseteingang, L-aktiv, Pin 14

CS1, Chip-Select, L-aktiv, Pin 1
CS2, Chip-Select, H-aktiv, Pin 13

Der 8212 verfügt über 2 Chip-Select-Anschlüsse und kann somit, je nach dem Anschluß, mit einem H- bzw. L-Pegel aktiviert werden. Ist die Chip-Select-Bedingung nicht erfüllt, so sind die acht Leistungstreiber in einem hochohmigen Zustand.

Eine entsprechende Ausgabeschaltung finden Sie in der Abbildung 59. Bei der Bestückung von 5x8212 stehen Ihnen insgesamt 40 Ausgabekanäle zur Verfügung. Selbstverständlich ist die Schaltung auch nur mit einem einzigen 8212 zu betreiben und nach und nach auszubauen. Damit nicht unnötiger Adreßbereich der zur Verfügung stehenden Steckplätze belegt wird, besitzt diese Schaltung eine eigene Adreßdecodierung, aufgebaut mit dem IC 1. Dieser IC arbeitet als 3 zu 5 Decoder und benutzt zur Decodierung die Adreßignale A3, A2 und A1. Die genaue Arbeitsweise dieses Schaltkreises ist im Anhang dargestellt. Die low-aktiven Freigabebedingungen sind zusammen gelegt und über einen DIL-Schalter an die Slot-Select-Signale zugeführt.

Durch diese Art der Decodierung belegt die gesamte Karte mit 40 Kanälen nur einen einzigen Slot-Select-Adreßbereich. Die high-aktive Freigabebedingung des IC 1, Pin 6, ist fest mit der Versorgungsspannung verbunden und daher immer erfüllt.

Der Datenbus liegt parallel an allen 8212. Die decodierten Chip-Select-Signale des IC1 werden jedem -DS-Signal zugeführt. Ebenso ist der Mode-Eingang, mit dem bestimmt werden kann, ob der 8212 als Ein- oder Ausgabe verwendet wird, fest mit der Versorgungsspannung verbunden, was als Ausgabe anzusehen ist. An dieser Stelle sei noch folgender Hinweis gestattet: Durch einen L-Pegel am Mode-Eingang kann der Schaltkreis auch als Eingabe externer Daten dienen. Allerdings dieses allein genügt nicht. Zusätzlich ist der gesamte Datenbus umzuschalten. Will man also einen 8212 zur Eingabe und einen anderen zur Ausgabe verwenden, so sind zwei Schaltkreise antiparallel bezüglich des Busses zu schalten.

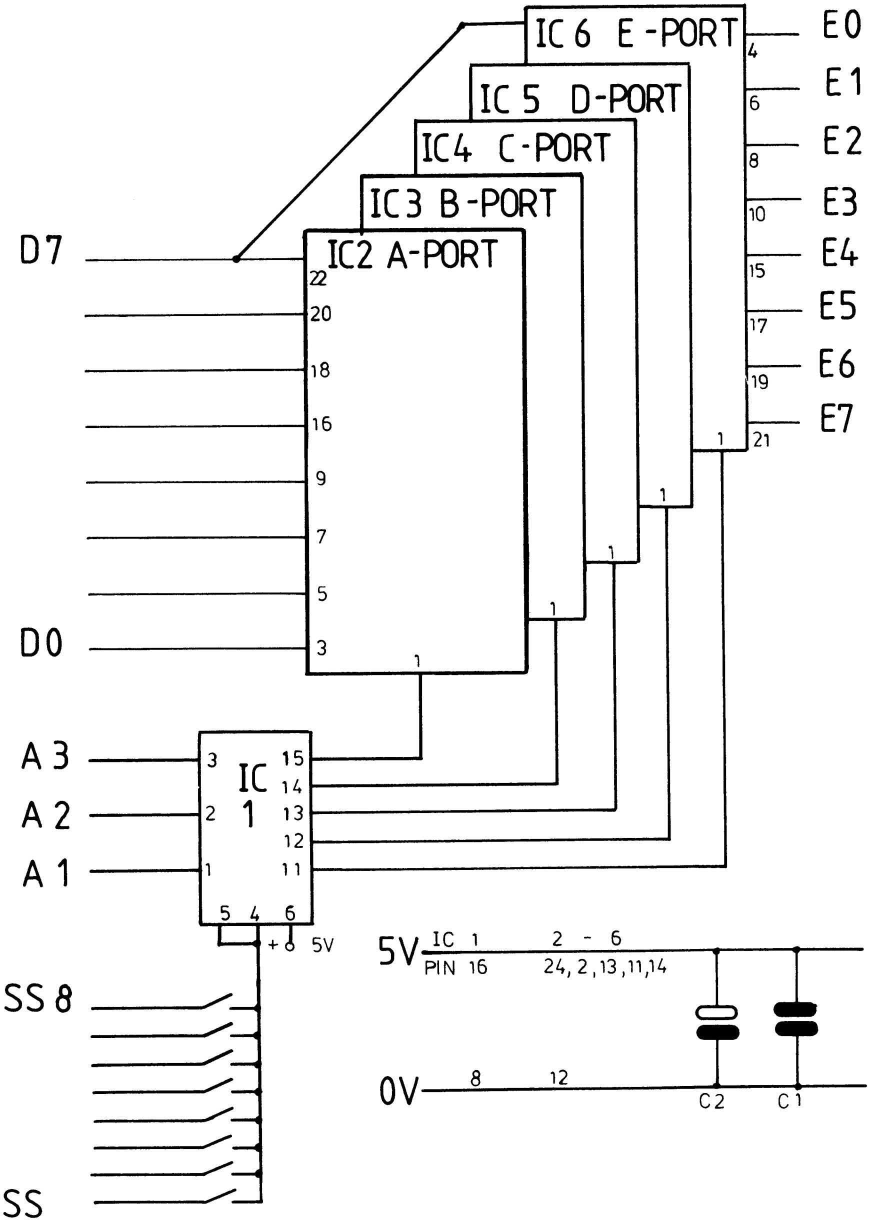


Abb. 59: Schaltplan des 8-40-Kanal-Ausgabe-Interface

Adressierung der Interface-Karte

Wie schon erwähnt, stehen neben den Slot-Select-Signalen noch zusätzlich die Adreßbits A3-A1 zur Verfügung, um jeden einzelnen 8212 direkt anzusprechen.

Nehmen wir an, die Karte soll im zweiten Steckplatz der I/O-Adapterkarte betrieben werden. Dieser Steckplatz belegt den Adreßraum hex. DE10-DE1F oder dezimal 56848-56879.

Die nachfolgende Tabelle gibt Ihnen Aufschluß, mit welcher Adresse die einzelnen 8212 (IC 2-6),bzw. Port A bis Port E anzusprechen sind, aber immer unter der Prämisse, daß das SS2-Signal verwendet ist, d.h. beim DIL-Schalter darf nur die Nr. 2 auf ON stehen, alle anderen auf OFF.

PORT	Nr./IC	WERTIGKEIT A3	A2	A1	A0	= hex. Adr.	vollständige Adr. bei Slot-2
A	2	L	L	L	x	0	DE10 = 56848
							DE11 = 56849
B	3	L	L	H	x	2	DE12 = 56850
							DE13 = 56851
C	4	L	H	L	x	4	DE14 = 56852
							DE15 = 56853
D	5	L	H	H	x	6	DE16 = 56854
							DE17 = 56855
E	6	H	L	L	x	8	DE18 = 56856
							DE19 = 56857
		alle anderen Kombinationen sind ungültig					

Da das niederwertigste Adreßbit A0 nicht zur Decodierung herangezogen wird, ist jeder 8212 unter zwei Adressen anzusprechen. Alle in dieser Tabelle nicht aufgeführten Kombinationen sind **ungültig**, da der IC 1 nur als 3-zu-5-Decoder eingesetzt wird.

Aufbau der Interface-Karte

Bedingt durch die maximal fünf 8212-Schaltkreise ist hier eine doppelseitige Karte unumgänglich geworden. Das Platinenlayout sehen Sie in der Abbildung 60 als Lötseite und in der Abbildung 61 als Bestückungsseite. Den Bestückungsplan finden Sie in der Abbildung 62. Die maximal 40-Ausgabeports sind als Stiftleiste im 2,54 mm Raster (Stecker X2) herausgeführt. Zusätzlich steht Ihnen hier noch die Versorgungsspannung und die Masse zur Verfügung. Die mit einem schwarzen Viereck gekennzeichneten Stellen der Platine sind durchzukontaktieren. Hierzu lesen sie nochmals das Kapitel 2 nach.

Die Platine ist so ausgelegt, daß sie entweder vom Rechner die Versorgungsspannung bezieht oder aber von der externen Netzteilkarte des Kapitels 17. In jedem Fall ist hierfür die entsprechende Drahtbrücke intern oder extern zu legen. Nach dem Bestücken sollten Sie diese Platine sehr sorgfältig prüfen, da an einigen Stellen über 20 Leiterbahnen eng nebeneinander laufen. Die Abbildung 63 vermittelt Ihnen einen Überblick über einen Musteraufbau dieser Interfacekarte.

Bauteile:

IC 1	=	74LS138
IC 2-6	=	8212
C1	=	100 nF
C2	=	Elko ca 10-47 uF/16V
DIL	=	8-fach DIL-Schalter
X1	=	2x32-polig Stecker gew.
X2	=	Stiftleiste Raster 2,54 mm

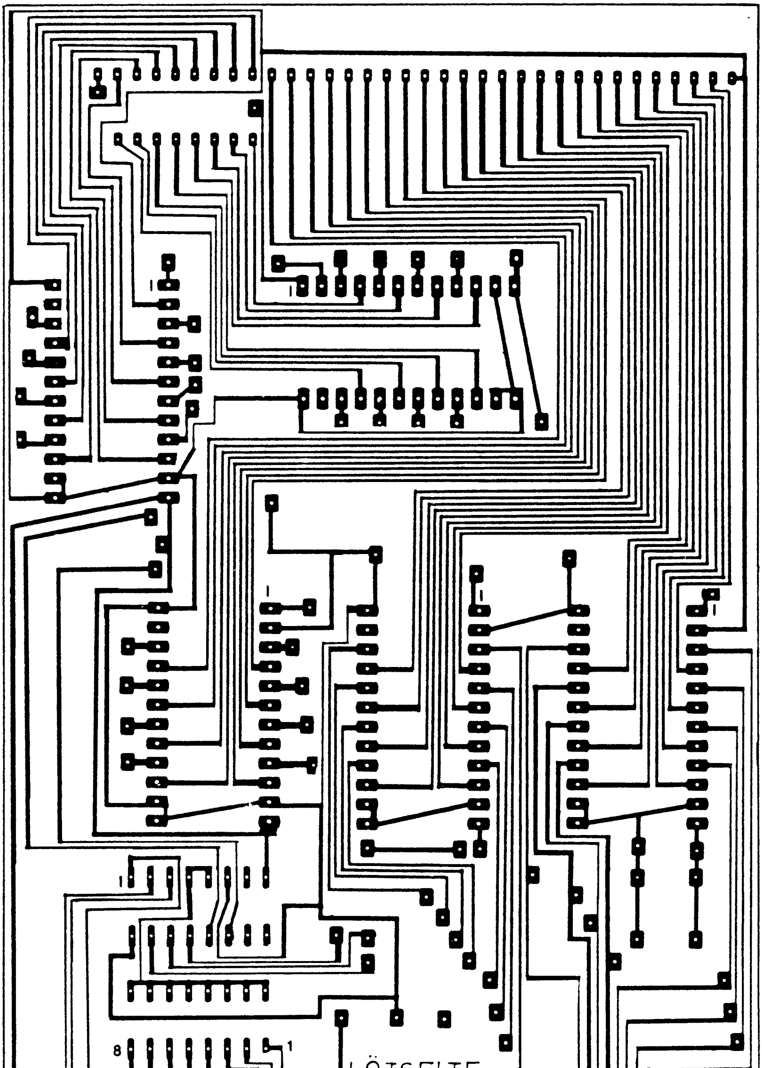


Abb. 60:
Platinenlayout "Lötseite" des 8-40-Kanal-Ausgabe-Interface

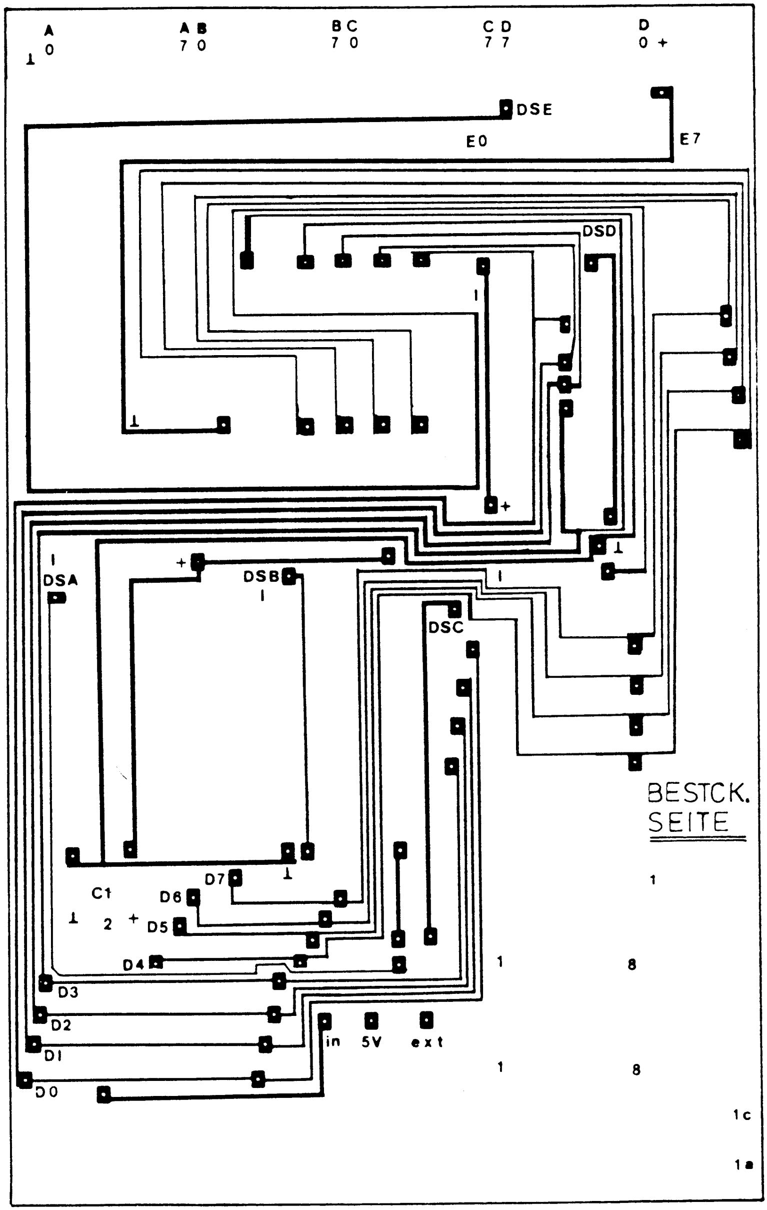


Abb. 61:
Platinenlayout "Bestückungsseite" des 8-40-Kanal-Ausgabe-Interface

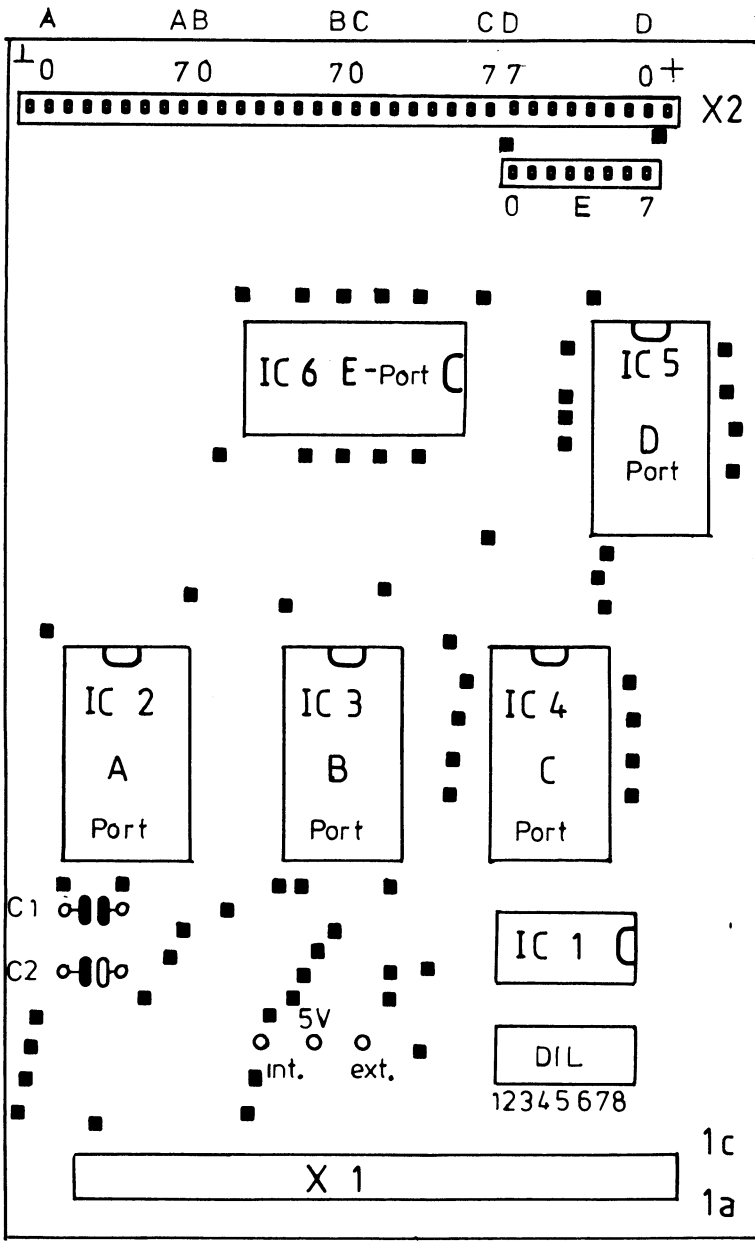


Abb. 62: Bestückungsplan (■ sind Durchkontaktierungen)

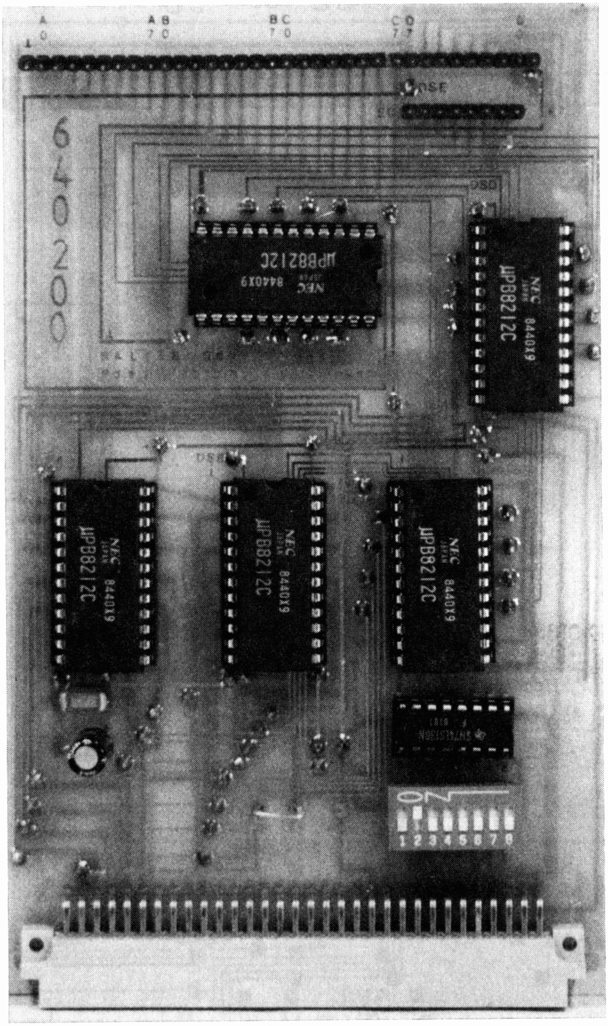


Abb. 63:
40-Kanal-Ausgabe-Interface als Musteraufbau. Achten Sie beim Aufbau auf sorgfältiges Löten, da viele Leiterbahnen dicht nebeneinander verlaufen und vielfach durchkontaktiert werden muß.

9. 16-Kanal-Ein- und Ausgabe-Interface

In den beiden vorhergehenden Kapitel wurden Interfaceschaltungen beschrieben, deren Anwendung sich lediglich auf eine Richtung, entweder Eingabe oder Ausgabe beschränkt. Allerdings hatten diese Schaltungen den großen Vorteil, daß bis zu 40 Kanäle bedient werden konnten. Wer also viele Geräte ein- und ausgabemäßig verwalten möchte, der ist sicherlich mit jeweils einer Eingabe- bzw. Ausgabekarte am besten bedient.

Die in diesem Kapitel beschriebene Schaltung arbeitet bidirektional, d.h. Sie können 8 Kanäle im Eingabemodus betreiben und weitere acht im Ausgabemodus. Bemerkenswert ist außerdem, daß beide Modi nur eine einzige Slot-Select-Adresse benötigen.

Die Schaltung, die Sie in der Abbildung 64 sehen, arbeitet mit zwei ICs des Typs 8212, die Sie bereits aus dem Kapitel 8 kennen. IC2 arbeitet als Ausgabeport und IC3 als Eingabeport. Sie sehen, daß beide Schaltkreise antiparallel angeordet sind, d.h. der Eingabeport, die Daten des Rechners, des IC1 ist beim IC2 als periphere Eingabe geschaltet. Damit der Datentransfer auch richtig geschaltet wird, besitzt der 8212 einen besonderen Eingangspin, MODE (MD), Pin 1, genannt.

> Liegt der Anschluß MODE, Pin 1, an einem H-Pegel, so wird der Eingabeport, Pin 3-22 bei der Freigabe des ICs auf den Ausgabeport geschaltet. Liegt der Anschluß MODE, Pin 1, an einem L-Pegel, so wird der periphere Eingabeport bei der Freigabe des ICs auf den Datenport des Rechners geschaltet.

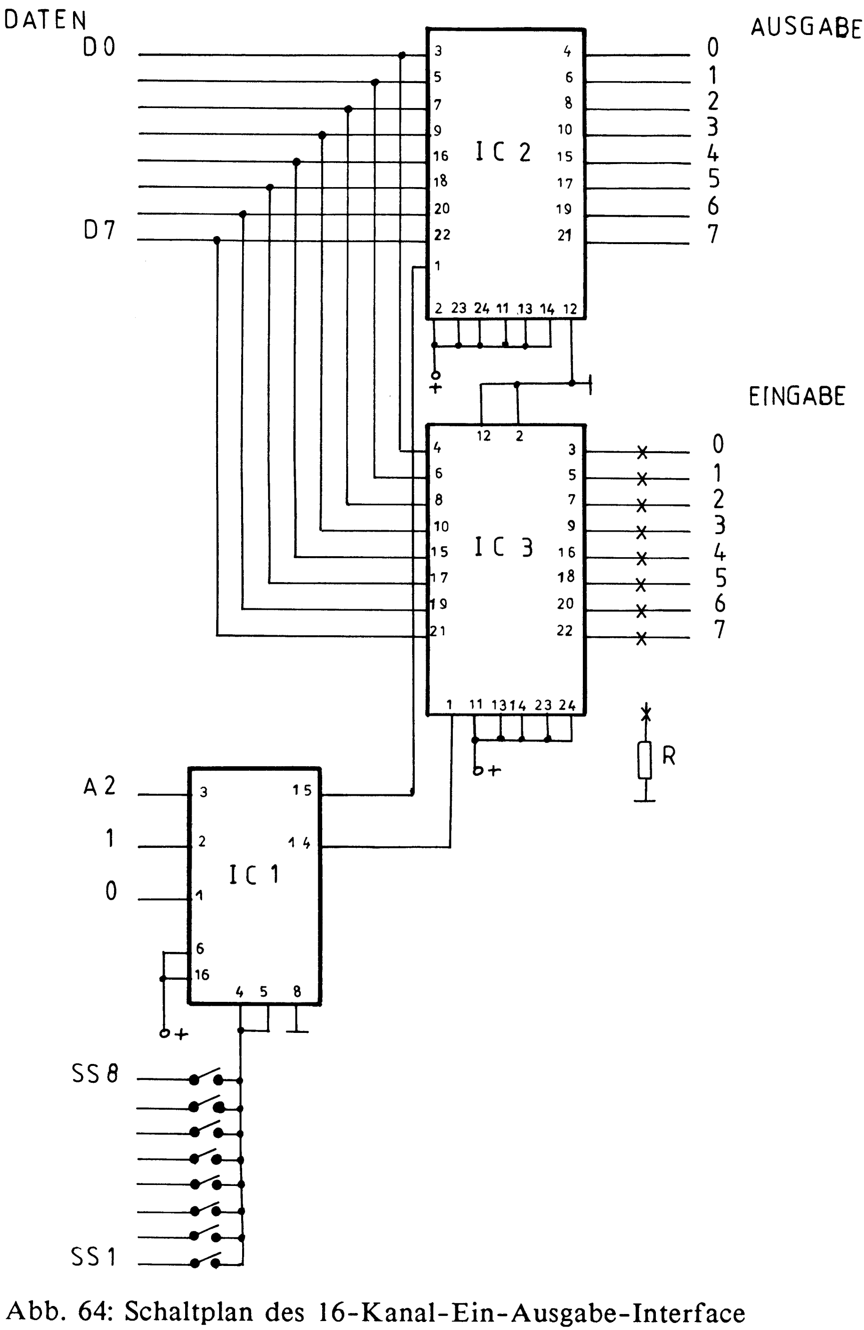


Abb. 64: Schaltplan des 16-Kanal-Ein-Ausgabe-Interface

Damit beide Schaltkreise sich nicht gegenseitig behindern, ist zusätzlich noch eine spezielle Steuerlogik erforderlich, damit immer nur ein einziger IC seine Daten auf den Rechnerport legt bzw. von diesem abnimmt. Diese Aufgabe übernimmt IC 1, ein 74LS138, der mit Hilfe der Adreßleitungen A2 bis A0 die Decodierung durchführt. Auf die Arbeitsweise dieses ICs wird an dieser Stelle nicht näher eingegangen, da im Verlaufe dieses Buches fast alle Decoderschaltungen hiermit aufgebaut werden und der IC noch sehr ausführlich erläutert wird. Darüber hinaus finden Sie die Anschlußbelegung und die Arbeitsweise des 74LS138 im Anhang des Buches.

Bei der Eingabe wird ein nicht beschalteter Anschluß als H-Pegel, d.h. log."1" angesehen. Dies führt ohne die im Schaltplan dargestellten Pull-down-Widerstände zu Schwierigkeiten. Die acht Widerstände, die im unbeschalteten Zustand jedes Datenbit auf einen L-Pegel ziehen, können sowohl als einzelne Widerstände senkrecht montiert werden oder als Netzwerk. Der gemeinsame Masseanschluß ist auf dem Bestückungsplan besonders gekennzeichnet.

Die Adressierung der Ein-Ausgabe-Schaltung ist sehr einfach und geschieht durch folgende Adressen:

Nehmen wir an, diese Karte sollte den letzten Steckplatz belegen, sie arbeitet also im Adreßbereich DE70-DE7F, d.h. dez: 56944-56959. Hierzu darf auf dem DIL-Schalter **nur** der Schalter Nr. 8 auf ON gestellt werden, alle übrigen müssen auf OFF verbleiben.

hex. Adresse	dez.	Bedeutung:
DE70	56944	IC2 im Ausgabemodus, IC1 gesperrt
DE71	56945	IC2 gesperrt, IC1 im Eingabemodus

Wie Sie auf dem Schaltplan erkennen können, werden zur Decodierung die Adreßleitungen A2-A0 herangezogen. Um zwei Bausteine anzusprechen, wären aber nur zwei Adreßleitungen erforderlich. Sie als Anwender können daher mit geringem Aufwand die Schaltung sowohl für die Eingabe, als auch für die Ausgabe erweitern. Die Verdrahtung der zusätzlichen ICs können Sie direkt aus dem Schaltplan entnehmen, je nachdem, ob Sie mehr Eingabe- oder Ausgabeports wünschen. Die Adressierung wäre dann nach dem obigen Schema fortzuführen.

Das Platinenlayout sehen Sie in der Abbildung 65, den dazugehörigen Bestückungsplan in der Abbildung 66. Im ersten Arbeitsgang sind die Drahtbrücken sorgfältig einzusetzen und zu verlöten. Bei dem Anschluß der Versorgungsspannung können Sie, wie bei allen Schaltungen, wählen:

Legen Sie die Drahtbrücken zwischen +5V und EX, so entnehmen Sie die 5 Volt Versorgungsspannung aus der externen Netzteilkarte über die VG-Anschlüsse 12a und 12c. Legen Sie dagegen die Drahtbrücke zwischen +5V und INT, also senkrecht, so entnehmen Sie die Versorgungsspannung aus dem Rechner. Beachten Sie aber, daß Sie nur eine dieser Drahtbrücken legen.

Im nächsten Arbeitsgang werden für alle integrierten Schaltkreise und für den DIL-Schalter Fassungen eingebaut. Bei der Montage des Winkel-VG-Steckers ist sorgfältig zu löten, da bei den Datenleitungen die Leiterbahnen zwischen den Anschlußbeinen des Steckers durchlaufen. Prüfen Sie abschließend, ob Sie besonders dort keine ungewollten Leiterbahnverbindungen durch Lötzinnspritzer gemacht haben. Am oberen Rand der Platine stehen Ihnen neben den beiden Ports noch die 5 Volt Spannung und die allgemeine Masse zur weiteren Verwendung zur Verfügung.

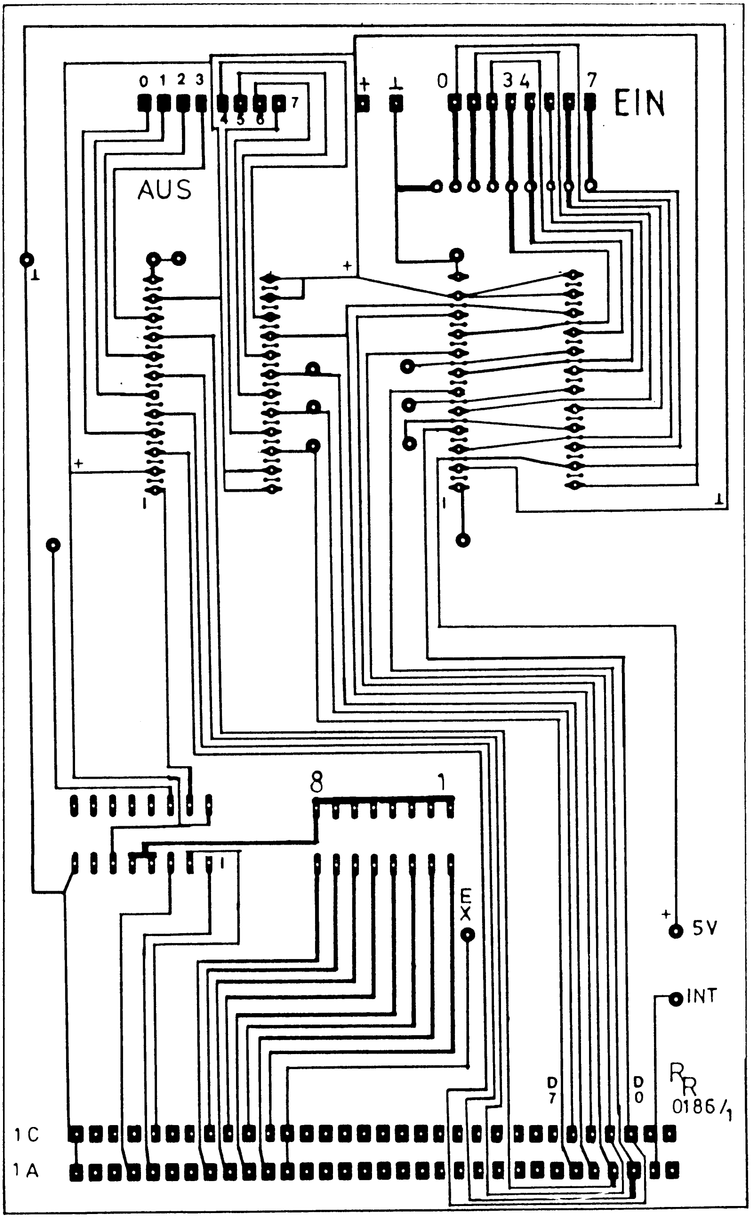


Abb. 65: Platinenlayout des 16-Kanal-Ein-Ausgabe-Interface

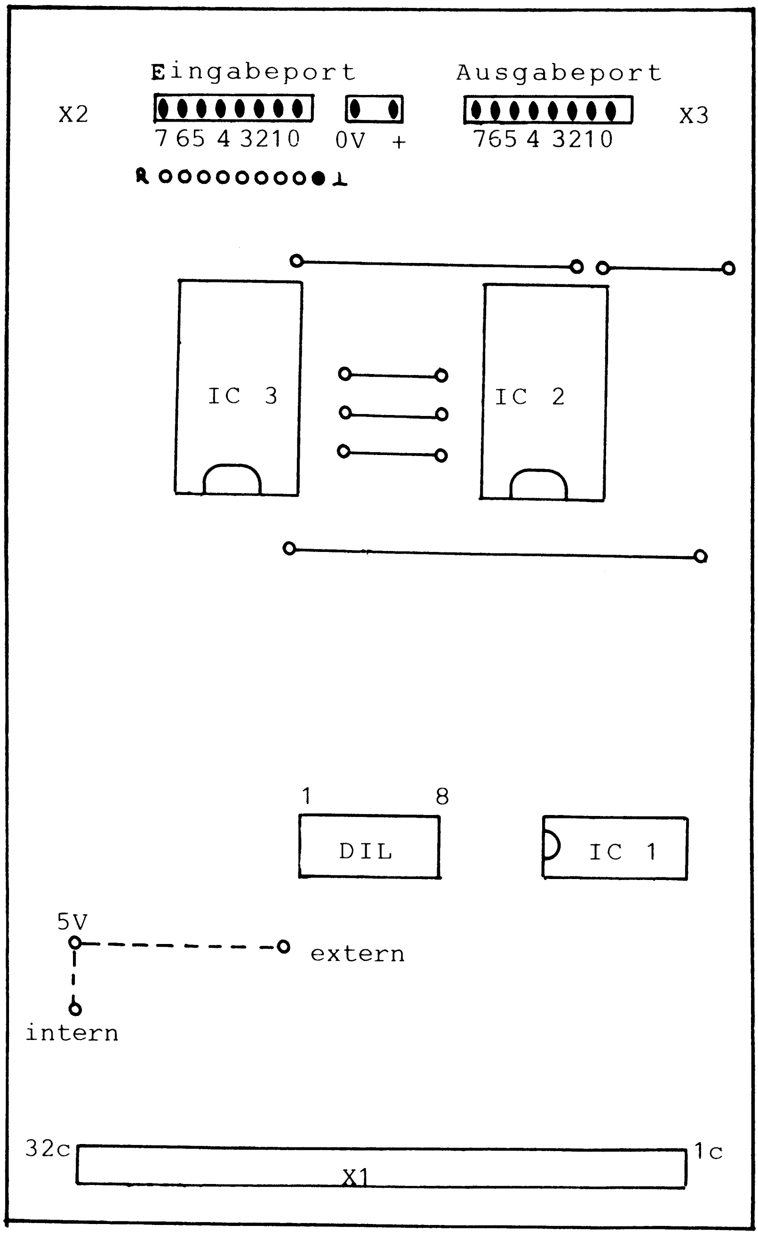


Abb. 66: Bestückungsplan des 16-Kanal-Ein-Ausgabe-Interface

Bauteile:

IC1	=	74LS138
IC2	=	8212
IC3	=	8212
R	=	Widerstandsnetzwerk 8x4,7 k oder Einzelwiderstände
DIL	=	8-fach DIL-Schalter
X1	=	VG-Stecker 2x32-polig gewinkelt, Bauform a+c
X2,3	=	2 x 8-polige Steckerleiste, Rastermaß 2,54 mm

Adressierung der Ein-/Ausgabe

Das Einlesen bzw. das Ausgeben von Daten über die beiden Ports geschieht mit PEEK- bzw. POKE-Befehlen. Hierbei ist zu beachten:

Für die Ausgabe von Daten gilt:
Eine log. 1, d.h. H-Pegel, entspricht *mindestens* *2,4 V*.
Eine log. 0, d.h. L-Pegel, entspricht *maximal* *0,4 V*.

Für die Eingabe von Daten gilt:
Eine log. 1, d.h. H-Pegel, entspricht *mindestens* *2,0 V*.
Eine log. 0, d.h. L-Pegel, entspricht *maximal* *0,8 V*.

Beachten Sie insbesondere bei der Eingabe, daß Sie die anliegende Binärkombination als Dezimalzahl angezeigt bekommen und ebenso bei der Ausgabe eine Dezimalzahl als Binärwert am Port erhalten.

10. PIO-Interfaces der Z80-Familie

Will man mit der Umwelt durch seinen Rechner in Verbindung treten und Daten zur Steuerung nach außen geben oder diese empfangen und verarbeiten, so kann dies nur über eine spezielle Schnittstelle geschehen. Durch die Programmierbarkeit dieser Bausteine lassen sich die unterschiedlichsten peripheren Anwendungen realisieren. Funktionell sind alle diese Schaltkreise in folgende interne Baugruppen einteilbar:

- Kontroll- und Steuerlogik
- Datenbuspuffer
- programmierbare Ein- und Ausgänge, mindestens 8

Im folgenden soll Ihnen die Vielfältigkeit zweier solcher Interface-Bausteine erläutert werden. Zum einen werden Sie den Einsatz des 8255 kennenlernen und zum anderen die Einsatzmöglichkeiten der PIA 6520 und der VIA 6522.

Jeder dieser ICs weist gewisse Vorteile im Einsatz auf, und besonders die 8255 ist wesentlich preiswerter und auch überall erhältlich.

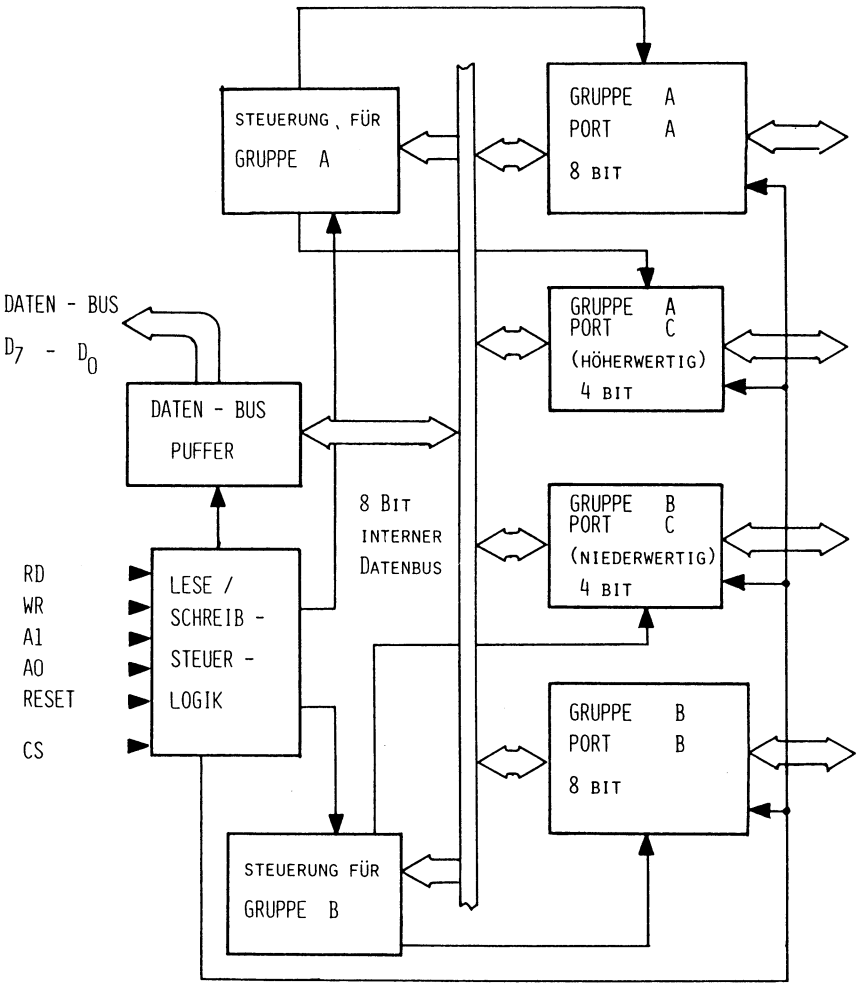


Abb. 67: Blockschaltbild des 8255

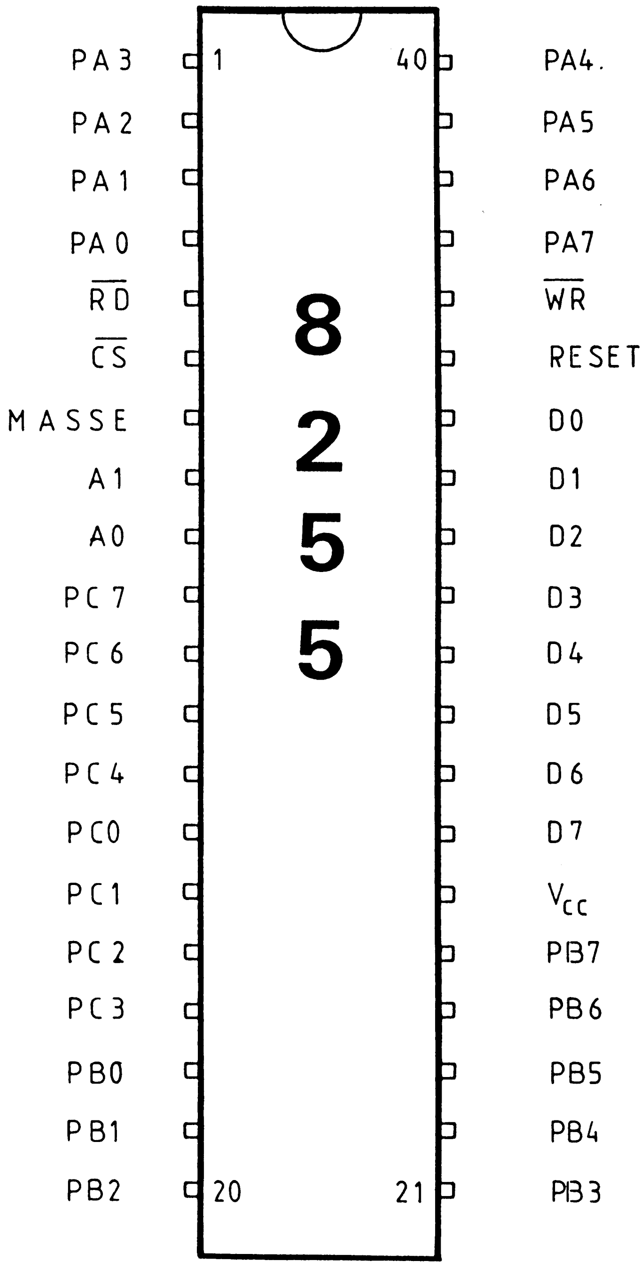


Abb. 68: Pinbelegung des 8255

Schnittstellenbaustein 8255

Das Blockschaltbild des 8255 ist Ihnen in der Abbildung 67 wiedergegeben, die entsprechende Pinbelegung finden Sie in der Abbildung 68.

Der 8255 ist in folgende Funktionsgruppen eingeteilt:

1. SCHREIB/LESE-STEUERLOGIK

Dieser Teil übernimmt alle Verbindungsaufgaben zwischen dem angeschlossenen Rechner und dem zu betreibenden peripheren Gerät. Hier wird auch bestimmt, ob die PORTS des ICs als Ein- oder Ausgänge arbeiten, und ob die anstehenden Signale als Daten- oder Steuerwörter zu definieren sind. Im Verlaufe des Kapitels wird noch eingehend auf die jeweilige Bedeutung dieser Anschlüsse sowie deren Programmierbarkeit eingegangen werden.

2. DATENBUS-PUFFER

Alle vom Rechner ankommenden Signale werden zunächst in diesem Funktionsblock zwischengespeichert und dort der weiteren Verarbeitung zugeführt.

3. PORT

Der 8255 verfügt über insgesamt drei PORTS zu je 8 Bits, die sowohl einzeln, als auch in Gruppen als Ein- oder Ausgänge anzusprechen sind. Die Aufteilung der PORTS ist in der Abbildung 62 dargestellt. Beachten Sie in diesem Zusammenhang, daß der PORT C eine Sonderstellung einnimmt. Die vier niederwertigsten Bits C0-C3 können dem PORT B und die vier höchstwertigsten Bits C4-C7 dem PORT A zugeordnet werden, wobei dann der 8255 eine 2-PORT-Struktur zu je 12 Bits aufweist.

Der 8255 verfügt über insgesamt 40 Anschlüsse, deren Bedeutung Sie im folgenden näher kennenlernen:

PORT A Datenbits PA7-PA0, Anschlüsse 37-40 und 1-4
PORT B Datenbits PB7-PB0, Anschlüsse 25-21 und 20-18
PORT C Datenbits PC7-PC0, Anschlüsse 18-10

Die 24 Eingänge lassen sich je nach gewählter Betriebsart als Ein- oder Ausgänge programmieren. Alle Anschlüsse sind TTL-kompatibel und können mit 1 mA bei 1,5 Volt belastet werden.

READ (-RD-), Lesen, Anschluß 5

Liegt an diesem Pin ein L-Pegel an, so wird die CPU veranlaßt, Daten von dem 8255 zu übernehmen.

WRITE (-WR-), Schreiben, Anschluß 36

Dieser Pin arbeitet analog zum READ. Liegt hier ein L-Pegel an, so werden Daten von der CPU in den Datenbus-Puffer des 8255 eingelesen.

RESET, Zurücksetzen, Anschluß 35

Durch einen H-Pegel werden alle internen Register des 8255 zurückgesetzt, alle Anschlüsse der Ports A, B und C sind als Eingabe definiert.

A0, A1, Adreßleitungen, Anschlüsse 8 und 9

Mit diesen beiden Leitungen lassen sich die vier unterschiedlichen Adressen erzeugen, die zur internen Steuerung des 8255 ausreichen:

A1	A0	Bedeutung
0	0	Die Daten auf dem Datenbus werden zum PORT A übertragen.
0	1	Die Daten auf dem Datenbus werden zum PORT B übertragen.
1	0	Die Daten auf dem Datenbus werden zum PORT C übertragen.
1	1	Die Daten auf dem Datenbus werden als Steuerinformationen gelesen.

CS (Chip Select), Bausteinauswahl, Anschluß 6

Wie aus der Anschlußbelegung des 8255 hervorgeht, wird dieser IC nur mit zwei Adreßleitungen A1 und A0 angesprochen. Um eine Mehrfachbelegung auszuschließen, muß aber gewährleistet sein, daß alle anderen gültigen Adreßkombinationen mit A1 und A0 nicht zum Ansprechen des Bausteins führen. Aus diesem Grund ist noch der Pin 6, Chip Select vorgesehen. Solange nämlich an diesem Pin ein H-Pegel anliegt, kann der 8255 nicht angesprochen werden, gleichgültig welche Kombination an den Adreßleitungen ansteht. Hierdurch ist es mit einer einfachen Adreßdecodierung möglich, mehrere Interfacebausteine dieses Typs anzusprechen, indem man nur zum richtigen Zeitpunkt bei dem gewünschten IC dem CS-Anschluß einen L-Pegel zuführt. Im weiteren Verlauf wird Ihnen ein Schaltplan vorgestellt werden, bei dem Sie bis zu vier 8255 ansprechen können.

Betriebsarten des 8255

Wie schon zu Anfang erwähnt, läßt sich der 8255 in drei unterschiedlichen Betriebsarten betreiben:

BETRIEBSART (MODE) 0	Standard Ein-Ausgabe ohne Quittungssignale
BETRIEBSART (MODE) 1	Ein- Ausgabe (getaktet) mit Quittungssignalen

BETRIEBSART (MODE) 2 — Bidirektionaler Datenbus mit Quittungssignalen

Zur Definition der drei Betriebsarten dienen sogenannte Steuerwörter, auf deren Bedeutung nun einzeln eingegangen wird. Der allgemeine Aufbau des Steuerwortes ist in der Abbildung 69 wiedergegeben. Bemerkenswert ist hierbei, daß die Betriebsarten der Kanäle A und B unabhängig voneinander definiert werden können, während der Kanal C gegebenenfalls in jeweils 4 Kanäle dem Kanal A und B zugeordnet werden kann.

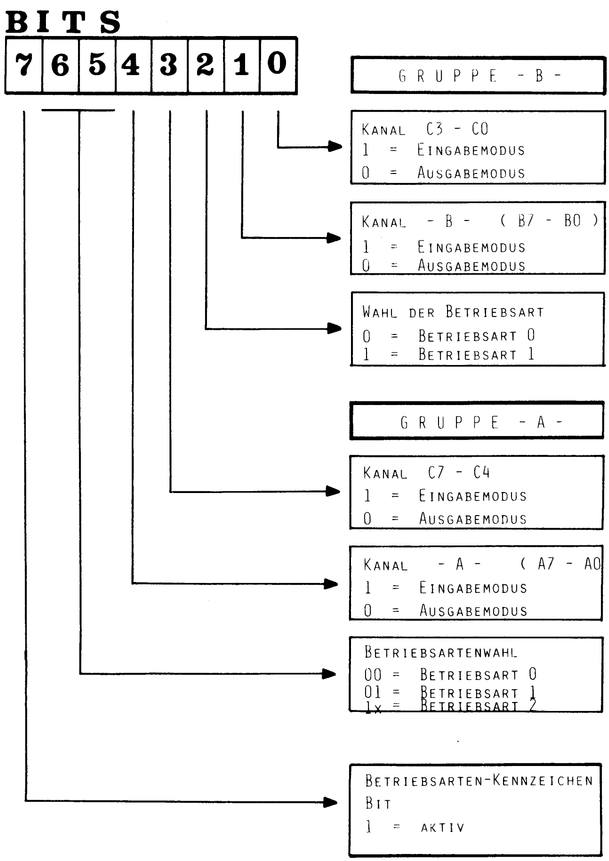


Abb. 69: Aufbau des Steuerwortes der 8255-PIO

Weiterhin nimmt der Kanal C eine Sonderstellung ein: Jedes der acht Bits kann mit einem besonderen Steuerwort gesetzt werden, so wie es der allgemeine Aufbau in der Abbildung 70 zeigt.

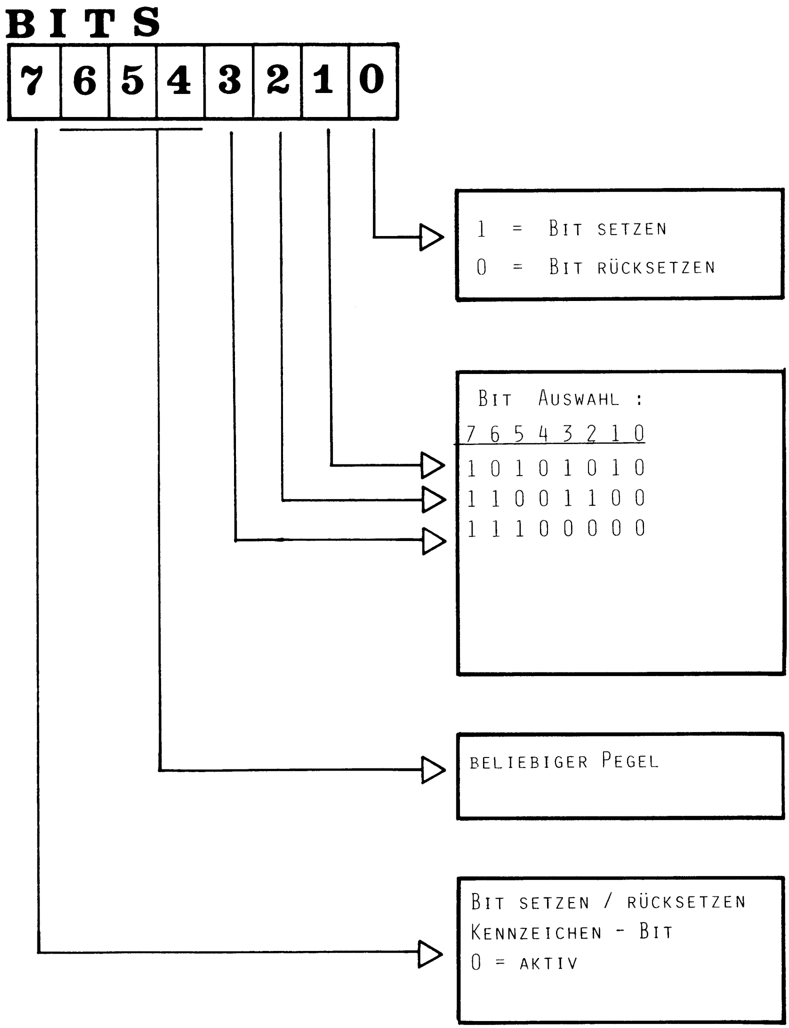


Abb. 70: Steuerwort der 8255-PIO für Bit-Setzen/Rücksetzen

Hierbei gilt es zu beachten, daß das Bit 7 des Steuerwortes festlegt, wie die Ausgabe des Bitmusters durch den Port C erfolgen soll. Eine Übersicht der Zuordnung bzw. Zusammenfassung der einzelnen Portbits ist in der Abbildung 71 wiedergegeben.

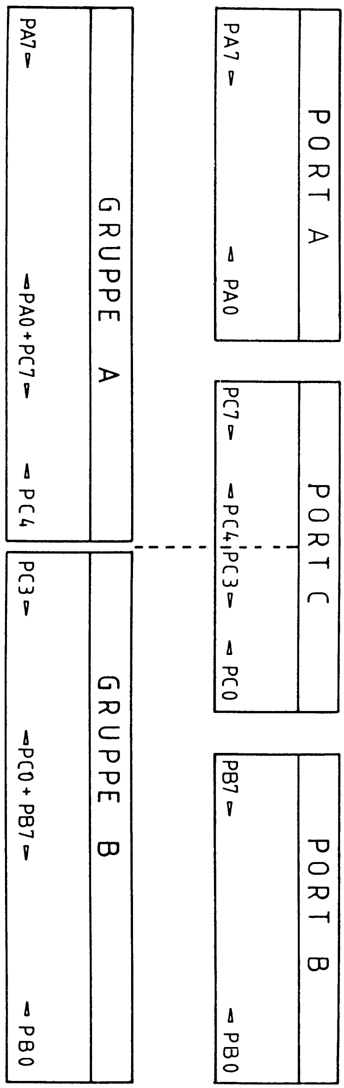


Abb. 71: Portstruktur des 8255

BETRIEBSART (MODE) 0

Die Standard-Betriebsart ist durch folgende Eigenschaften gekennzeichnet:

- Zwei 8 Bit PORTS und zwei 4 Bit PORTS
- Jeder PORT kann als Eingang wie als Ausgang programmiert werden.
- Die Aus- und Eingänge besitzen keinen Auffangspeicher.
- Es sind bei der Betriebsart 0 insgesamt 16 verschiedene Ein-Ausgabekonfigurationen möglich, die in der Abbildung 72 zusammengefaßt dargestellt sind.

Steuerwort:		Bitkombination				Gruppe A		Gruppe B	
Hex.	Dez.	D4	D3	D1	D0	Port A	Bit 4-7 Port C	Port B	Bit 0-3 Port C
80	128	0	0	0	0	Ausgang	Ausgang	Ausgang	Ausgang
81	129	0	0	0	1	Ausgang	Ausgang	Ausgang	Eingang
82	130	0	0	1	0	Ausgang	Ausgang	Eingang	Ausgang
83	131	0	0	1	1	Ausgang	Ausgang	Eingang	Eingang
88	136	0	1	0	0	Ausgang	Eingang	Ausgang	Ausgang
89	137	0	1	0	1	Ausgang	Eingang	Ausgang	Eingang
8A	138	0	1	1	0	Ausgang	Eingang	Eingang	Ausgang
8B	139	0	1	1	1	Ausgang	Eingang	Eingang	Eingang
90	144	1	0	0	0	Eingang	Ausgang	Ausgang	Ausgang
91	145	1	0	0	1	Eingang	Ausgang	Ausgang	Eingang
92	146	1	0	1	0	Eingang	Ausgang	Eingang	Ausgang
93	147	1	0	1	1	Eingang	Ausgang	Eingang	Eingang
98	152	1	1	0	0	Eingnag	Eingang	Ausgang	Ausgang
99	153	1	1	0	1	Eingang	Eingang	Ausgang	Eingang
9A	154	1	1	1	0	Eingang	Eingang	Eingang	Ausgang
9B	155	1	1	1	1	Eingang	Eingang	Eingang	Eingang

Abb. 72: Port-Ein-Ausgabekonfiguration, Betriebsart 0

Bei dieser Betriebsart ist zu beachten, daß die Eingabedaten nicht zwischengespeichert werden. Aus dem Zeitdiagramm der Abbildung 73 geht hervor, daß die Datensignale (D7-D0) mit einer geringen Zeitverzögerung hinter dem RD-Signal ankommen. Wird diese Betriebsart als Ausgabe verwendet, so erfolgt die gleiche Verzögerung gegenüber dem WR-Signal.

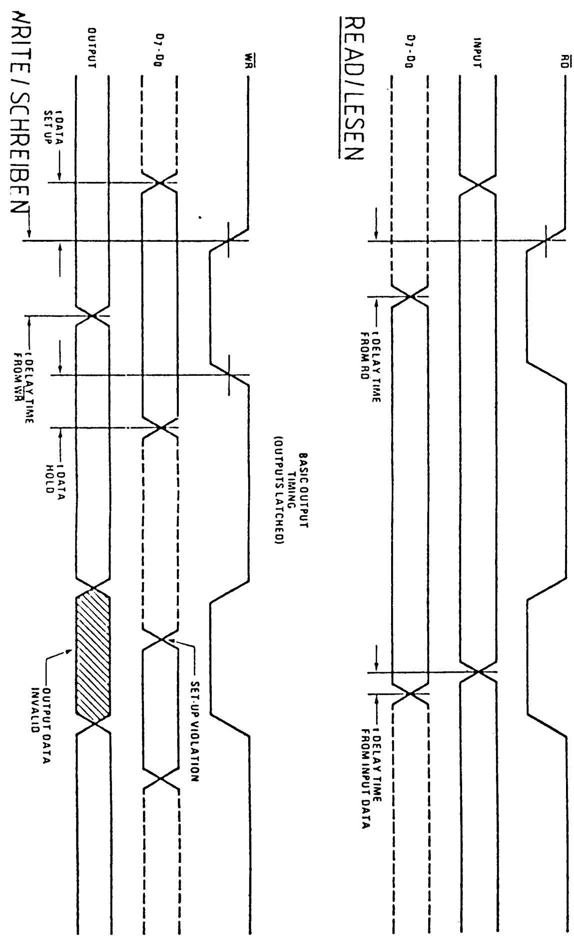


Abb. 73:
Zeitdiagramm (Read-Write) bei der Betriebsart 0 (Quellenhinweis: 8255 Datenblatt, National Semiconductor)

BETRIEBSART (MODE) 1

Die Betriebsart 1 ist durch folgende Eigenschaften gekennzeichnet:

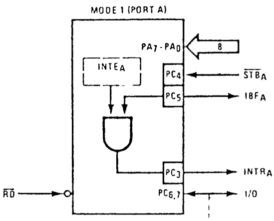
- Zwei PORTS A und B
- Jeder PORT umfaßt einen 8 Bit breiten Datenport, entweder A oder B, und einen 4 Bit breiten Steuerport.
- Ein Auffangspeicher ist sowohl beim Eingang wie auch beim Ausgang vorhanden.
- Der 4 Bit breite Steuerport gibt die logischen Zustände des Datenports wieder.

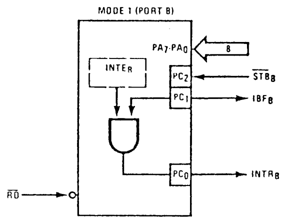
Der Hauptunterscheidungspunkt zur Betriebsart 0 ist der, daß hier mit Quittungssignalen gearbeitet wird. Diese Signale dienen dazu, entweder periphere Geräte aufzufordern, Daten abzunehmen, oder die CPU wird veranlaßt, Daten zur Verarbeitung einzulesen. Sobald die CPU oder das periphere Gerät die ordnungsgemäße Abnahme der Daten vollzogen hat, wird wiederum ein entsprechendes Signal gesendet. Dieses Quittungsverfahren wird in der Literatur als *Handshaking* bezeichnet.

Bedingt durch diesen zusätzlichen Aufwand sind nur insgesamt 16 Anschlüsse für die periphere Kommunikation zu nutzen, da jeweils 4 Bits des PORTS C für die Übertragung dieser Signale belegt sind.

Grundsätzlich haben die Steuerwörter für die Ein- und Ausgabe der Betriebsart 1 eine andere Bedeutung.

BETRIEBSART 1 DATENEINGABE	**8255 PIO**





STEUERWORT

D7	D6	D5	D4	D3	D2	D1	D0
1	0	1	1		x	x	x

STEUERUNG PORT-C
BITS 6 u. 7

1 = EINGABE
0 = AUSGABE

STEUERWORT

D7	D6	D5	D4	D3	D2	D1	D0
1	x	x	x	x	1	1	x

ALGEMEINE ANMERKUNG:
X = BELIEBIGER PEGEL, D.H. ES SPIELT KEINE ROLLE OB DIESES BIT 0 ODER 1 IST.

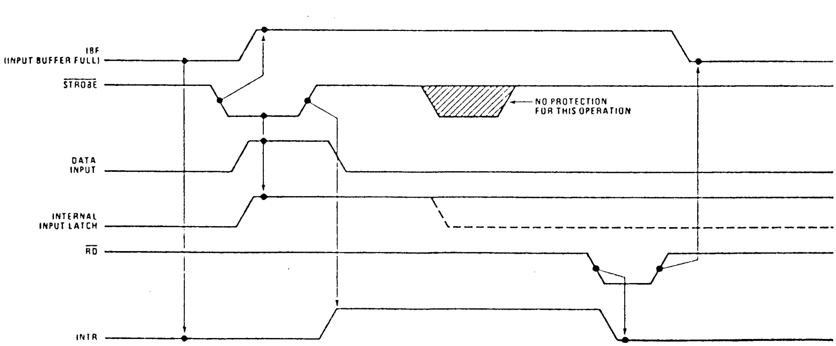


Abb. 74: Betriebsart 1, Dateneingabe

Betriebsart 1 Steuersignale EINGANG

-STB- = Strobe Input — Anschluß PC 4 für PORT A
Anschluß PC 2 für PORT B

Ein L-Pegel an diesem Anschluß lädt die Daten in den Eingangs-Auffangspeicher.

IBF = Input Buffer Full — Anschluß PC 5 für PORT A
Anschluß PC 1 für PORT B

Ein H-Pegel an diesem Ausgang zeigt an, daß Informationen in den Eingangs-Auffangspeicher geladen worden sind. Dieses Signal stellt die logische Quittung zur vorangegangenen dar, denn es wird von der negativen Flanke des STB-Signals erzeugt und von der positiven Flanke des RD-Signals gelöscht. Der Aufbau sowie die Wirkungsweise der Eingangs-Steuersignale bei der Betriebsart 1 ist in der Abbildung 74 dargestellt.

Betriebsart 1 Steuersignale AUSGANG

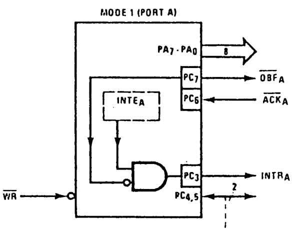
Werden die Ports als Ausgabe definiert, so gelten andere Steuerinformationen als bei der Eingabe:

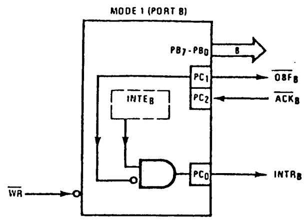
-OBF- = Output Buffer full — Anschluß PC 7 für PORT A
Anschluß PC 1 für PORT B

Wenn dieser Anschluß an einem L-Pegel liegt, so wird damit angezeigt, daß die CPU Daten in den angegebenen Ausgangsport geschrieben hat. Das interne OBF-Flip-Flop wird von der positiven Flanke des WR-Signals gesetzt und von der negativen des ACK-Signals wieder gelöscht. Vergleichen Sie auch hierzu das Zeitdiagramm in der Abbildung 75 unten.

BETRIEBSART 1 DATENAUSGABE

8255 PIO





STEUERWORT

D7	D6	D5	D4	D3	D2	D1	D0
1	0	1	0		x	x	x

STEUERUNG PORT-C
BITS 5 u. 4

1 = EINGABE
0 = AUSGABE

STEUERWORT

D7	D6	D5	D4	D3	D2	D1	D0
1	x	x	x	x	1	0	x

ALLGEMEINE ANMERKUNG:
X = BELIEBIGER PEGEL, D.H. ES SPIELT KEINE ROLLE, OB DIESES BIT 0 ODER 1 IST

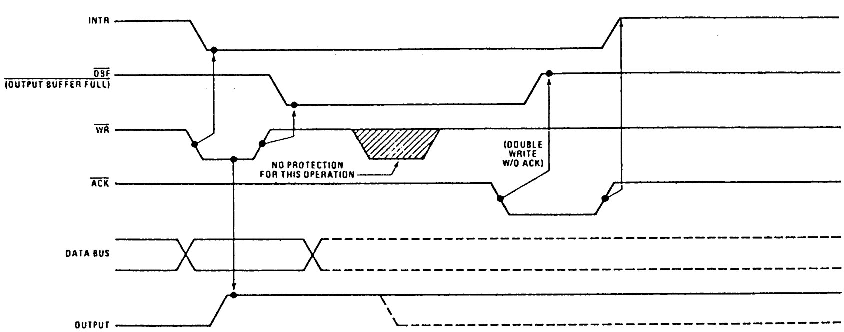


Abb. 75: Betriebsart 1, Datenausgabe

-ACK- = Acknowledge Input Anschluß PC 6 für PORT A
Anschluß PC 2 für PORT B

Dieses Bestätigungssignal zeigt durch einen L-Pegel an, daß die Daten von PORT A oder B übernommen worden sind. Der ACK-Anschluß stellt eine Rückmeldung von der angeschlossenen peripheren Einheit dar, daß die von der CPU abgeschickten Daten empfangen worden sind. Liegt dagegen ein H-Pegel vor, so befinden sich die Tristate Ausgaberegister in einem hochohmigen Zustand.

BETRIEBSART (MODE) 2

Diese Betriebsart stellt eine getaktete bidirektionale Bus-Ein-Ausgabe dar und ist nur für die Gruppe A der Ports möglich. Da diese Betriebsart in der Praxis sehr selten angewandt wird, soll an dieser Stelle nicht näher darauf eingegangen werden.

Die Abbildungen 76 und 77 zeigen zusammengefaßt die Zeitdiagramme der verschiedenen Betriebsarten. In der Tabelle der Abbildung 78 erhalten Sie die Grenzwerte der wichtigsten Parameter vorgestellt.

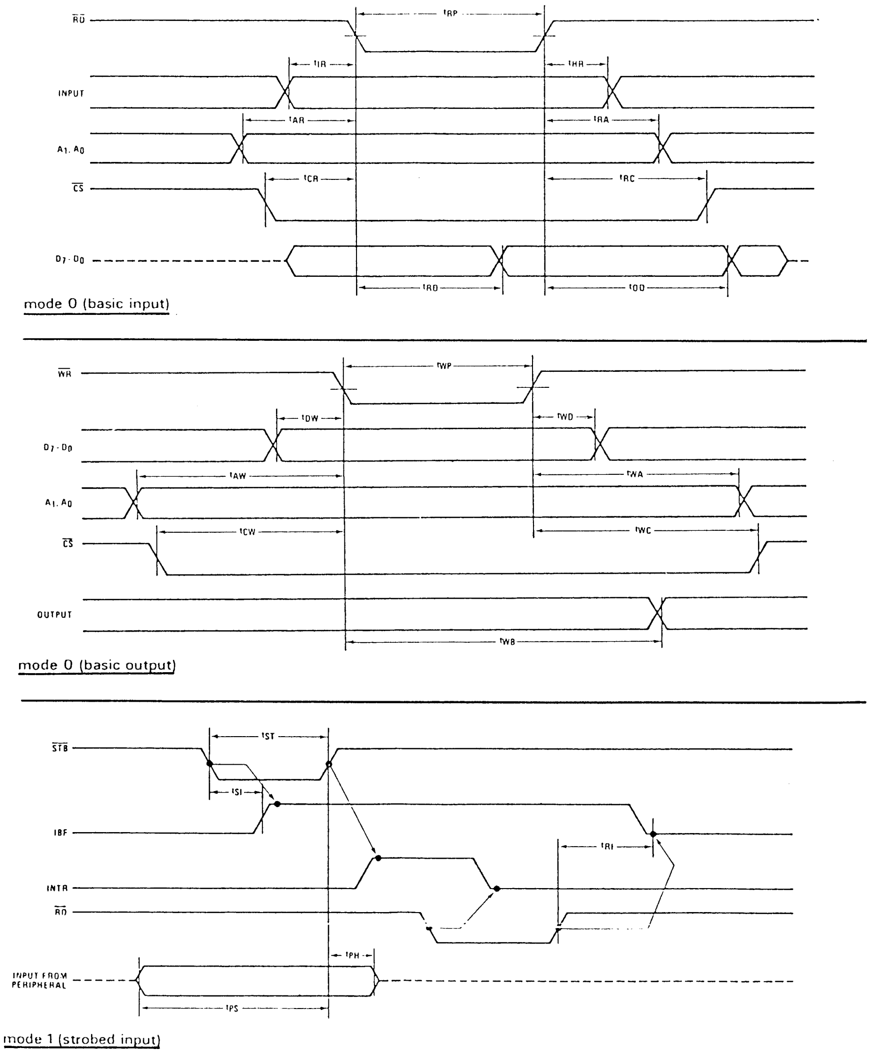


Abb. 76: Zeitdiagramme des 8255 (PIO)

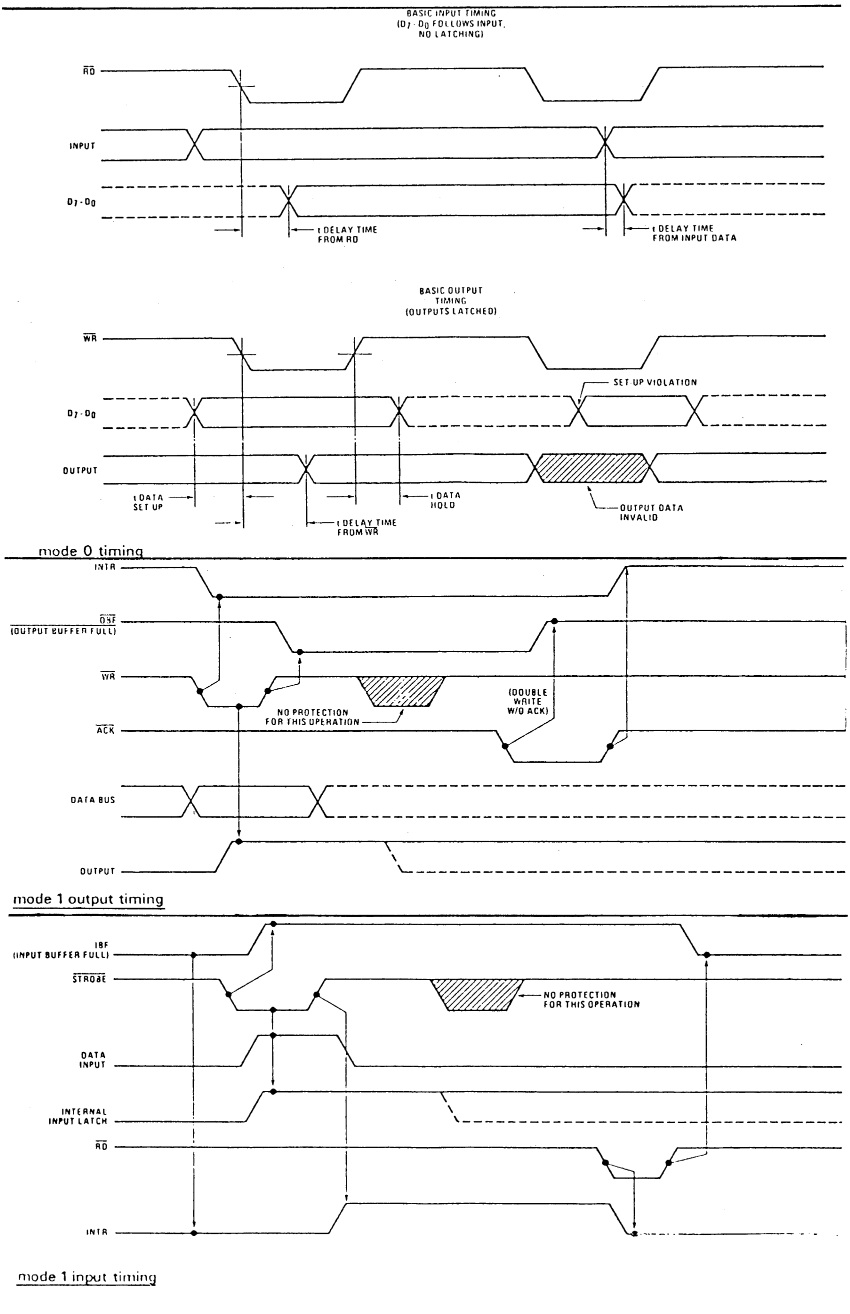


Abb. 77: Zeitdiagramme des 8255 (PIO)

dc electrical characteristics

T_A = 0°C to +70°C; V_{CC} = +5 V ± 5%; V_{SS} = 0 V

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage			0.8	V	
V_{IH}	Input High Voltage	2.0			V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 1.6 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = −50 µA (−100 µA for D.B. Port)
I_{OH}[1]	Darlington Drive Current		2.0		mA	V_{OH} = 1.5 V, R_{EXT} = 390 Ω
I_{CC}	Power Supply Current		40		mA	

ac electrical characteristics

T_A = 0°C to +70°C; V_{CC} = +5 V ± 5%; V_{SS} = 0 V

Symbol	Parameter	Min.	Typ.	Max.	Unit
t_{WP}	Pulse Width of $\overline{WR}$	430			ns
t_{DW}	Time D.B. Stable before $\overline{WR}$	10			ns
t_{WD}	Time D.B. Stable after $\overline{WR}$	65			ns
t_{AW}	Time Address Stable before $\overline{WR}$	20			ns
t_{WA}	Time Address Stable after $\overline{WR}$	35			ns
t_{CW}	Time CS Stable before $\overline{WR}$	20			ns
t_{WC}	Time CS Stable after $\overline{WR}$	35			ns
t_{WB}	Delay from $\overline{WR}$ to Output			500	ns
t_{RP}	Pulse Width of $\overline{RD}$	430			ns
t_{IR}	$\overline{RD}$ Set-Up Time	50			ns
t_{HR}	Input Hold Time	50			ns
t_{RD}	Delay from $\overline{RD}$ = 0 to System Bus			350	ns
t_{OD}	Delay from $\overline{RD}$ = 1 to System Bus	150			ns
t_{AR}	Time Address Stable before $\overline{RD}$	50			ns
t_{CR}	Time $\overline{CS}$ Stable before $\overline{RD}$	50			ns
t_{AK}	Width of $\overline{ACK}$ Pulse	500			ns
t_{ST}	Width of $\overline{STB}$ Pulse	350			ns
t_{PS}	Set-Up Time for Peripheral	150			ns
t_{PH}	Hold Time for Peripheral	150			ns
t_{RA}	Hold Time for A_1, A_0 after $\overline{RD}$ = 1	379			ns
t_{RC}	Hold Time for $\overline{CS}$ after $\overline{RD}$ = 1	5			ns
t_{AD}	Time from $\overline{ACK}$ = 0 to Output (Mode 2)			500	ns
t_{KD}	Time from $\overline{ACK}$ = 1 to Output Floating			300	ns
t_{WO}	Time from $\overline{WR}$ = 1 to $\overline{OBF}$ = 0			300	ns
t_{AO}	Time from $\overline{ACK}$ = 0 to $\overline{OBF}$ = 1			500	ns
t_{SI}	Time from $\overline{STB}$ = 0 to IBF			600	ns
t_{RI}	Time from $\overline{RD}$ = 1 to IBF = 0			300	ns

Abb. 78:
8255 PIO (Literaturhinweis: 8255 Datenblatt, National Semiconductor)

10.1 8255-PIO und 24 Ein-Ausgabekanäle

Der Anschluß einer 8255-PIO an den I/O-Bus der Adapterkarte ist sehr einfach, da keinerlei besondere Signale erforderlich sind. Dieser IC besitzt wie alle anderen Bausteine der Z80- bzw. 8080-Familie je einen eigenen Eingang für Lesen und Schreiben, die beide low-aktiv sind. Auf der I/O-Adapterkarte werden diese Signale aus dem R/-W Anschluß des Rechnerbusses erzeugt. Eine kleine Ausnahme ist der Resetanschluß des 8255, der high-aktiv ist. Hier ist ein Inverter notwendig, damit der richtige Signalpegel ansteht.

Den Schaltplan zu diesem Interface sehen Sie in der Abbildung 79. Ein besonderes Platinenlayout wurde bei dieser einfachen Schaltung nicht entworfen, allerdings finden Sie im folgenden Kapitel die Möglichkeit zwei oder gar vier PIOs an den Rechner anzuschließen.

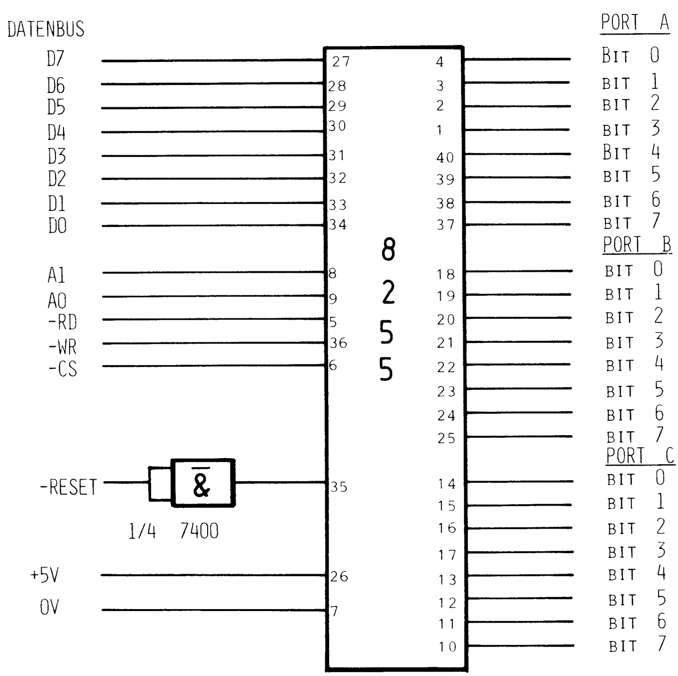


Abb. 79:
Anschluß der 8255-PIO an den I/O-Port der Adapterkarte

10.2 8255-PIO und 48 Ein-Ausgabekanäle

Wem die 24 programmierbaren Ein-Ausgabe-Kanäle einer PIO nicht ausreichen, für den ist die folgende Schaltung gedacht. Prinzipiell unterscheidet diese sich nur dadurch von der vorhergehenden, daß nun zwei PIO-Bausteine mit insgesamt 48 programmierbaren Ein-Ausgabekanäle angesteuert werden.

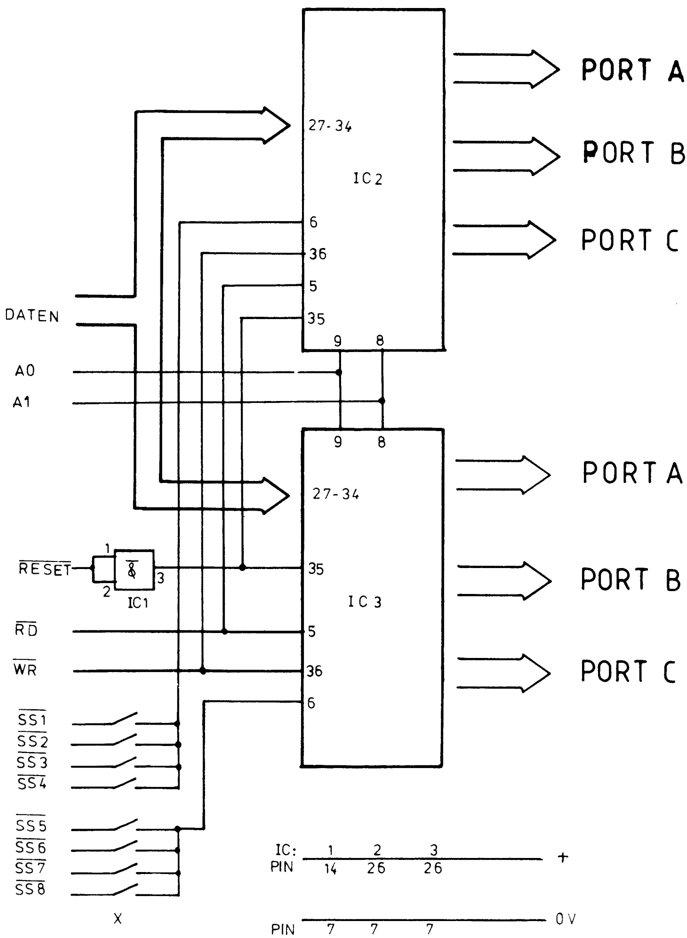


Abb. 80:
Schaltplan 2x8255 PIO mit 48 Ein-Ausgabe-Kanälen

Betrachten Sie das Schaltbild in der Abbildung 80, so werden Sie feststellen, daß die beiden 8255 parallelgeschaltet sind. Der Datenbus sowie die beiden Steuerleitungen A1 und A0 sind an beiden Bausteinen direkt angeschlossen. Die einzige Besonderheit dieser Schaltung liegt in der Adressierung:

Der 8-fach DIL-Schalter wurde in zwei mal vier aufgeteilt. Dadurch stehen Ihnen für die Adressierung jeder PIO vier Adreßräume zur Verfügung. Je nachdem welcher DIL-Schalter geschlossen ist, kann jede PIO wie folgt adressiert werden:

P I O 1 = I C 2

DIL-SCHALTER				ADRESSBEREICH	PIO 1 = IC 2
SS4	SS3	SS2	SS1	hexadezimal	dezimal
off	off	off	ON	DE00-DE0F	56832-56847
off	off	ON	off	DE10-DE1F	56848-56863
off	ON	off	off	DE20-DE2F	56864-56879
ON	off	off	off	DE30-DE3F	56880-56895

Die gleiche Tabelle, nur für die Slot-Select-Signale 5-8 läßt sich für die zweite PIO, IC 3, aufstellen:

P I O 2 = I C 3

DIL-SCHALTER SS8	SS7	SS6	SS5	ADRESSBEREICH hexadezimal	PIO 2 = IC 3 dezimal
off	off	off	ON	DE40-DE4F	56896-56911
off	off	ON	off	DE50-DE5F	56912-56927
off	ON	off	off	DE60-DE6F	56928-56943
ON	off	off	off	DE70-DE7F	56944-56959

Unbedingt ist darauf zu achten, daß für jede PIO nur ein einziger DIL-Schalter aktiviert wurde, d.h. innerhalb der beiden Vierergruppen darf **nur ein einziger DIL-Schalter in der Stellung ON** stehen.

Aufbau der PIO-Karte

Das dazugehörige Platinenlayout ist auf einer doppelseitigen EURO-Karte untergebracht. Die Lötseite sehen Sie in der Abbildung 81 und die Bestückungsseite in der Abbildung 82. Den Bestückungsplan erhalten Sie in der Abbildung 83 dargestellt.

Beim Aufbau ist unbedingt auf sorgfältiges Arbeiten zu achten, da die Leiterbahnen sehr eng nebeneinander liegen. Für diejenigen, die keine Möglichkeit haben, eine solche Platine selbst zu bauen, befindet sich eine Bezugsquelle im Anhang. Um die einzelnen Ports des 8255 zu testen, ist ein Lauflichtprogramm in der Abbildung 84 wiedergegeben. Die erforderlichen Leuchtdioden können mit einem 470 Ohm Widerstand an den Ausgangsport der PIO angeschlossen werden. Bei höheren Lasten ist unbedingt eine Treiberstufe notwendig.

Die PIO kann selbstverständlich, wie es in den 8-40-Kanal-Einheiten der Kapitel 7 und 8 gezeigt wurde, auch über einen eigenen Decoderbaustein vom Typ 74LS138 angeschlossen werden. Diese Maßnahme ist dann zu empfehlen, wenn mehr als zwei PIOs betrieben werden sollen. Die Ausbaubarkeit ist dann auf insgesamt 8 PIOs mit 192 Ein-Ausgabekanäle begrenzt. Der Anschluß wird genauso vorgenommen, wie es das Kapitel 7 für die Eingabebausteine 74LS541 zeigt. Die Abbildung 85 zeigt Ihnen den Musteraufbau dieser Schaltung.

Bauteile:

IC 1 = 74LS00
IC 2 = 8255
IC 3 = 8255
X = 8-fach DIL-Schalter
Sonstiges: VG-Stecker gewinkelt
Stiftleisten für Portausgänge

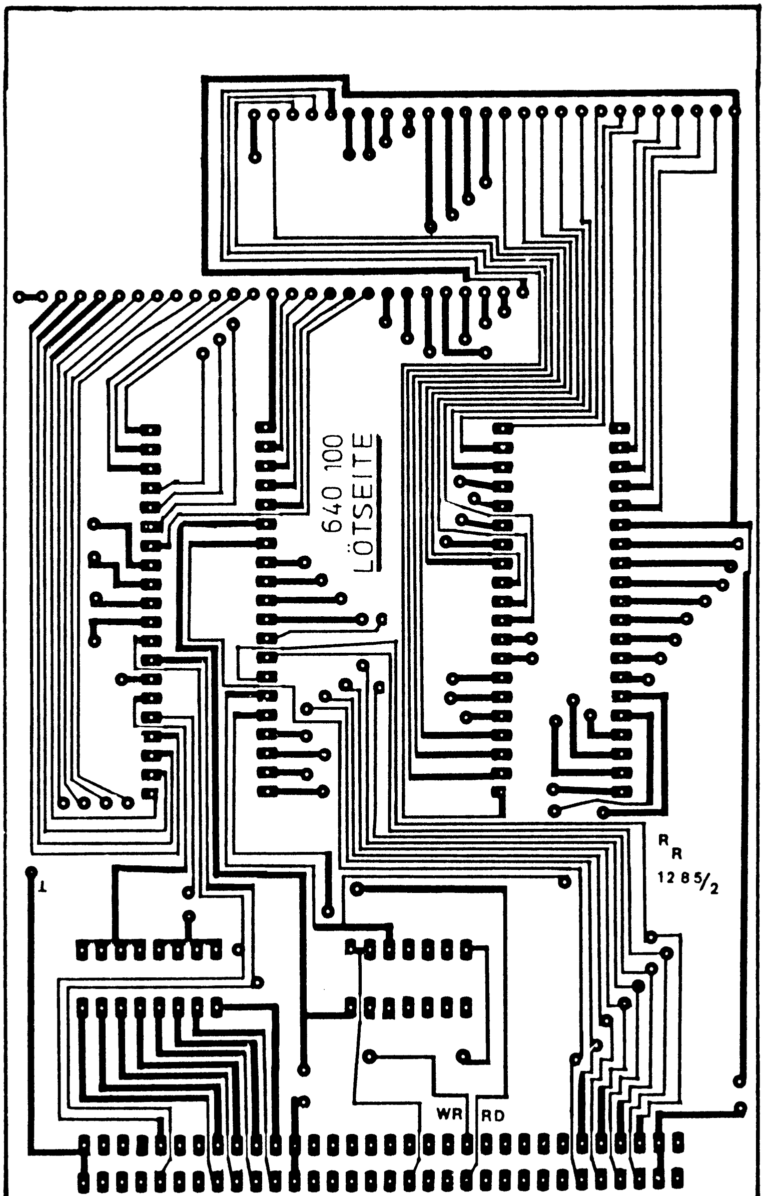


Abb. 81: Platinenlayout "Lötseite" der 2x8255 PIO-Karte

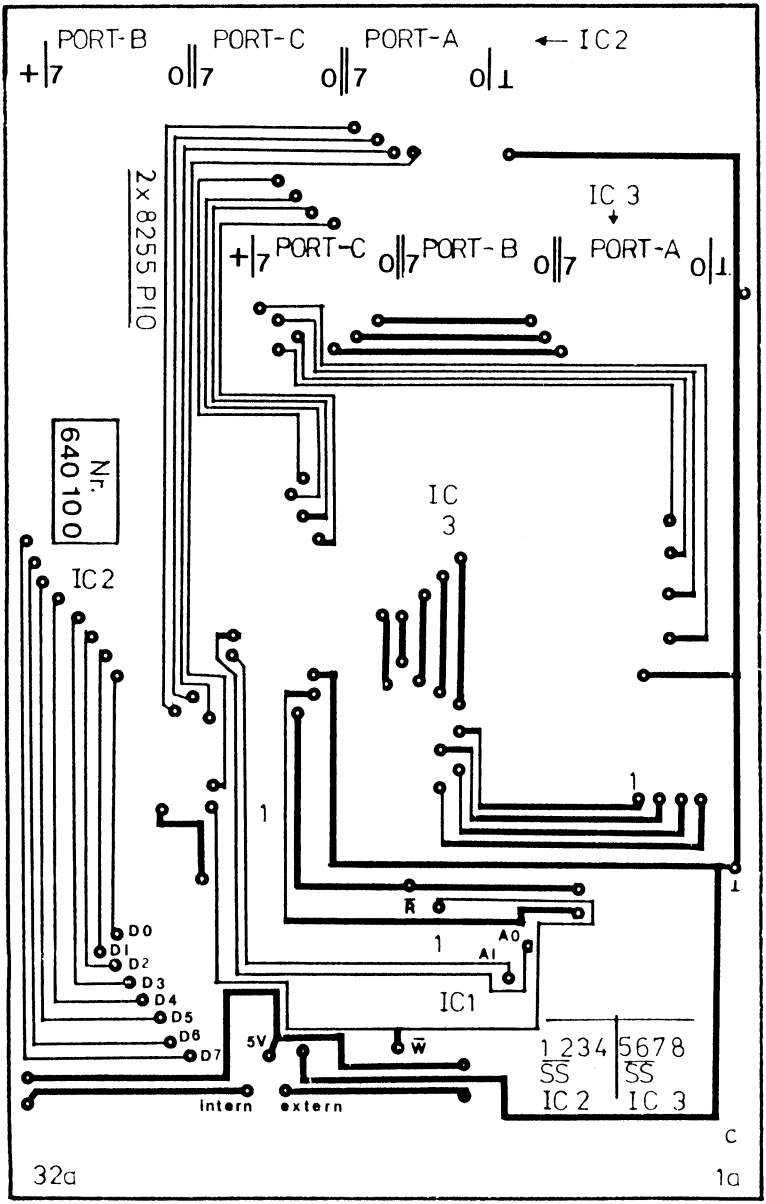


Abb. 82: Platinenlayout "Bestückungsseite" der 2x8255 PIO-Karte

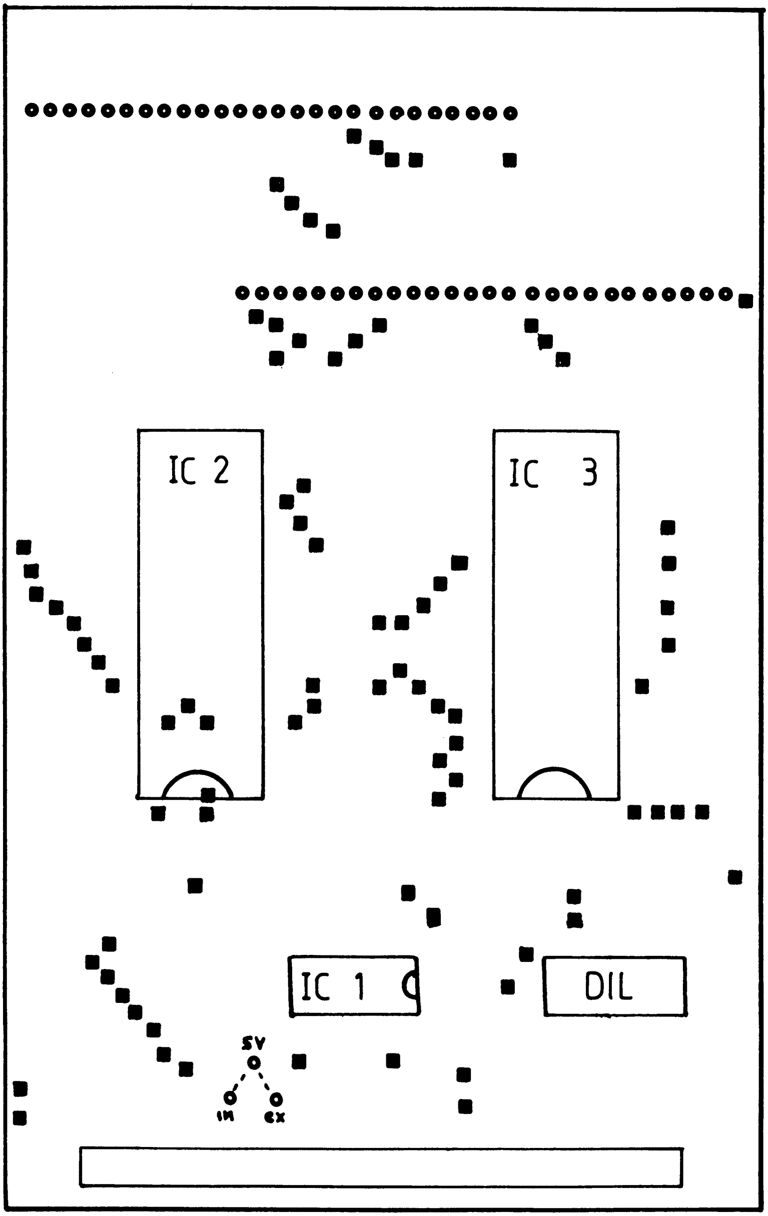


Abb. 83:
Bestückungsplan der 2x8255-PIO-Karte (■ sind Durchkontaktierungen)

```
5 rem       lauflicht 8255-pio
6 rem    benutzt wird ss-1 signal
7 rem  dil-schalter-1 auf on setzen
8 rem    basisadresse = 56832 (a)
9 rem
10 rem
20 rem
30 a = 56832
100 rem steuerwort fuer 8255 setzen
101 rem alle ports auf ausgaenge = 128
110 poke a3,128
200 rem alle bits schieben
210 for i = 0 to 7
220 poke a,2↑i
230 for j = 1 to 100 : next j
240 next i
250 goto 210
```

Abb. 84: Testprogramm zur PIO (8255)

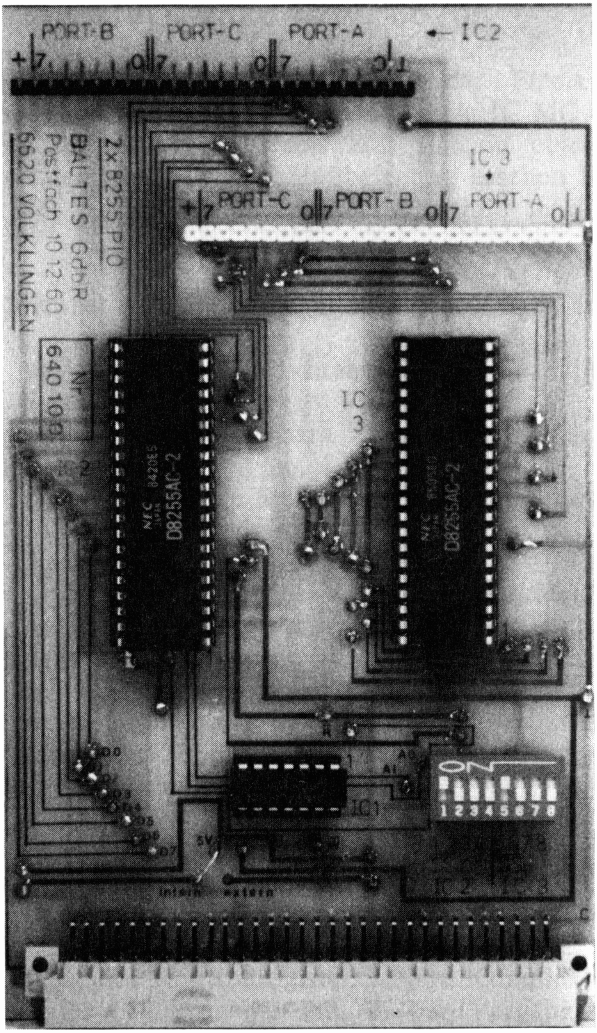


Abb. 85:
Musteraufbau der 2x8255-Karte. Nach der Einstellung der DIL-Schalter wird der linke Baustein unter der Slot-Select-Adresse Nr.1 und der rechte unter der Adresse Nr.5 betrieben.

11. PIA-Interface 6520 bzw. 6820

Der Periphal-Interface-Adapter-IC 6520 der Firma ROCKWELL ist direkt kompatibel mit dem Motorola IC MC 6820. Die Arbeitsweise dieses PIA-Bausteins läßt sich in etwa mit der Z80-PIO vergleichen. Die Anschlußbelegung ersehen Sie in der Abbildung 86, das dazugehörige Blockschaltbild in der Abbildung 87.

Dieser IC zeichnet sich durch folgende Eigenschaften aus:

+ problemloser Hardwareanschluß an alle 65xx-Systeme
+ zwei programmierbare Ein-Ausgabe-Ports, auch Tore genannt
+ programmierbare Steuer- und Datenrichtungsregister Interruptsteuermöglichkeit
+ Handshakingsteuerung beider Tore!
+ gute Verfügbarkeit bei allen Elektronikhändlern
- umständliche Programmierung der Kontrollregister
- der Preis liegt deutlich über dem des 8255

Wie aus dem Blockschaltbild zu ersehen ist, besitzt der 6520-Baustein verschiedene Register, die für die Steuerungsaufgaben programmiert werden müssen.

Um die vielfältigen Möglichkeiten der PIA ausschöpfen zu können, ist eine sehr umfangreiche Kenntnis der teilweise schwierigen Programmierung dieses Bausteins vorauszusetzen. Insbesondere Anfänger haben große Schwierigkeiten mit der richtigen Programmierung des Kontrollregisters. Diese Komplexität in der Handhabung des 6520 brachte ihm in der Vergangenheit den Ruf ein, ein äußerst anwenderunfreundlicher IC zu sein, der sich in der Programmierung vielleicht mit der Z80-SIO vergleichen läßt.

Jeder Port, auch Tor genannt, verfügt über ein eigenes Kontrollregister, zwar mit einem grundsätzlichen Aufbau, allerdings mit unterschiedlichen Aufgaben, da die Leitungen CA1 und CB1 nur als Eingänge, die Leitungen CA2 und CB2

sowohl als Ein-, als auch als Ausgänge verwendet werden können.

Im folgenden werden wir uns nun eingehend mit den vielfältigen Registermöglichkeiten beschäftigen.

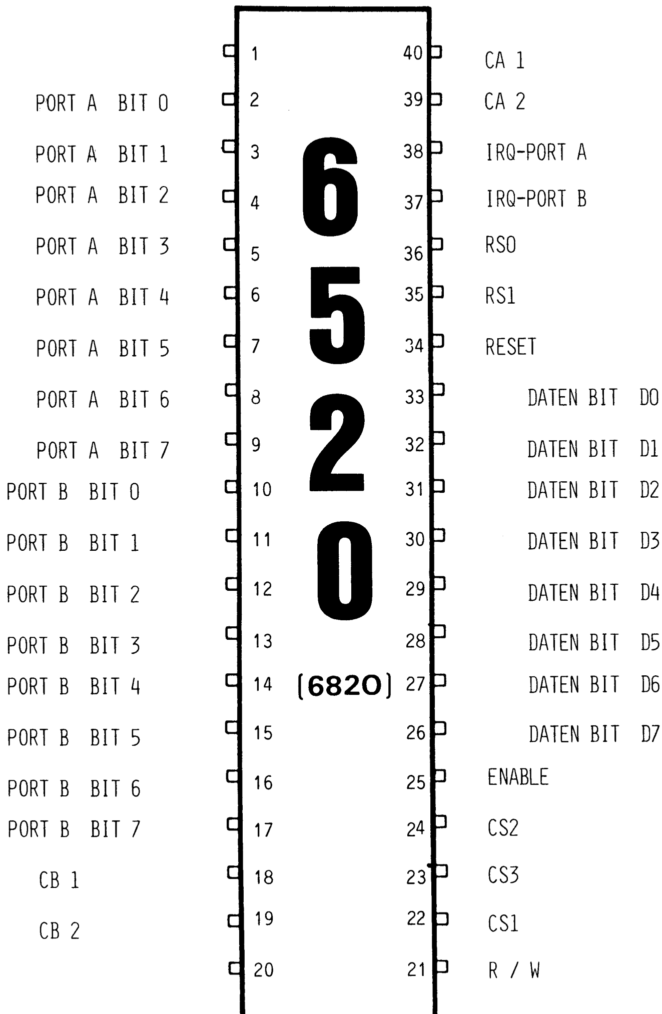


Abb. 86: Anschlußbelegung der PIA 6520 (6820)

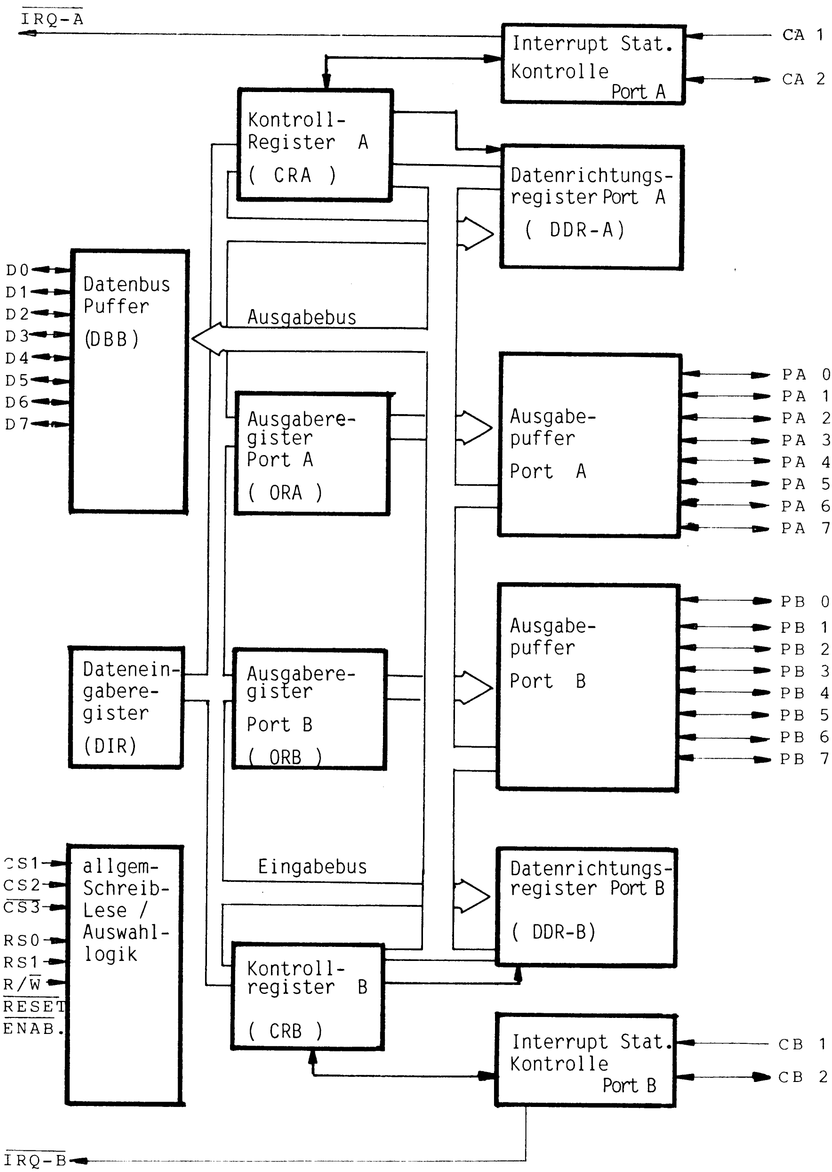


Abb. 87: Aufbau der PIA 6520 (6820)

Registeraufbau

Die PIA besitzt zwei Acht-Bit Ports, mit A und B bezeichnet, die dem Datenaustausch dienen. Jeder dieser Ports besitzt ein:

- *Steuerregister* (Control-Register A und B), CRA und CRB
- *Datenrichtungsrregister* (Data Direction Register A/B), DDA und DDB
- *Ausgangsregister* (Output Register A und B), ORA und ORB
- *Interruptsteuerregister* (Interrupt Control Register A und B), ICRA und ICRB

Der gesamte Datenaustausch wird über die beiden Steuerregister, CRA (Contol-Register für den PORT A) und CRB (Control-Register für den Port B) gelöst.

Der grundsätzliche Aufbau dieser Register ist in den folgenden Tabellen dargestellt:

STEUERREGISTER		PORT A				CRA	
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IRQ A1	IRQ A2	--CA 2 Steuerung--			DDRA	CA1 Steuerung	

STEUERREGISTER		PORT B				CRB	
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IRQ B1	IRQ B2	--CB 2 Steuerung--			DDRB	CB1 Steuerung	

Sie sehen, daß der prinzipielle Aufbau der beiden Steuerregister vollkommen identisch ist. Da aber der Port B sowohl für Eingabe-, wie auch für Ausgabeoperationen verwendet werden kann, ergeben sich bei der Programmierung wesentliche Unterschiede.

Das Kontrollregister der PIA hat folgende Aufgaben:

- Kontrolle der Interruptleitungen für Eingabeoperationen: CA1 und CA2 für TOR A, CB1 und CB2 für B
- Kontrolle der Interruptleitungen für Ausgabeoperationen: CA2 und CB2 für TOR B
- Kontrolle der Adressierung über Bit 2 des Datenrichtungsregisters DDRA und DDRB und des Ausgaberegisters ORA und ORB, da beide die gleiche logische Adresse belegen.
- Kontrolle und Steuerung des Schreib-Lesemodus über die Bits 5-3 zusammen mit CA2 bzw. CB2
- Kontrolle und Darstellung des Interrupt-Zustandes durch Bit 6 und 7

Registersteuerung

Zusammen mit den beiden Adreßleitungen RS0 und RS1 (Register-Select) und dem Bit 2 des Kontrollregisters wird die PIA gesteuert. Intern belegen die Ausgaberegister und Datenregister für jeden Port die gleiche logische Adresse. Aus diesem Grund ist das Bit 2 des Kontrollregisters notwendig, das anzeigt, ob das Ausgaberegister oder das Datenregister nun adressiert wird.

Die folgende Tabelle zeigt, wie die interne Registerauswahl vorgenommen wird:

Reg. Adr. hex.	Select RS1	RS0	CRA Bit 2	CRB Bit 2	REGISTER OPERATION R/-W = "H" Lesen	R/-W = "L" Schreiben
0	L	L	1	x	PIBA	ORA
0	L	L	0	x	DDRA	DDRA
1	L	H	x	x	CRA	CRA
2	H	L	x	1	PIBB	ORB
2	H	L	x	0	DDRB	DDRB
3	H	H	x	x	CRB	CRB

Liegt also beispielsweise die PIA im Adreßbereich DE10-DE1F, so ist die Adresse DE10 entweder die des Datenrichtungsregisters oder des Ausgangsregisters für PORT A, die Adresse DE11 die des Kontrollregisters A. Die Adresse DE12 ist entweder die Adresse des Datenrichtungs- oder des Ausgangsregisters des PORT B und DE13 die Adresse des Kontrollregisters für PORT B.

Interrupt-Anforderung

Die Interrupt-Anforderung IRQA bzw. IRQB geschieht durch die Bits 6 und 7 im Kontrollregister. Ein L-Pegel auf diesen Anschlüssen gibt dem Prozessor ein Unterbrechnungssignal. IRQA und IRQB werden mit den entsprechenden Prozessorsignalen IRQ bzw. NMI direkt verbunden. Jedes Interrupt-Bit besitzt ein weiteres Bit zum Abschalten des Interrupts, welches dem Prozessor das Ein- und Ausschalten des Interrupts von jedem der vier möglichen Eingängen (CA1, CA2, CB1 und CB2) erlaubt.

Das Bit 7 des Steuerregisters PORT A wird durch eine aktive Flanke des Signals am Interrupt Eingang CA1 gesetzt. Wird Bit 0 im Steuerregister CRA auf "L" gesetzt, so gilt der Interrupt als abgeschaltet. Ebenso wird Bit 6 des Steuerregisters A durch eine aktive Flanke des Signals am Interrupt-Eingang CA2 gesetzt.

Dieser Interrupt kann abgeschaltet werden, wenn das Bit 3 im Steuerregister auf "L" gesetzt wird. Die Bits 6 und 7 im Steuerregister (CRA) werden durch das Auslesen des peripheren Ausgangsregisters A (ORA) wieder zurückgesetzt.

Der Interrupt für den PORT B wird in gleicher Weise gesteuert: Bit 7 wird durch eine aktive Flanke von CB1 gesetzt. Der Interrupt wird von Bit 0 des Steuerregisters-PORT B gesteuert. Bit 6 wird durch eine aktive Flanke von CB2 gesetzt und durch Bit 3 des CRB gesteuert.

Zusammenfassend läßt sich folgende Aussage über die Interrupt-Anforderung der PIA machen:

IRQ-PORT A ist dann aktiv, d.h. geht auf einen L-Pegel wenn:

Kontrollregister-A, Bit 7 = "H" **und** Bit 0 = "H"

oder:

Kontrollregister-A, Bit 6 = "H" **und** Bit 3 = "H"

IRQ-PORT B ist dann aktiv, d.h. geht auf einen L-Pegel wenn:

Kontrollregister-B, Bit 7 = "H" **und** Bit 0 = "H"

oder:

Kontrollregister-B, Bit 6 = "H" **und** Bit 3 = "H"

Interrupt-Eingänge / Periphere Kontrolle

Die Anwendung der Bits 5-3 im Kontrollregister erhöhen die Komplexität des PIA-Bausteins wesentlich, da hierüber die gesamte Ein-Ausgabe Steuerung beider Tore läuft.

Grundsätzlich sei zu Anfang folgender Unterschied erwähnt:

CA 1 und CB 1 sind *nur für die Eingabe* zu verwenden.
CA 2 und CB 2 sind *für Ein- und Ausgabe* zu verwenden.

Darüber hinaus können die beiden Anschlüsse CA2 und CB2 auch als zusätzliche Datenleitungen verwendet werden, da ihr logischer Zustand vom Kontrollregister gelesen werden kann und bei der Ausgabe auch von diesem gesteuert werden kann. Die Anschlüsse CA1 und CB1 gelten hierzu im Gegensatz nur für den Eingabemodus. Diese werden durch die ersten beiden Bits ihres Kontrollregisters gesteuert. Hierbei gilt es insbesondere zu beachten, daß diese nicht auf einen logischen Zustand reagieren, sondern nur auf einen Übergang, z.B. von "H" nach "L" oder umgekehrt.

Der Status des Bits 5 bestimmt, ob die Leitungen Ein- oder Ausgänge sind. Liegt Bit 5 auf einem L-Pegel, dann ist diese Leitung ein Eingang und verhält sich genauso wie CA1 oder CB1. Ist dagegen Bit 5 "H", dann ist die Leitung ein Ausgang in einem bestimmten Modus.

Das folgende Beispiel soll das Zusammenspielen der Registerbits 5-3 verdeutlichen:

Ist CA2 als Eingang definiert, so muß das Bit 5 des Steuerregisters auf "L" gesetzt sein. Die Leitung reagiert auf die gleiche Weise wie CA1 und wird durch die Bits 3 und 4 kontrolliert. Ein Pegelübergang wirkt sich hier auf das Bit 6 des Kontrollregisters aus. Wenn Bit 4 einen L-Pegel aufweist, dann wird Bit 6 durch einen "H-L" Übergang gesetzt. Ist Bit 3 gesetzt, so verursacht das Setzen von Bit 6 eine Unterbrechung des Prozessors.

Auf ein Platinenlayout für die PIA wurde verzichtet, da dieses sich einerseits leicht aus dem der VIA des Kapitels 12 ableiten läßt und andererseits das Einsatzgebiet dieses Bausteins sehr begrenzt ist und von der VIA ebenfalls übernommen werden kann.

12. 6522-VIA-Interface

Der vielseitige Interface-Adapter 6522 ist eine konsequente Weiterentwicklung des PIA-Bausteins des Kapitels 11; weist allerdings sowohl in der Verwendbarkeit wie auch in der Programmierung wesentliche Vorteile auf.

In diesem Baustein sind folgende Funktionen integriert:

- zwei bidirektionale Ein-Ausgabeports, PA und PB;
- zwei 16 Bit programmierbare Timer/Zähler T1 und T2;
- Schieberegister zur seriellen Datenausgabe;
- Steuerregister zur Programmierung.

Bedingt durch die Vielzahl der möglichen Anwendungen besitzt die VIA auf der einen Seite eine recht komplexe Bedienung des Steuerregisters, aber auf der anderen Seite ist die Programmierung wesentlich übersichtlicher gehalten als die der PIA, da niemals zwei integrierte Funktionsblöcke die gleiche logische Adresse belegen. Die Pinbelegung der VIA ist in der Abbildung 88 wiedergegeben. Das Blockschaltbild der Abbildung 89 vermittelt Ihnen einen Überblick über die internen Funktionsblöcke.

Intern besitzt die VIA 16 einzelne Register, die extern direkt mit den Register-Select-Leitungen RS3-RS0 angesprochen werden können. Die Abbildung 90 zeigt Ihnen den Registeraufbau und zusätzlich die erforderlichen binär- und hexadezimalen RS-Informationen, um die Register einzeln anzusprechen.

Im folgenden wird nun ausführlich auf die Bedeutung und Adressierung der Funktionsblöcke im Blockschaltbild eingegangen werden.

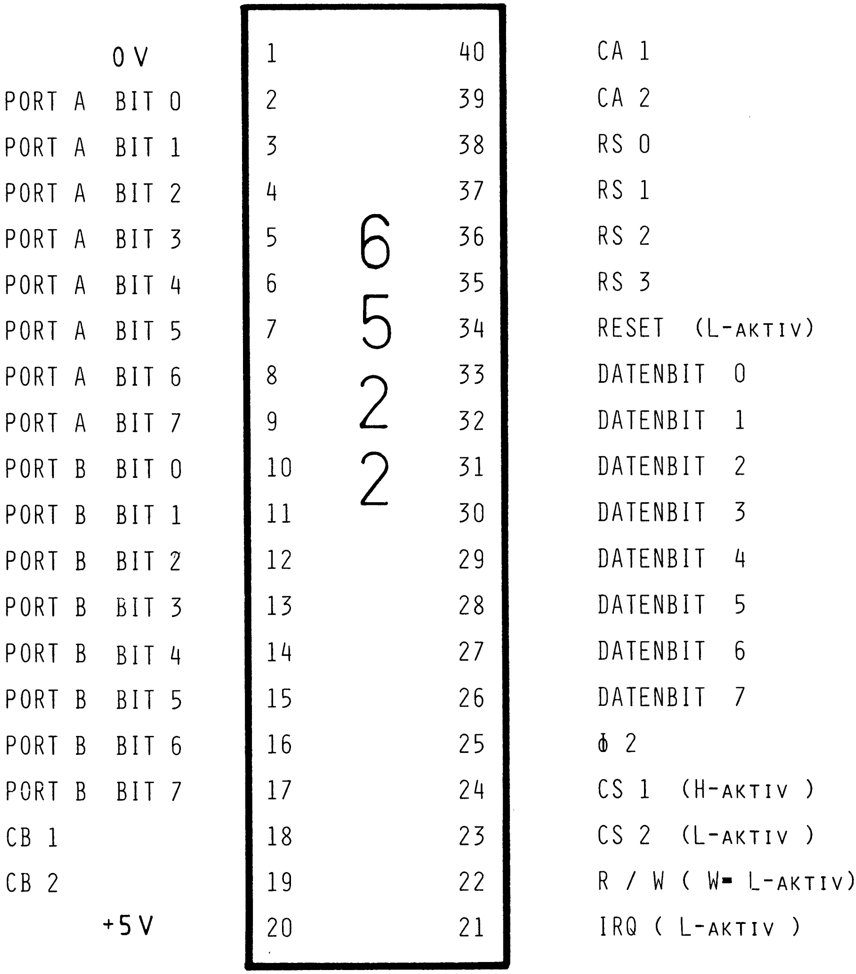


Abb. 88: Anschlußbelegung der VIA (6522)

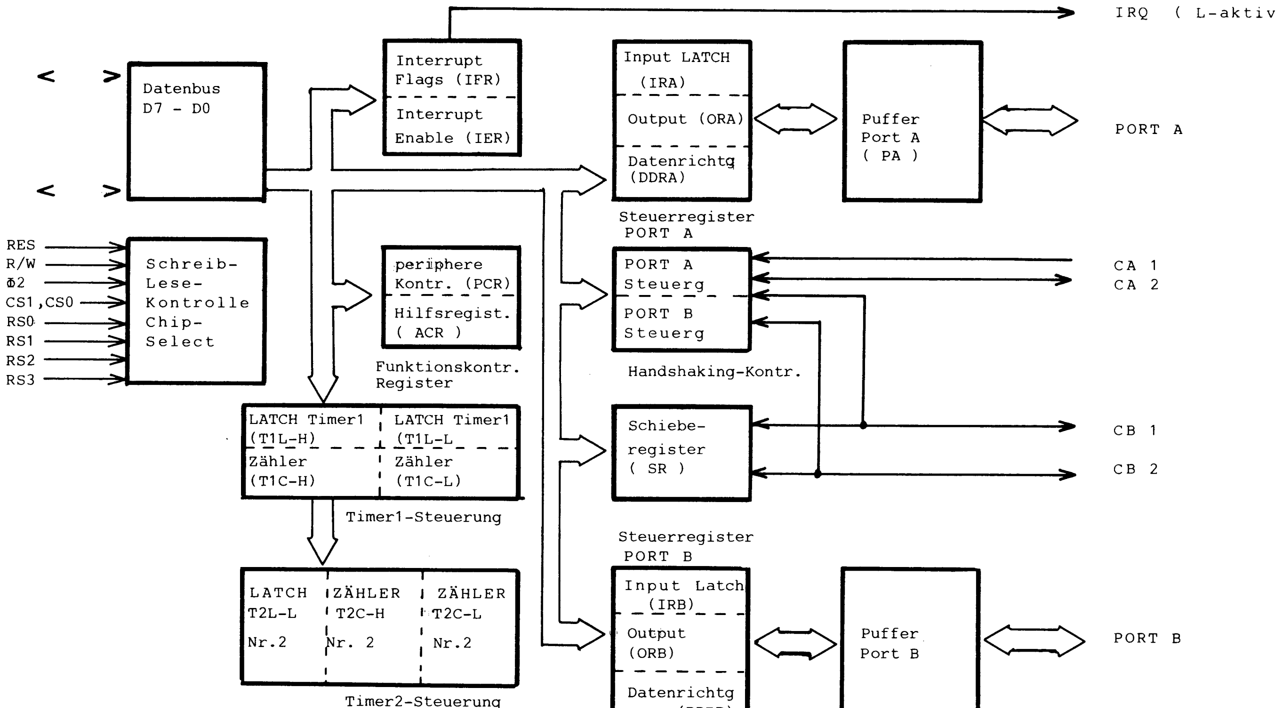


Abb. 89: Blockschaltbild der VIA 6522

Rockwell

R6522
VERSATILE INTERFACE
ADAPTER (VIA)

Register Adresse HEX.	Register-Select-Pins RS3	RS2	RS1	RS0	Register Bezeichng:	Register Bedeutung: Schreiben R/-W = "L"	Lesen R/-W = "H"
00	L	L	L	L	ORB / IRB	Output Register Port B	Input Register Port B
01	L	L	L	H	ORA / IRA	Output Register Port A	Input Register Port A
02	L	L	H	L	DDRB	Datenrichtungsregister für Port B	
03	L	L	H	H	DDRA	Datenrichtungsregister für Port A	
04	L	H	L	L	T1C-L	Timer-1 Low-Order Latch	Timer-1 Low-Order Zähler
05	L	H	L	H	T1C-H	Timer-1 High-Order Zähler	
06	L	H	H	L	T1L-L	Timer-1 Low-Order-Latch	
07	L	H	H	H	T1L-H	Timer-1 High-Order-Latch	
08	H	L	L	L	T2C-L	Timer-2 Low-Order-Latch	Timer-2 Low-Order Zähler
09	H	L	L	H	T2C-H	Timer-2 High-Order Zähler	
0A	H	L	H	L	SR	Schieberegister	
0B	H	L	H	H	ACR	Hilfsregister (Auxillary Control Register)	
0C	H	H	L	L	PCR	Ausgangs-Kontroll-Regist	(Peripheral Control Register)
0D	H	H	L	H	IFR	Interrupt Flag Register	
0E	H	H	H	L	IER	Interrupt Enable Register	
0F	H	H	H	H	ORA/IRA	Output Register Port A	Input Register Port A
						wie Adresse 00, jedoch ohne Handshaking (Quittung)	

Abb. 90: Registeraufbau der VIA 6522

Bidirektionale Ein-Ausgabeports (PA, PB)

Diese Funktionsgruppe entspricht in ihren Eigenschaften der der PIA. Über einen zweimal 8-Bit breiten Port, auch Tor genannt, können Daten in die VIA ein- bzw. ausgelesen werden. Jeder Port wird durch zwei Steuerleitungen kontrolliert:

CA 1 und CA 2 für Port A
CB 1 und CB 2 für Port B

Darüber hinaus besitzt jeder Port ein eigenes Steuerregister mit einem LATCH für die Eingabe, einer Ausgabesteuerung und einer Datenrichtungssteuerung.

Jedes Bit der Ports ist in der Lage, im Ein- und Ausgabemodus jeweils eine Standard-TTL-Last zu treiben. Die übrigen elektrischen Eigenschaften entsprechen der PIA im Kapitel 11. Wie aus der Registerübersicht der VIA in der Abbildung 90 zu ersehen ist, belegen die Ein-Ausgaberegister die hex. Adresse 00, 01 und 0F und die Datenrichtungsregister die Adressen hex. 02 und 03.

Die Betriebsart, d.h. ob eine Eingabe oder Ausgabe vorliegt, wird durch ein bestimmtes Bit des Datenrichtungsregisters (DDRA / DDRB) definiert. Ist diesen Bit "H", so wird die entsprechende Leitung als Ausgabe angesehen, bei "L" als Eingabe. Dies bedeutet auch, daß nach einem RESET alle Leitungen als Eingabe angesehen werden. Aber eine Besonderheit weist das Tor A gegenüber Tor B auf; es besitzt zwei Ausgaberegister, ein "normales" unter der Adresse hex. 01 und eines unter der Adresse hex. 0F, welches ohne Handshaking (Quittung) arbeitet.

Der allgemeine Aufbau des peripheren Steuerregisters ist wie folgt darstellbar:

PERIPHERES STEUERREGISTER (PCR)							
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CB 2 - Steuerung			CB 1 Steug.	CA 2 - Steuerung			CA 1 Steug.

Dadurch, daß die Steuerung beider Tore durch ein besonderes Register abgehandelt wird, ist auch die Programmierung wesentlich einfacher. Der Aufbau des peripheren Steuerregisters ist vollkommen symmetrisch, Bit 7-4 für Tor B und Bit 3-0 für Tor A. Darüber hinaus kann der Anwender noch durch das Bit 4 bzw. 0 wählen, ob das interne Interruptflag bei einem "H-L"-Übergang oder bei einem "L-H"-Übergang gesetzt werden soll. Etwas komplizierter ist die CA2-Steuerung der beiden Ports. Diese ist detailliert in der Abbildung 91 wiedergegeben.

PERIPHERES-KONTROLL-REGISTER [PCR]

7	6	5	4	3	2	1	0

REG.-ADR. 0C

Bit 0 → CA1 INTERRUPT-KONTROLLE

Bits 3–1 → CA2 STEUERUNG

PCR - BITS 3	2	1	BEDEUTUNG
L	L	L	CA2 INTERRUPTMODUS, NEGATIV FLANKENGETRIGGERT, ES WIRD DAS CA2-INTERRUPT FLAG GESETZT (IFRO), DIES KANN GELÖSCHT WERDEN, ENTWEDER DURCH SCHREIBEN-LESEN DES OUTPUT-REGISTERS PORT A, (ORA) ODER DURCH SETZEN VON 'H' IN DAS IFRO
L	L	H	CA2 INTERRUPTMODUS, NEGATIV FLANKENGESTEUERT, GLEICHE BEDEUTUNG WIE OBEN, NUR DAß ORA DAS FLAG NICHT LÖSCHT
L	H	L	CA2 INTERRUPTMODUS, POSITIV FLANKENGESTEUERT, GLEICHE BEDEUTUNG WIE UNTER 'LLL'
L	H	H	CA2 INTERRUPTMODUS, POSITIV FLANKENGESTEUERT, GLEICHE BEDEUTUNG WIE UNTER 'LLH'
H	L	L	HANDSHAKING AUSGABE PORT A SETZT CA2 AUSGANG AUF 'L' BEIM LESEN ODER SCHREIBEN DES AUSGABEREGISTERS A. DAS ZURÜCKSETZEN VON CA2 AUF 'H' ERFOLGT DURCH EIN ENTSPRECHENDES SIGANL AN CA1
H	L	H	CA2 PULSAUSGABE-MODUS. CA2 GEHT NACH DEM LESEN ODER SCHREIBEN DES PERIPHEREN AUSGABEREGISTERS A FÜR EINEN TAKTZYKLUS AUF 'L'
H	H	L	CA2 LOW-OUTPUT FÜR PORT A DER CA2-AUSGANG VERBLEIBT AUF 'L'
H	H	H	CA2 HIGH-OUTPUT FÜR PORT A DER CA2-AUSGANG VERBLEIBT AUF H

Bit 4 → CB2 INTERRUPT-KONTROLLE

Bits 7–5 → CB2 STEUERUNG

DIE CB2 STEUERUNG ENTSPRICHT GENAU DEN KOMBINATIONEN VON DER CA2 STEUERUNG, NUR DASS HIER DIE REGISTERBITS 7 - 5 HERANGEZOGEN WERDEN. HIER WERDEN AUCH NUR DIE CB-SPEZIFISCHEN INTERRUPTBITS GESETZT

Abb. 91: VIA 6522, peripheres Kontrollregister (PCR)

Programmierbarer Timer / Zähler

Der VIA-Baustein besitzt zwei programmierbare Zähler, die sowohl für die Eingabe, als auch zur Ausgabe verwendet werden können, allerdings dann mit unterschiedlichen Aufgaben, d.h. Betriebsarten. Beide Timer arbeiten nicht mit einstellbaren Teil- oder Zählgeschwindigkeiten, sondern vermindern die 16 Bit breite Vorgabe bei jedem Takt ums eins. Beim Erreichen des Nulldurchgangs wird ein eigenes Interrupt-Flag im Interrupt-Anzeige-Register (IFR) gesetzt.

Im Eingabemodus ist der Zeitgeber (Timer) in der Lage, die Länge eines einzelnen Impulses zu zählen oder die Anzahl eingehender Einzelimpulse. Im ersten Fall spricht man vom *Einzelbetrieb*, im zweiten Fall vom *Freilaufbetrieb*. Im Einzelbetrieb können beide Timer verwendet werden, im Freilaufbetrieb kann nur der Timer-1 arbeiten.

Im Ausgabemodus können beide Timer arbeiten, dazu muß aber zuerst in das Zählregister ein bestimmter Wert geladen werden. Zu beachten ist, daß zuerst das niederwertigste Halbbyte und dann das höchstwertigste geladen werden muß. Beim letzten wird dann das Interruptflag des Timers gelöscht und der Zählvorgang wird automatisch gestartet.

Da Timer-1 mit einem Zwischenspeicher ausgestattet ist, kann er, im Gegensatz zu Timer-2, im Freilaufmodus arbeiten. Der gespeicherte Wert wird an den Zähler weitergegeben, sobald der Zählerstand Null erreicht wird. Ein Aufwärtszählen ist nicht möglich.

Die zu zählenden Impulse des Timer-2 müssen am Tor B, Bit 6, anliegen. Im Ausgabemodus kann der Timer-2 nur ein einziges Signal von programmierbarer Dauer an Port B, Bit 6, ausgeben. Welche Betriebsart der Timer-2 annehmen soll, wird durch das Bit 5 des Hilfsregisters (ACR) festgelegt.

Wie schon zu erfahren war, bietet der Timer-1 mehr Möglichkeiten, insgesamt sind dies vier, die durch die Bits 7 und 6 des Hilfsregisters (ACR) gesteuert werden können. Die Ausgabe des

Timer-1 erfolgt auf Port B, Bit 7. Die Tabelle der Abbildung 92 zeigt Ihnen die möglichen Betriebsarten im Zusammenhang mit dem Aufbau des Hilfsregisters (ACR).

HILFSREGISTER [ACR]

7	6	5	4	3	2	1	0

REG.-ADR. 0B

PORT A ZWISCHENSPEICHERUNG (Bit 0)

L = EINGABE WIRD NICHT ZWISCHENGESPEICHERT
H = EINGABE WIRD ZWISCHENGESPEICHERT

PORT B ZWISCHENSPEICHERUNG (Bit 1)

L = EINGABE WIRD NICHT ZWISCHENGESPEICHERT
H = EINGABE WIRD ZWISCHENGESPEICHERT

SCHIEBEREGISTER -STEUERUNG (Bits 4, 3, 2)

BITS: 4	3	2	BEDEUTUNG
L	L	L	SCHIEBEREGISTER GESPERRT (DISABLED)
L	L	H	EINGABE SCHIEBEREGISTER DURCH TIMER-2 GESTEUERT
L	H	L	EINGABE SCHIEBEREGISTER DURCH TAKT (Φ2) GESTEUERT
L	H	H	EINGABE SCHIEBEREGISTER DURCH EXTERNEN TAKT GESTEU.
H	L	L	AUSGABE IM FREILAUFMODUS, FREQUENZ DURCH TIMER-2
H	L	H	AUSGABE SCHIEBEREGISTER WIRD DURCH TIMER-2 GESTEUERT
H	H	L	AUSGABE SCHIEBEREGISTER WIRD DURCH Φ2 GESTEUERT.
H	H	H	AUSGABE SCHIEBEREGISTER DURCH EXTERNEN TAKT GESTEUERT

TIMER-2 STEUERUNG (Bit 5)

L = TIMER-2 ARBEITET IM EINZELBETRIEB
H = TIMER-2 ARBEITET IM FREILAUFBETRIEB (IMPULSABZÄHLUNG)

TIMER-1 STEUERUNG (Bits 7, 6)

BITS: 7	6	BEDEUTUNG
L	L	EINZELBETRIEB: EIN INTERRUPT WIRD NACH ABLAUF DER ZEIT ERZEUGT, MIT DER T1 GELADEN WURDE, PORT B- BIT 7 BLEIBT GESPERRT
L	H	FREILAUFBETRIEB: ES WIRD EIN DAUER INTERRUPT ERZEUGT, PORT B BIT 7 IST GESPERRT.
H	L	EINZELBETRIEB: ES WIRD JEDESMAL WENN T1 GELADEN WIRD EIN INTERRUPT ERZEUGT, DAS AUSGANGSSIGANL ERSCHEINT AN PORT B, BIT 7
H	H	FREILAUFBETRIEB: ES WIRD EIN DAUERINTERRUPT ERZEUGT, EIN RECHTECKSIGANL STEHT AN PORT B, BIT 7 AN.

Abb. 92: VIA 6522, Hilfsregister (ACR)

Der Timer-1 wird durch die hex. Adressen 04-07, Timer-2 durch die Adressen 08 und 09 gesteuert, wie es die nachfolgende Tabelle aufzeigt:

Adresse hex.	SCHREIBEN R/-W = "L"	LESEN R/-W = "H"
04	T1L-L timer1 latch-low Zwischenspeicher nieder- wertiges Byte	T1C-L (lösch.int.Flag)I Timer1 Counter latch
05	T1L-H.-- T1C-H T1L-L -- T1C-L Timer1 latch high Byte Timer1 latch low Byte Timer1 Counter latch low Timer1 counter latch high	T1C-H
06	T1L-L Timer1 latch low byte	T1L-L Timer1 latch low byte
07	T1L-H Timer1 latch high byte zwischenspeichern höchstwertiges Byte	T1L-H Timer1 latch high byte zwischenspeichern höchstwertiges Byte
08	T2-L Timer latch low Byte	T2C-L Timer2-Zähler latch low
09	T2C-H T2L-L -- T2C-L	T2C-H

Schieberegister zur seriellen Datenausgabe

Die Möglichkeiten, mit dem internen Schieberegister Daten seriell zu übertragen, sind sehr vielfältig und können daher fast jeder anstehenden Aufgabe gerecht werden. Insgesamt unterscheidet das Schieberegister acht verschiedene Betriebsarten, die durch die Bits 4-2 des Hilfsregisters (ACR) festgelegt werden, dessen allgemeiner Aufbau Sie in der Abbildung 92 sehen.

Die Anschlüsse des Schieberegisters sind mit CB1 (Pin 18) und CB2 (Pin 19) gekennzeichnet, die direkt mit der Port B Steuerung verbunden sind.

CB2 dient dem Schieberegister als Ein- bzw. Ausgabeleitung, die intern mit einem 8-Bit Zähler verbunden ist. Am Anschluß CB1 steht der Schiebetakt zur Synchronisation externer Geräte zur Verfügung. Die Arbeitsweise des Schieberegisters ist grundsätzlich davon zu unterscheiden, ob im Ein- oder Ausgabemodus gearbeitet wird. Dieser Modus (Betriebsart) legt Bit 4 im ACR fest, bei "L" arbeitet das Register im Eingabemodus, bei "H" im Ausgabemodus.

Bei der Ausgabe muß das Schieberegister zuerst mit einem Wert geladen werden. Danach startet das Takten und Durchschieben der Daten automatisch, wobei der Anwender selbst bestimmen kann, ob der interne oder ein externer Takt verwendet wird. Parallel hierzu läuft ein 8-Bit Zähler, der nach dem Durchschieben der Daten das zuständige Interruptflag Bit 2 des Flag-Registers IFR setzt. Die Abbildung 93 zeigt die Bedeutung des Interrupt-Registers der VIA.

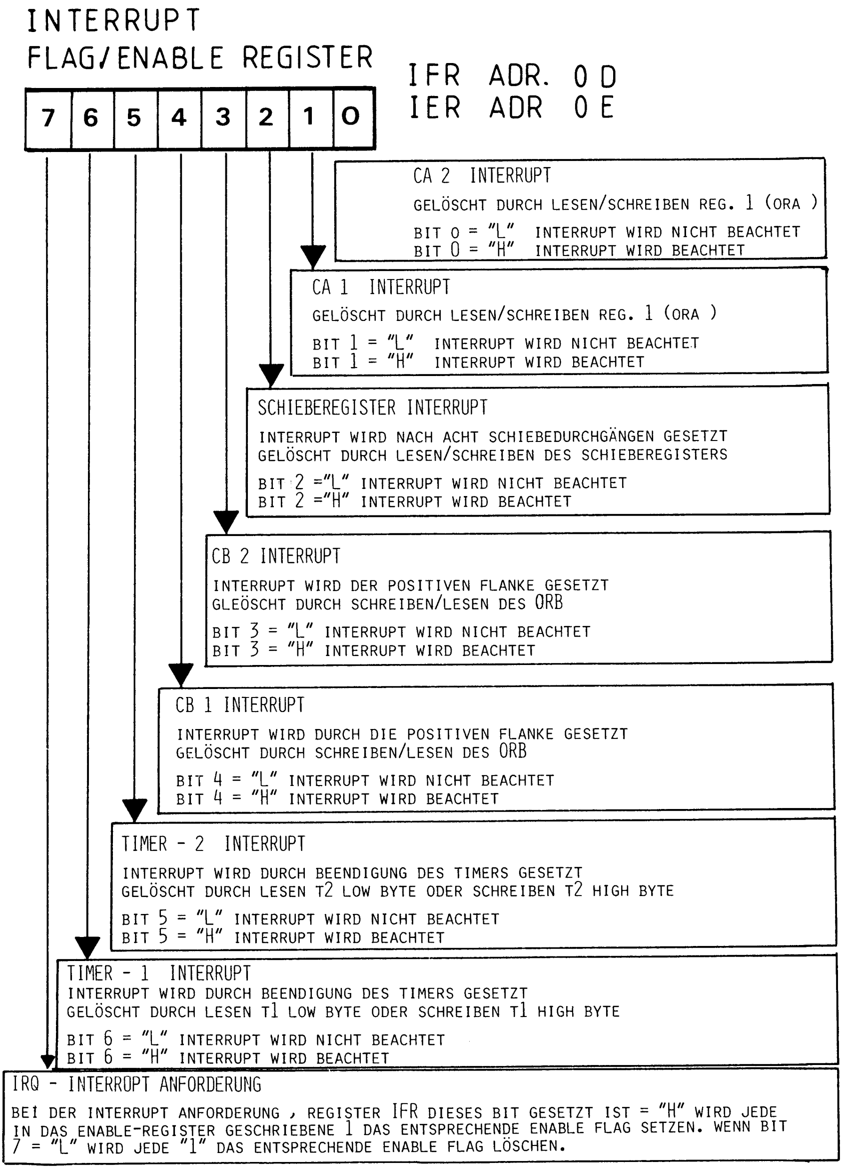


Abb. 93: VIA 6522, Interrupt Flag/Enable Register

Arbeitet dagegen das Schieberegister im Eingabemodus, Bit 4 des ACR = "L", muß auch zunächst das Register mit einem Wert geladen werden, damit der Taktgeber automatisch starten kann. Danach kann das Schieberegister Werte einlesen und zwar in der Abhängigkeit mit der zu taktenden Frequenz, die Sie durch die Binärkombination der Bits 3 und 4 festlegen können. Bei externen Taktgebern wird dieses Signal am Pin CB1 eingespeist, bei der Verwendung des internen Taktes steht dieser am Pin CB1 zur Verfügung. Sobald im Eingabemodus 8 Bit eingelesen sind, wird, ähnlich wie im Ausgabemodus, das Interruptflag gesetzt, und die Daten stehen zur Verfügung.
Die folgende Tabelle zeigt Ihnen einen Ausschnitt des ACR-Registers der Abbildung 92 und verdeutlicht Ihnen die unterschiedlichen Betriebsarten des Schieberegisters:

ACR-Register Bit 4	3	2	Bedeutung
L	L	L	Das Schieberegister kann ohne Auswirkungen beschrieben oder gelesen werden, das Interrupt-Flag bleibt unberücksichtigt ("L"). Dieser Mode dient zum Initialisieren, damit später der Schiebevorgang selbständig ablaufen kann.
L	L	H	Die Taktgeschwindigkeit dieser Betriebsart ist neben dem Systemtakt O2 durch den Inhalt des Timer-Registers 8 bestimmt. Die Taktgeschwindigkeit ist am Pin CB1 verfügbar. Der Schiebevorgang ist permanent zyklisch , d.h. die herausgeschobenen Daten werden wieder hineingeleitet. Vergleichen Sie hierzu das Zeitdiagramm der Abbildung 94/1.

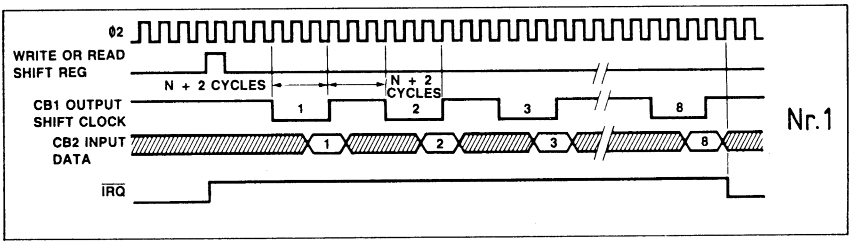
ACR-Register Bit 4	3	2	Bedeutung
L	H	L	In dieser Betriebsart wird der Takt ausschließlich durch den internen Systemtakt 02 bestimmt, der am Anschluß CB1 anliegt. Vergleichen Sie hierzu das Zeitdiagramm der Abbildung 94/2.
L	H	H	Im letzten Eingabemodus wird der Schiebetakt von einem externen Gerät über den Pin CB1 zugeführt. Der interne Zähler des Schieberegisters unterbricht den Prozessor nach jedem 8. Bit. Das Register selbst stoppt nach 8 Zählungen und muß neu gestartet werden. Gleichzeitig wird das Interrupt-Flag auf "L" gesetzt. Vergleichen Sie hierzu das Zeitdiagramm der Abbildung 94/3.
H	L	L	Ausgabemodus, der Zähler arbeitet im Freilaufmodus und stoppt nicht nach der Schiebeoperation. Die Daten rotieren. Vergleichen Sie hierzu das Zeitdiagramm der Abbildung 94/4.
H	L	H	Ausgabemodus, ähnlich "HLL", nur daß nach 8 Schiebeoperationen das Interrupt-Flag gesetzt wird. Vergleichen Sie hierzu das Zeitdiagramm in der Abbildung 94/5.
H	H	L	Ausgabemodus, in dem das Schieberegister durch den internen Takt 02 gesteuert wird. Vergleichen Sie hierzu das Zeitdiagramm in der Abbildung 94/6.

ACR-Register Bit 4	3	2	Bedeutung
H	H	H	Ausgabemodus, in dem das Schieberegister durch einen externen Taktgeber über den Anschluß CB1 gesteuert wird. Nach 8 Schiebeorperationen wird das Interruptflag gesetzt, allerdings wird die Schiebeoperation dadurch nicht beeinflußt. Vergleichen Sie hierzu das Zeitdiagramm in der Abbildung 94/7.

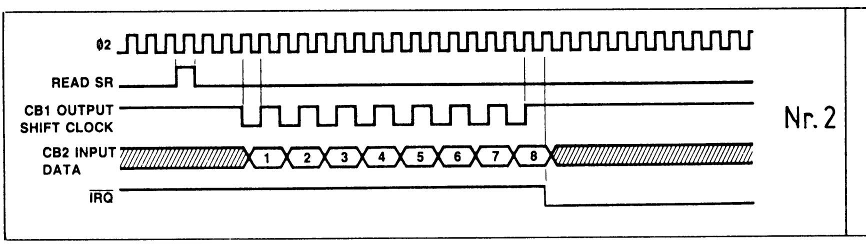
Die Abbildung 95 zeigt Ihnen die wichtigsten Parameter der VIA, wobei Sie die entsprechenden Zeitdiagramme des unteren Teils in den Abbildungen 96-98 wiederfinden.

Rockwell

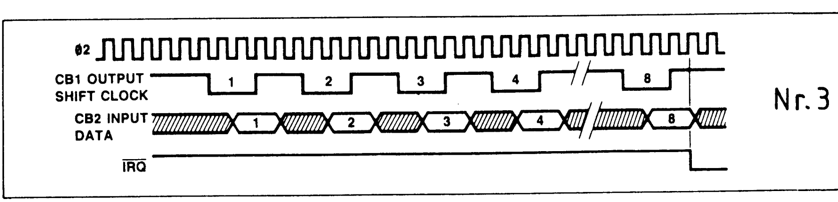
R6522
VERSATILE INTERFACE
ADAPTER (VIA)



Mode 1 Schieberegister unter der Kontrolle des Timers-2



Mode 2 Schieberegister unter der Kontrolle des internen Taktes Φ 2

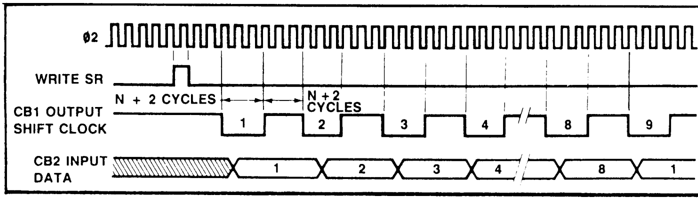


Mode 3 Schieberegister unter der Kontrolle von CB1

Abb. 94: Betriebsarten des Schieberegisters (Nr.1-3)

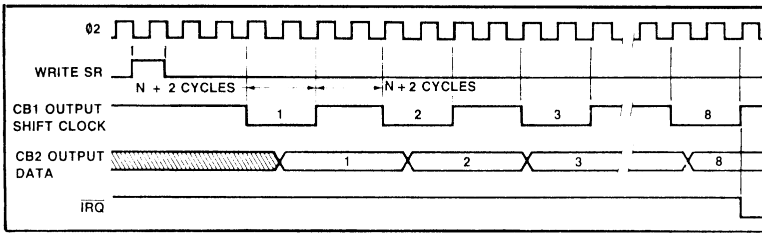
**R6522
VERSATILE INTERFACE
ADAPTER (VIA)**

Rockwell



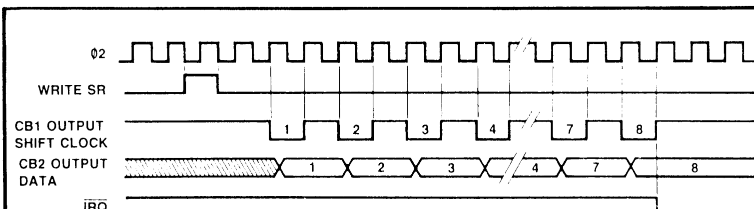
Nr. 4

Mode 4 Schieberegister unter der Kontrolle des Timer-2 im Freilaufmode



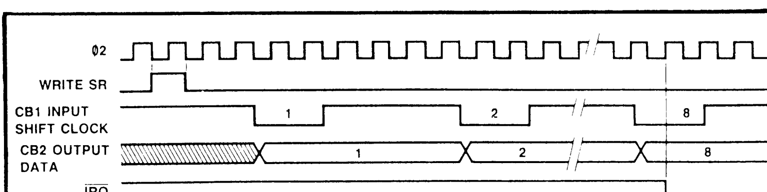
Nr. 5

Mode 5 Schieberegister unter der Kontrolle von Timer-2



Nr. 6

Mode 6 Schieberegister unter der Kontrolle des internen Taktes Φ 2



Nr. 7

Mode 7 Schieberegister unter der Kontrolle von CB1

Abb. 94: Betriebsarten des Schieberegisters (Nr. 4-7)

Rockwell

R6522 VERSATILE INTERFACE ADAPTER (VIA)

READ TIMING

	Symbol	6522 1MHz MIN	MAX	6522 2MHz MIN	MAX	
Cycle Time	T_{CY}	1	10	0.5	10	µs
Address Set-Up Time	T_{ACR}	180	—	90	—	ns
Address Hold Time	T_{CAR}	0	—	0	—	ns
Peripheral Data Set-Up Time	T_{PCR}	300	—	150	—	ns
Data Bus Delay Time	T_{CDR}	—	365	—	190	ns
Data Bus Hold Time	T_{HR}	10	—	10	—	ns

WRITE TIMING

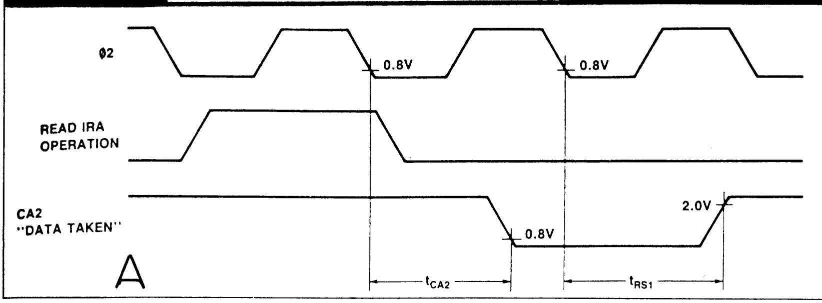
	Symbol	6522 1MHz MIN	MAX	6522 2MHz MIN	MAX	
Cycle Time	T_{CY}	1	10	0.50	10	µs
Ø2 Pulse Width	T_C	470	—	235	—	ns
Address Set-Up Time	T_{ACW}	180	—	90	—	ns
Address Hold Time	T_{CAW}	0	—	0	—	ns
R/$\overline{W}$ Set-Up Time	T_{WCW}	180	—	90	—	ns
R/$\overline{W}$ Hold Time	T_{CWW}	0	—	0	—	ns
Data Bus Set-Up Time	T_{DCW}	200	—	90	—	ns
Data Bus Hold Time	T_{HW}	10	—	10	—	ns
Peripheral Data Delay Time	T_{CPW}	—	1.0	—	0.5	µs
Peripheral Data Delay Time to CMOS Levels	T_{CMOS}	—	2.0	—	1.0	µs
Note: t_R and t_F = 10 to 30 ns.						

Symbol	Characteristic		Min.	Max.	Unit
t_r, t_f	Rise and Fall Time for CA1, CB1, CA2 and CB2 Input Signals		—	1.0	µs
t_{CA2}	Delay Time, Clock Negative Transition to CA2 Negative Transition (read handshake or pulse mode)	-B-, -A-	—	1.0	µs
t_{RS1}	Delay Time, Clock Negative Transition to CA2 Positive Transition (pulse mode)	A	—	1.0	µs
t_{RS2}	Delay Time, CA1 Active Transition to CA2 Positive Transition (handshake mode)	B	—	2.0	µs
t_{WHS}	Delay Time, Clock Positive Transition to CA2 or CB2 Negative Transition (write handshake)	C	0.05	1.0	µs
t_{DS}	Delay Time, Peripheral Data Valid to CB2 Negative Transition	C	0.20	1.5	µs
t_{RS3}	Delay Time, Clock Positive Transition to CA2 or CB2 Positive Transition (pulse mode)	D	—	1.0	µs
t_{RS4}	Delay Time, CA1 or CB1 Active Transition to CA2 or CB2 Positive Transition (handshake mode)	D	—	2.0	µs
t_{21}	Delay Time Required from CA2 Output to CA1 Active Transition (handshake mode)	D	400	—	ns
t_{IL}	Setup Time, Peripheral Data Valid to CA1 or CB1 Active Transition (input latching)	E	300	—	ns
t_{AL}	CA1, CB1 Setup Prior to Transition to Arm Latch	E	300	—	ns
t_{PDH}	Peripheral Data Hold After CA1, CB1 Transition	E	150	—	ns
t_{SR1}	Shift-Out Delay Time — Time from ϕ_2 Falling Edge to CB2 Data Out	F	—	300	ns
t_{SR2}	Shift-In Setup Time — Time from CB2 Data In to ϕ_2 Rising Edge	G	300	—	ns
t_{SR3}	External Shift Clock (CB1) Setup Time Relative to ϕ_2 Trailing Edge	G	100	T_{CY}	ns
t_{IPW}	Pulse Width — PB6 Input Pulse	I	2 × T_{CY}	—	
t_{ICW}	Pulse Width — CB1 Input Clock	H	2 × T_{CY}	—	
t_{IPS}	Pulse Spacing — PB6 Input Pulse	I	2 × T_{CY}	—	
t_{ICS}	Pulse Spacing — CB1 Input Pulse	H	2 × T_{CY}	—	

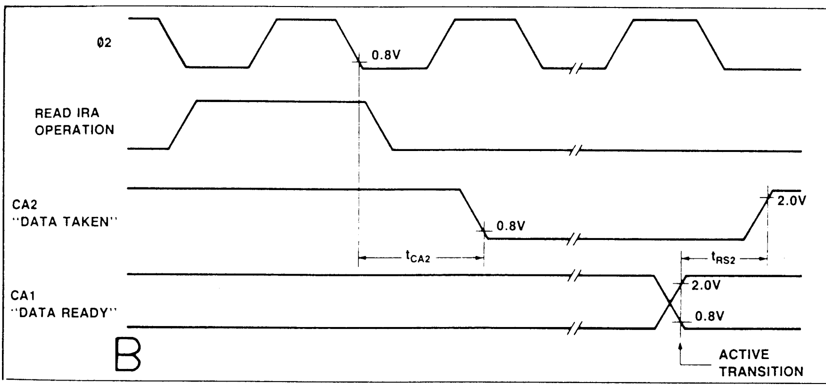
Abb. 95: Technische Daten der VIA 6522

Rockwell

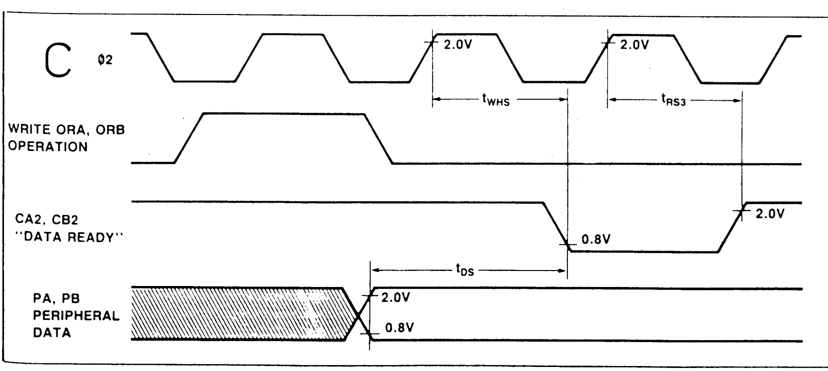
R6522
VERSATILE INTERFACE
ADAPTER (VIA)



CA2 Timing for Read Handshake, Pulse Mode



CA2 Timing for Read Handshake, Handshake Mode



CA2, CB2 Timing for Write Handshake, Pulse Mode

Abb. 96: Zeitdiagramme der VIA 6522

Rockwell

R6522 VERSATILE INTERFACE ADAPTER (VIA)

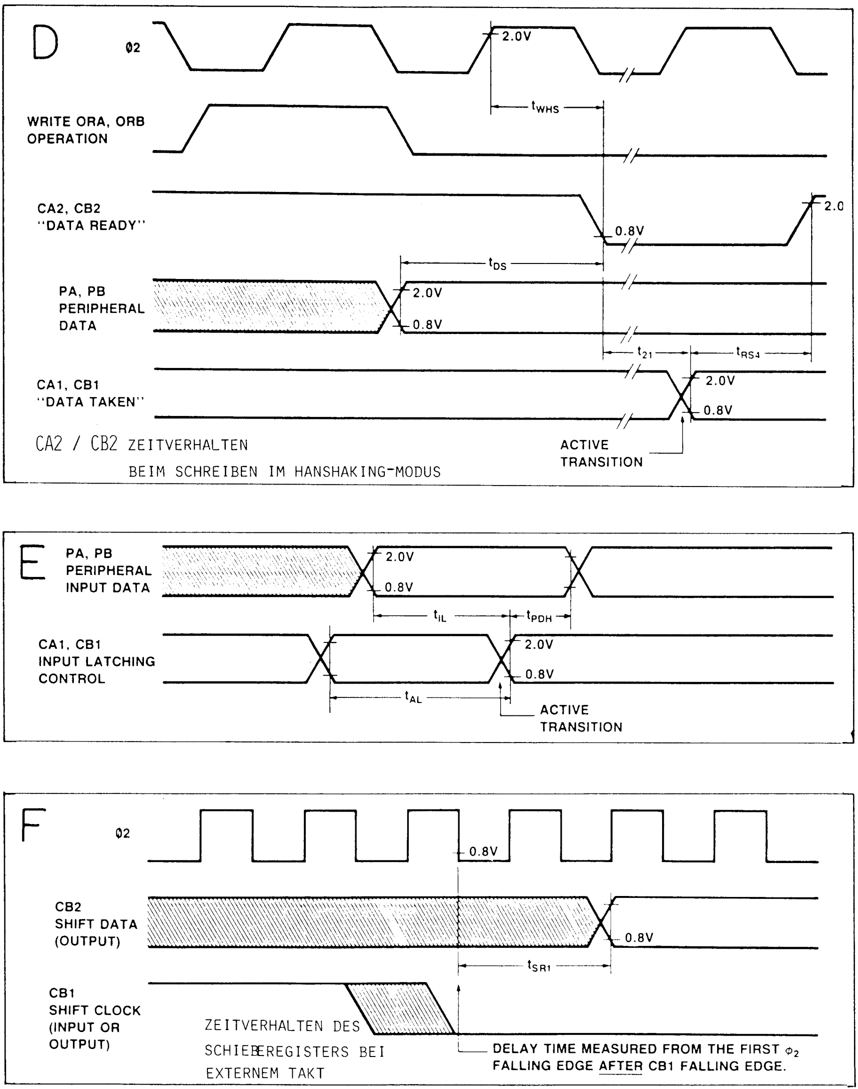
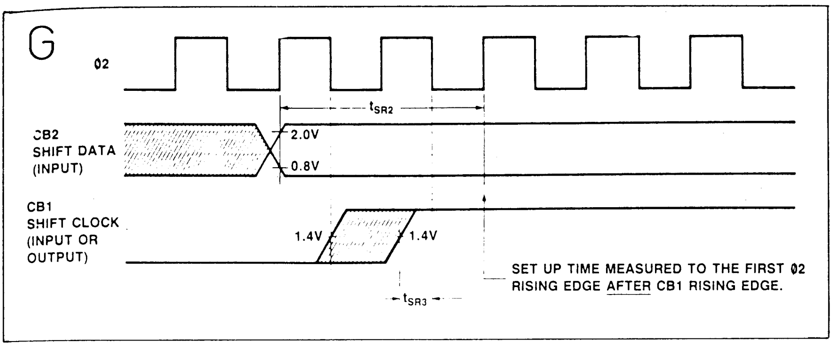


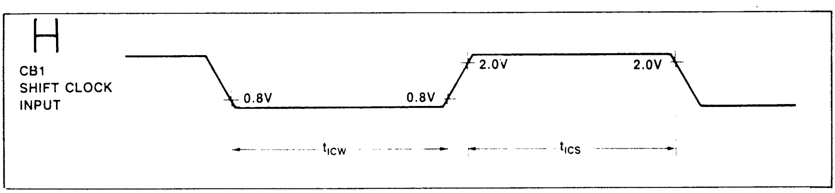
Abb. 97: Zeitdiagramme der VIA 6522

Rockwell

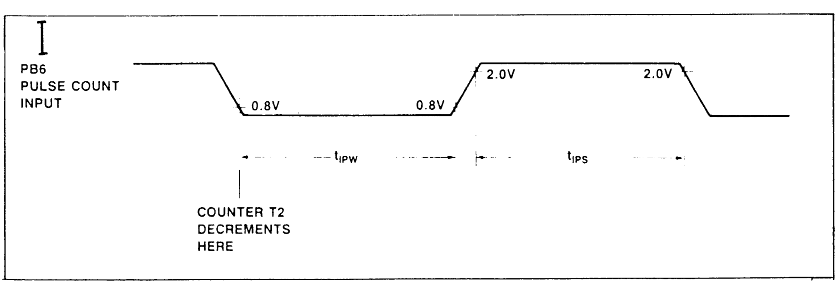
R6522
VERSATILE INTERFACE
ADAPTER (VIA)



Timing for Shift in with Internal or External Shift Clocking



External Shift Clock Timing



Pulse Count Input Timing

Abb. 98: Zeitdiagramme der VIA 6522

12.1 Aufbau einer VIA-Karte

Nachdem Sie einiges über die Funktionsweise der VIA erfahren haben, wird in diesem Kapitel eine VIA-Karte an den Rechner angeschlossen. Da dieser IC innerhalb der 65xx-Serie liegt, ist der Hardwareanschluß ohne Probleme. Die Abbildung 99 zeigt Ihnen den Schaltplan der VIA-Karte. Der Datenbus D7-D0 und die Steueranschlüsse Reset, R/-W sowie die Register-Select-Anschlüsse A3-A0 sind direkt mit dem Rechner verbunden. Über die letztgenannten werden die zu adressierenden Register durch die entsprechende Binärkombination direkt ausgewählt. Der Taktanschluß der VIA ist, um das richtige Zeitverhalten zu gewährleisten, mit dem Anschluß "Takt-Synchron" verbunden. Dieses Signal wird auf der I/O-Adapterkarte des Kapitels 6.1 erzeugt.

Der Chip-Select-Eingang der VIA, Pin 23 ist mit den Slot-Select-Pins der I/O-Adapterkarte verbunden. Bei der Adressierung der VIA-Karte muß in jedem Fall sichergestellt sein, daß nur ein einziger DIL-Schalter aktiviert ist, der dann den entsprechenden Adreßbereich selektiert. Beachten Sie hierzu die Tabelle der Abbildung 100. Je nachdem welchen DIL-Schalter Sie mit "ON" aktivieren, selektieren Sie einen bestimmten Adreßbereich. Die Tabelle gibt Ihnen einen direkten Überblick für alle Register der VIA und den dazugehörigen Slot-Select-Signalen in hexadezimaler Schreibweise.

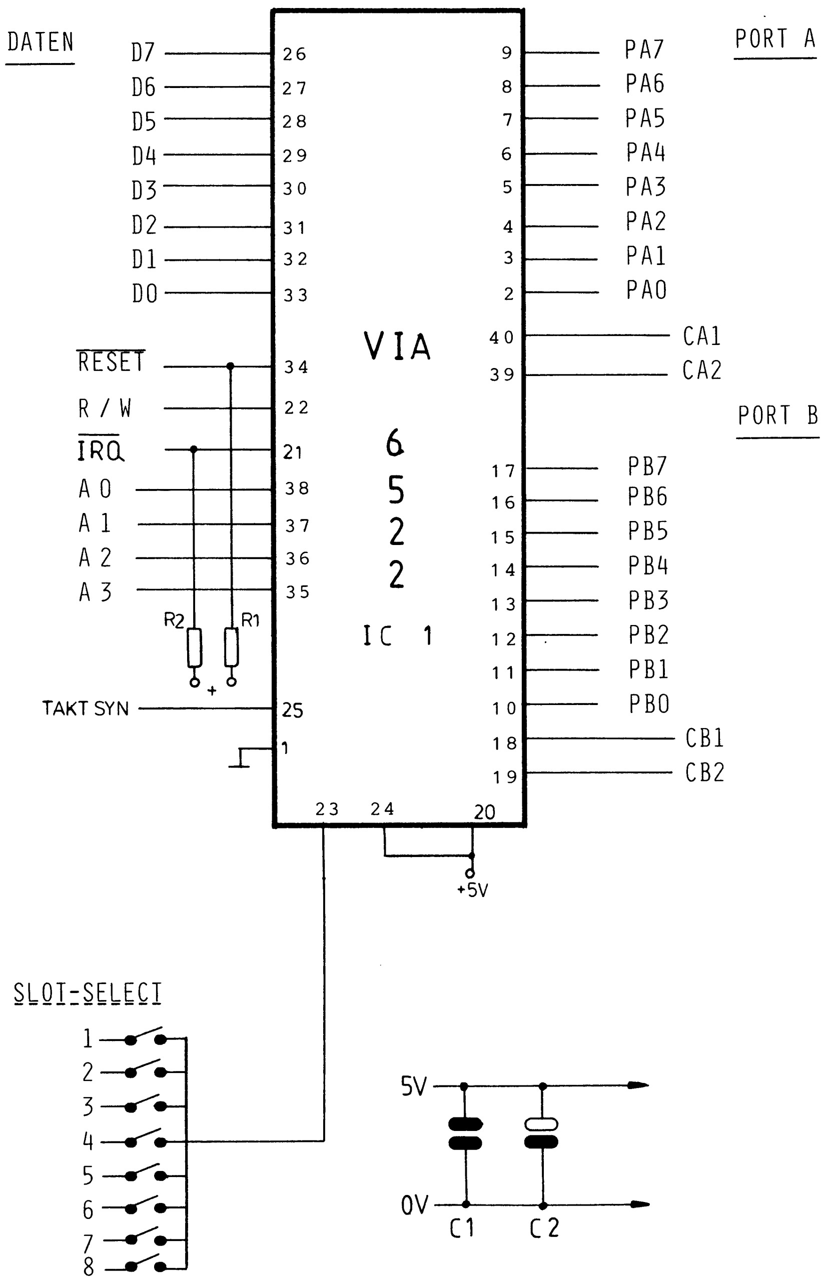


Abb. 99: Schaltplan der VIA-Karte

VIA 6522 REGISTERADRESSEN

DIL-SCHALTER ON, NR:	SELEKTIERTER ADRESSBEREICH	Registeradressen der VIA in hex.															
		NR.0 ORB	NR.1 ORA	NR.2 DDRB	NR.3 DDRA	NR.4 T1CL	NR.5 T1CH	NR.6 T1LL	NR.7 T1LH	NR.8 T2CL	NR.9 T2CH	NR.10 SR	NR.11 ACR	NR.12 PCR	NR.13 IFR	NR.14 IER	NR.15 ORA
1	DE00 - DE0F	DE00	DE01	DE02	DE03	DE04	DE05	DE06	DE07	DE08	DE09	DE0A	DE0B	DE0C	DE0D	DE0E	DE0F
2	DE10 - DE1F	DE10	DE11	DE12	DE13	DE14	DE15	DE16	DE17	DE18	DE19	DE1A	DE1B	DE1C	DE1D	DE1E	DE1F
3	DE20 - DE2F	DE20	DE21	DE22	DE23	DE24	DE25	DE26	DE27	DE28	DE29	DE2A	DE2B	DE2C	DE2D	DE2E	DE2F
4	DE30 - DE3F	DE30	DE31	DE32	DE33	DE34	DE35	DE36	DE37	DE38	DE39	DE3A	DE3B	DE3C	DE3D	DE3E	DE3F
5	DE40 - DE4F	DE40	DE41	DE42	DE43	DE44	DE45	DE46	DE47	DE48	DE49	DE4A	DE4B	DE4C	DE4D	DE4E	DE4F
6	DE50 - DE5F	DE50	DE51	DE52	DE53	DE54	DE55	DE56	DE57	DE58	DE59	DE5A	DE5B	DE5C	DE5D	DE5E	DE5F
7	DE60 - DE6F	DE60	DE61	DE62	DE63	DE64	DE65	DE66	DE67	DE68	DE69	DE6A	DE6B	DE6C	DE6D	DE6E	DE6F
8	DE70 - DE7F	DE70	DE71	DE72	DE73	DE74	DE75	DE76	DE77	DE78	DE79	DE7A	DE7B	DE7C	DE7D	DE7E	DE7F

Abb. 100: Registeradressen der VIA 6522

Das Platinenlayout der VIA-Karte zeigt Ihnen die Abbildung 101, den dazugehörigen Bestückungsplan die Abbildung 102. Der Aufbau ist problemlos, da nur wenige Bauelemente benötigt werden.

Bauteile:

IC 1	=	6522 VIA-Baustein (Hersteller ROCKWELL)
C 1	=	100-470 nF
C 2	=	Elko 10-100 uF/12 Volt liegend
R1-2	=	4,7 k
S 1	=	DIL-Schalter 8-fach
X 1	=	Steckerleiste VG, a+c, gewinkelt, 2x32-polig
X 2,3	=	Lötstifte oder 2x12 polige Steckleiste 2,54 mm Raster

Die VIA-Karte ist so ausgelegt, daß sie sowohl mit der Versorgungsspannung des Rechners, als auch mit der Netzteilkarte betrieben werden kann. In jedem Fall ist hierzu eine entsprechende Drahtbrücke erforderlich, die auf dem Bestükkungsplan mit 5 Volt einerseits und "extern" bzw. "intern" andererseits markiert ist:

Brücke 5V -- extern: VIA-Karte läuft mit der Netzteilkarte
Brücke 5V -- intern: VIA-Karte läuft mit Rechnerspannung.

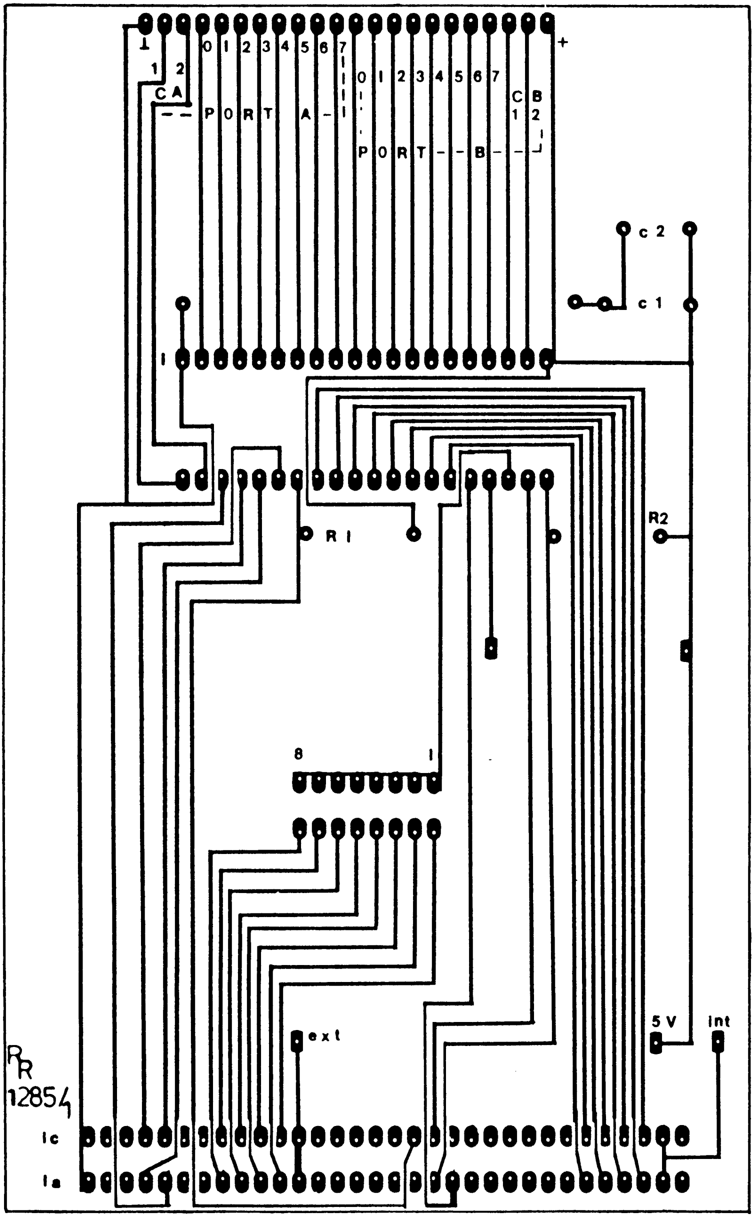


Abb. 101: Platinenlayout der VIA-Karte

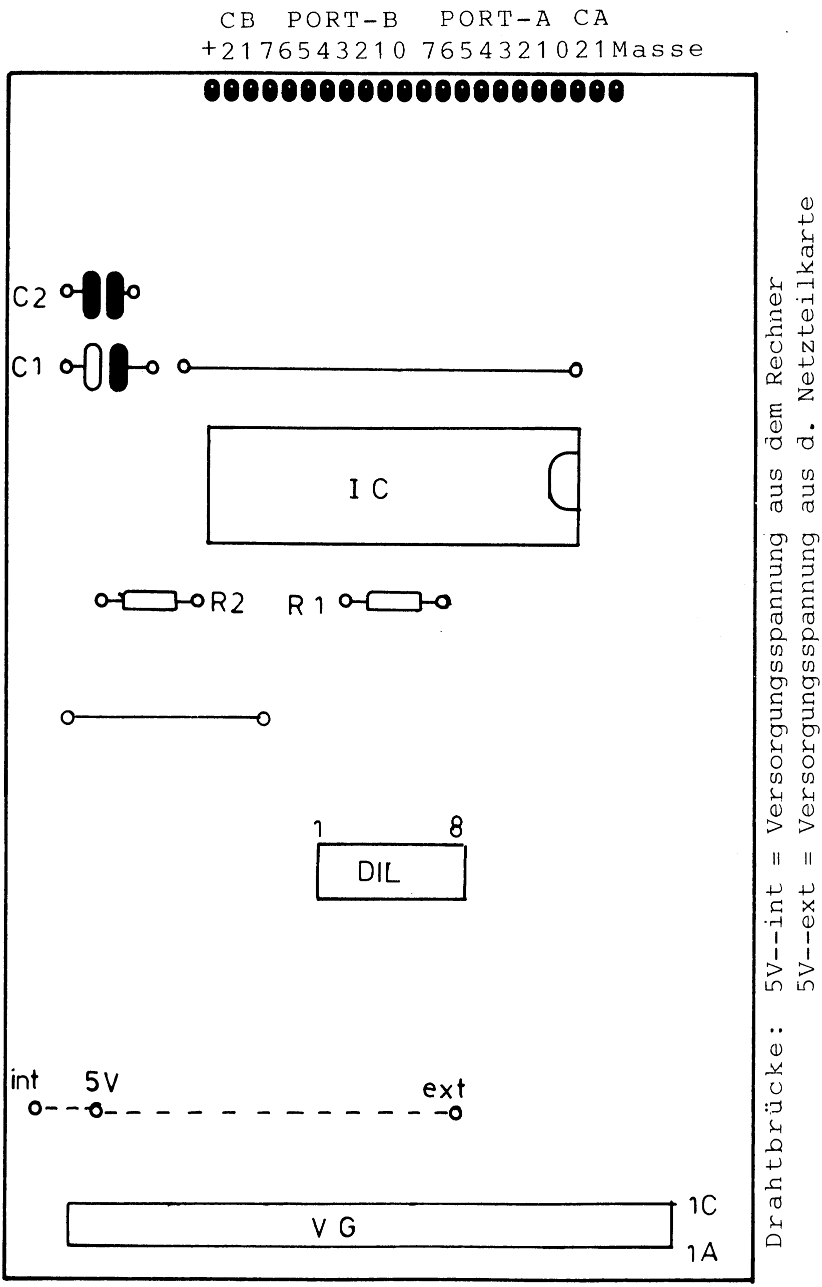


Abb. 102: Bestückungsplan der VIA-Karte

12.2 Aufbau einer doppelten VIA-Karte

Ähnlich wie bei der 8255-PIO beschäftigt sich dieses Kapitel mit dem Aufbau einer doppelten VIA-Karte und der Möglichkeit, diese noch zusätzlich zu erweitern. Der Schaltplan in der Abbildung 103 zeigt zwei parallelgeschaltete VIAs. Jeder der beiden Schaltkreise kann über vier Adreßbereiche ausgewählt werden:

IC 1 (VIA-1)	Adreßbereich SS1-SS4	56832-56895
IC 2 (VIA-2)	Adreßbereich SS5-SS8	56896-56959

Selbstverständlich darf je VIA nur ein einziger DIL-Schalter aktiviert sein. Die Schaltung ist auf einer doppelseitigen EURO-Platine aufgebaut, deren Lötseite Sie in der Abbildung 104 und die Bestückungsseite in der Abbildung 105 wiederfinden. Den Bestückungsplan zeigt Ihnen die Abbildung 106.

Die Programmierung der VIA ist nicht sehr kompliziert. Man muß nur daran denken, zuerst das entsprechende Datenrichtungsregister zu füllen.

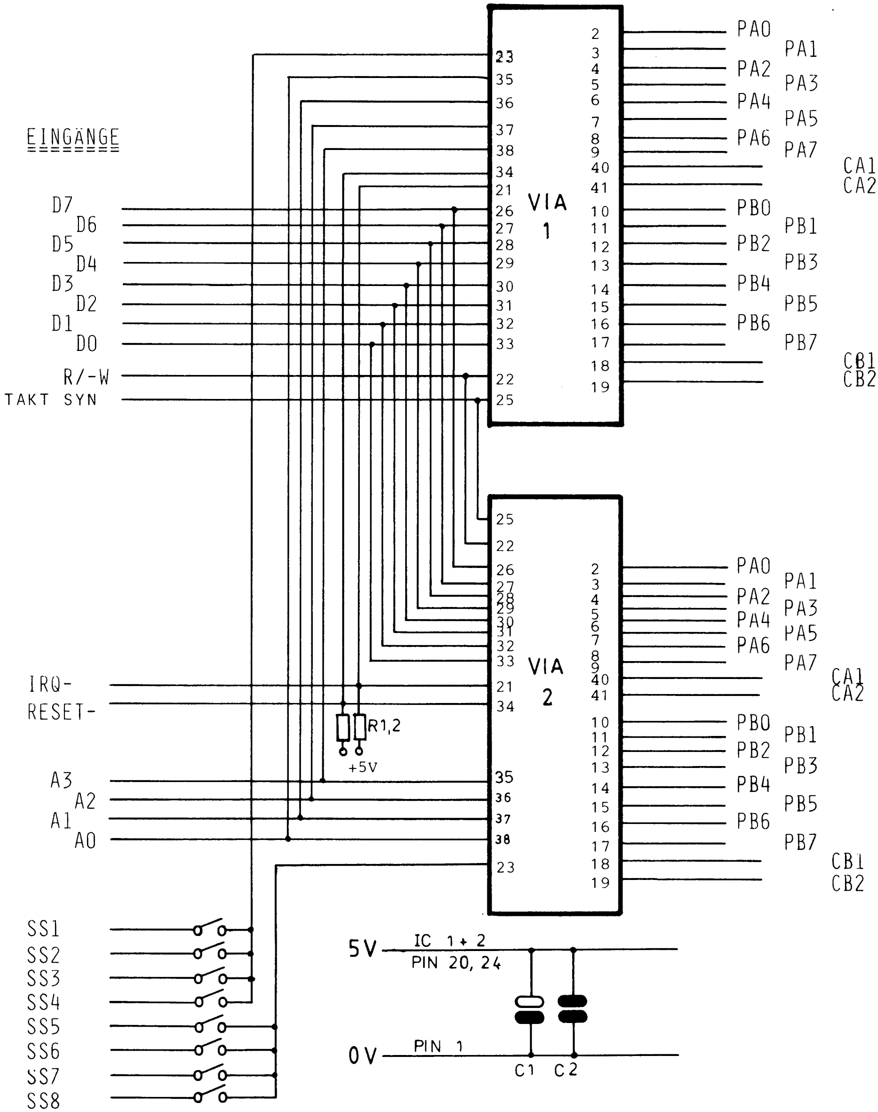


Abb. 103: Schaltplan der 2-fach VIA-Karte

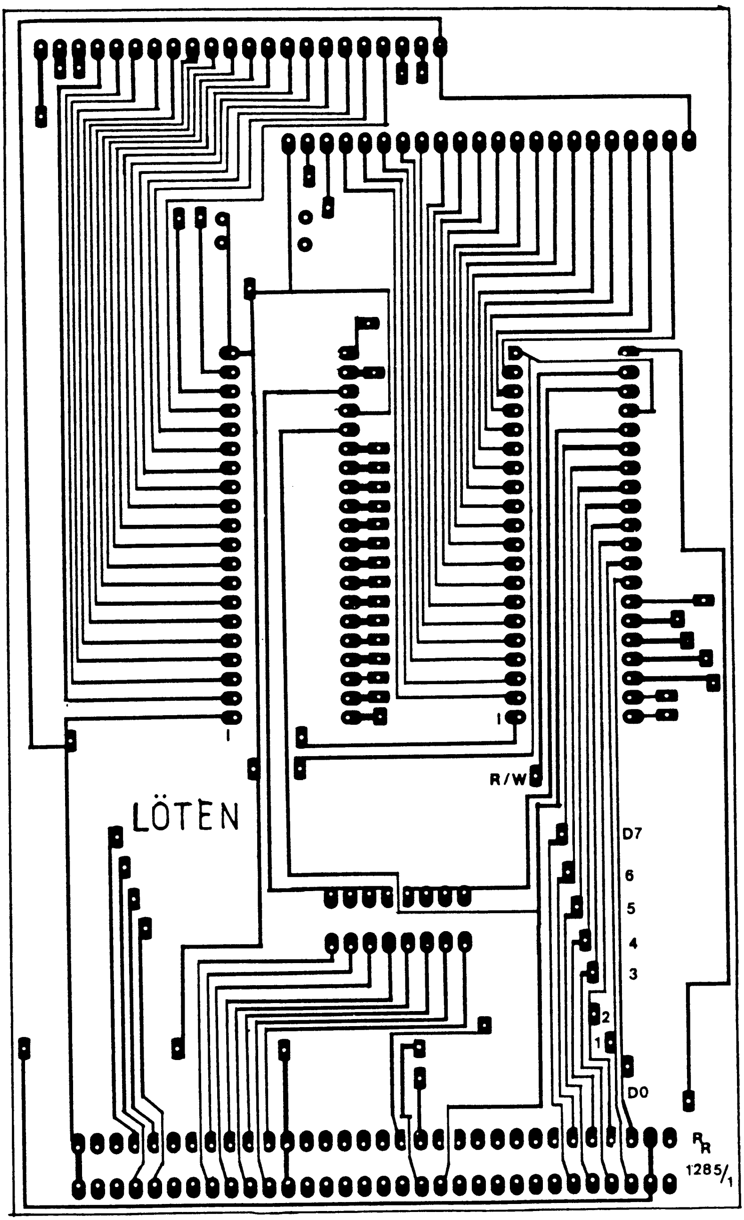


Abb. 104: Platinenlayout "Lötseite" der doppelten VIA-Karte

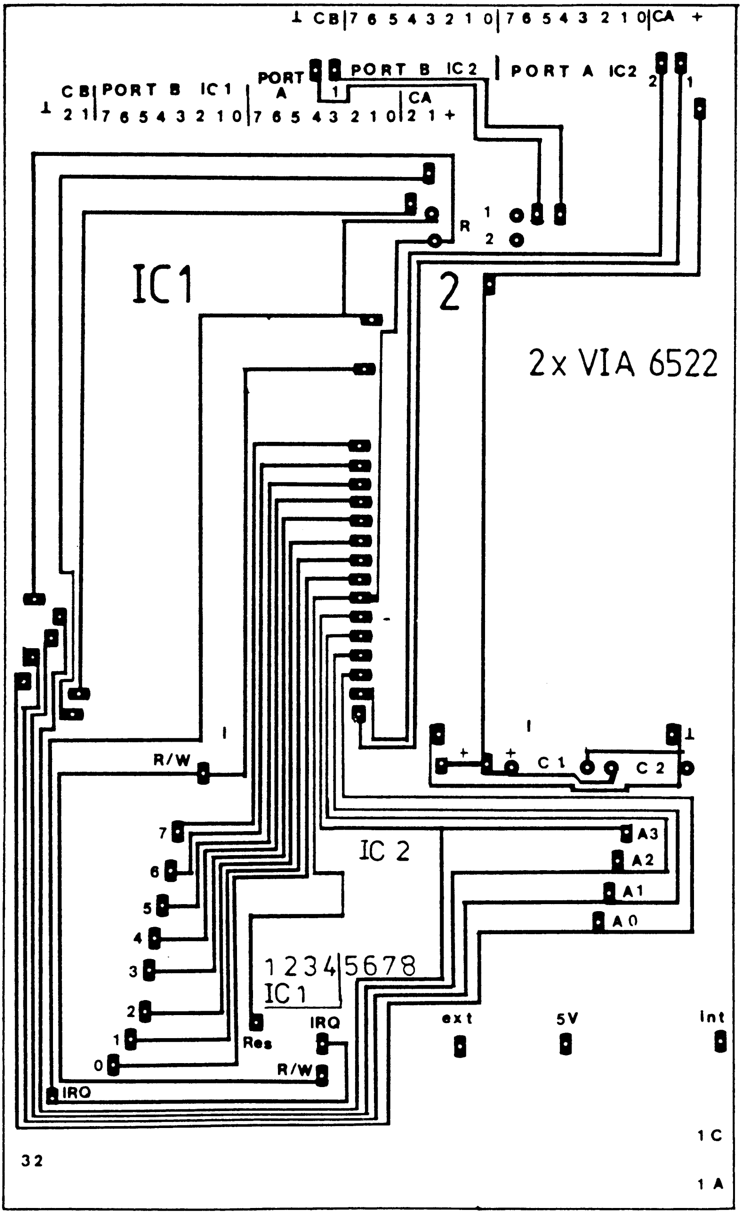


Abb. 105:
Platinenlayout "Bestückungsseite" der doppelten VIA-Karte

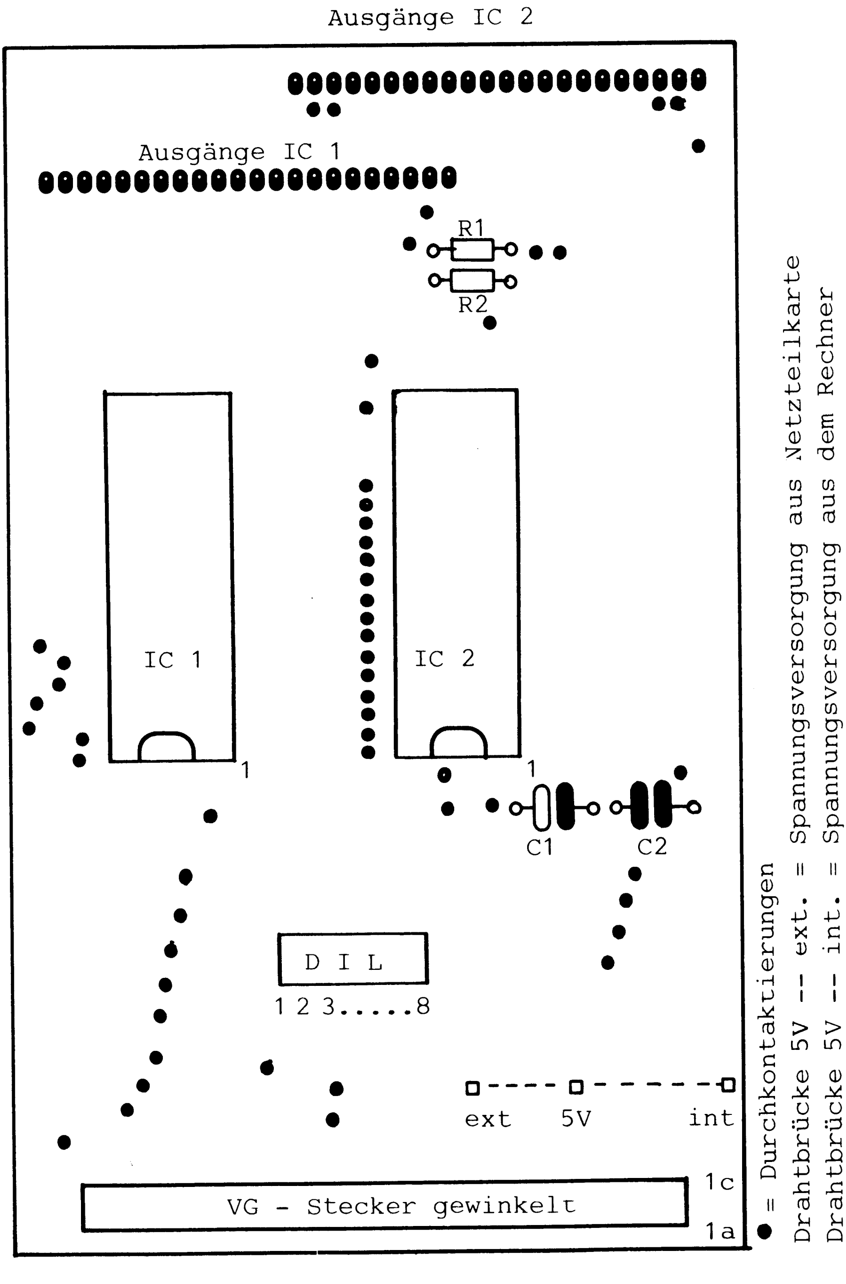


Abb. 106: Bestückungsplan der 2-fach VIA-Karte

Im folgenden Beispiel soll der Port A als Ausgang definiert werden. Die VIA arbeitet mit dem SS-1 Signal, d.h. sie belegt die Adressen 56832-56847:

POKE 56835,255	Datenrichtungsregister A auf Ausgabe
POKE 56847,128	Ausgaberegister 15 angewählt, Bit 7, Port A auf "1" gesetzt
POKE 56847,0	alle Bits Port A auf Null
POKE 56847,255	alle Bits Port A auf Eins

Soll der Port A unter den gleichen Bedingungen als Eingabe definiert werden, so geschieht dies wie folgt:

POKE 56835,0	Datenrichtungsregister A auf Eingabe
PEEK(56847)	Einlesen der anliegenden Daten

Bei der Dateneingabe ist noch grundsätzlich folgendes zu beachten: Ein offener Eingang wird, so wie die Schaltung aufgebaut wurde, als H-Pegel, d.h. log. 1 definiert. Ohne Zusatzmaßnahmen würden Sie immer den Wert 255 angezeigt bekommen. Im Eingabemodus ist es daher notwendig, daß an alle Datenleitungen ein Pull-down Widerstand von jeweils ca. 4,7 k an Masse gelegt wird, damit die nicht angesprochenen Datenleitungen auch L-Pegel, log. 0, aufweisen. Zu dem Verfahren der Pulldown Widerstände lesen Sie sich bitte den entsprechenden Abschnitt im Kapitel 7 durch.

Bei der seriellen Datenausgabe durch das Schieberegister sind noch zwei zusätzliche Befehle notwendig:

POKE 56843,0	ACR-Register auf Null setzen
POKE 56843,18	Im ACR Register werden die Bits 4,3,2 gesetzt, damit durch O2 getaktet wird.

Das Steuerprogramm der seriellen Datenausgabe würde in Assembler wie folgt aussehen:

LDA $00	Löschen Schieberegister
STA ACR	
LDA $18	Setze Bits 4,3,2 des Schieberegisters
STA ACR	
LDA $20	Daten aus dem Speicher $20 und
STA ACR	in das Schieberegister übertragen. Die Ausgabe erfolgt dann automatisch.

Wenn nun mehrere Datenblöcke übertragen werden sollten, ist anschließend eine Zeitschleife erforderlich, und zwar so lange, bis das Bit 2 des Interrupt-Flag-Registers gesetzt ist. Danach kann die weitere Ausgabe erfolgen.

Da die VIA bereits vier Adressen zur Registeradreßierung benötigt, ist ein Ausbau mit mehreren solcher Schaltkreise nicht ohne weiteres möglich, da auf dem I/O-Bus zur Chip-Select-Auswahl sonst keine weiteren Adressen anliegen.

Für diejenigen, die dennoch auf einen Ausbau nicht verzichten möchten, ist in der Abbildung 107 eine Möglichkeit, bis zu 8 VIA-Karten zu betreiben, vorgestellt.

Zum Adressieren des Decoderbausteins 74LS138 werden die Adressen A8, A9 und A10 herangezogen. Diese Adreßleitungen sind dann direkt am Rechnerbus zu entnehmen. Die Freigabebedingung wird wiederum durch eines der ausgewählten Slot-Select-Signale erreicht. Selbstverständlich ist eine Adressierung des 74LS138 auch mit den Adressen A2, A1 und A0 möglich, dann muß die Registerauswahl mit den Adressen A8-A11 erfolgen.

Alle im Schaltplan unten eingezeichneten Signale, Datenbus und die übrigen Steuersignale liegen parallel an allen VIAs an. Die Abbildung 108 zeigt Ihnen zum Abschluß des Kapitels einen Musteraufbau der doppelten VIA-Karte.

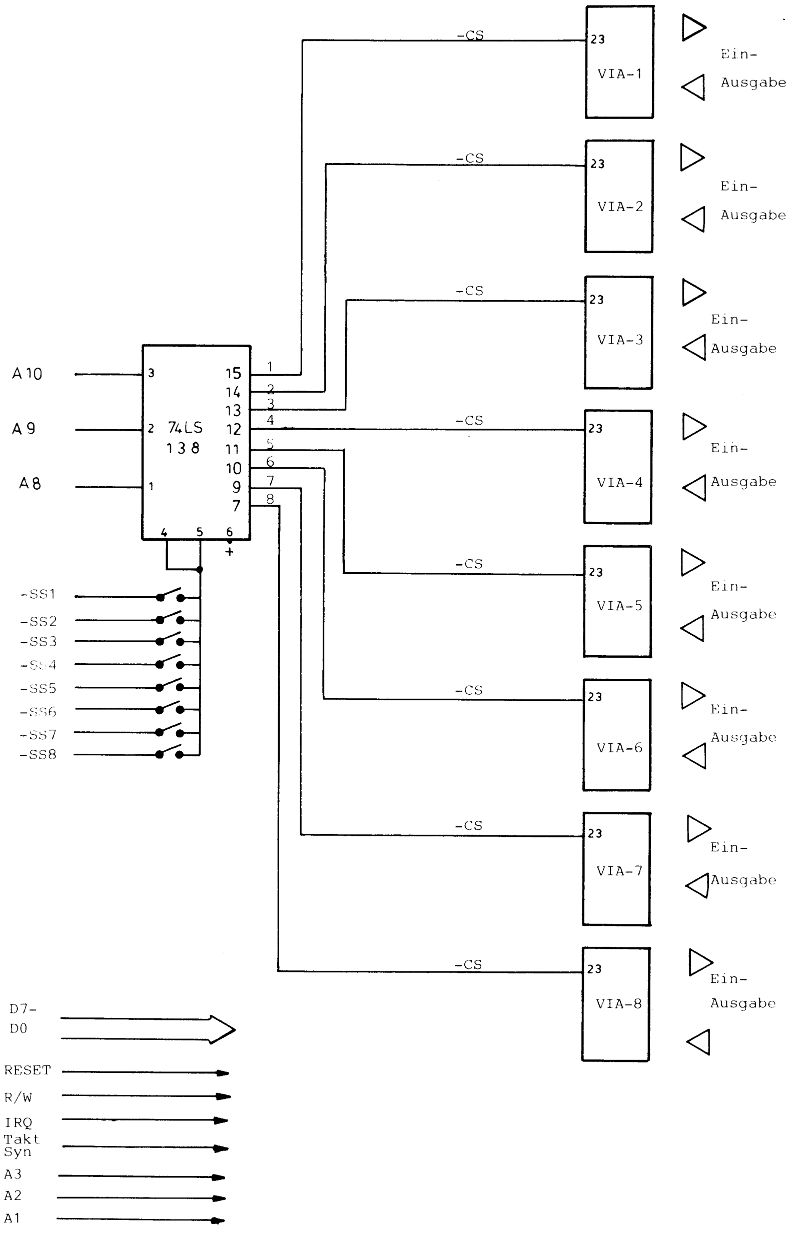


Abb. 107: Anschlußmöglichkeit von acht VIA-ICs

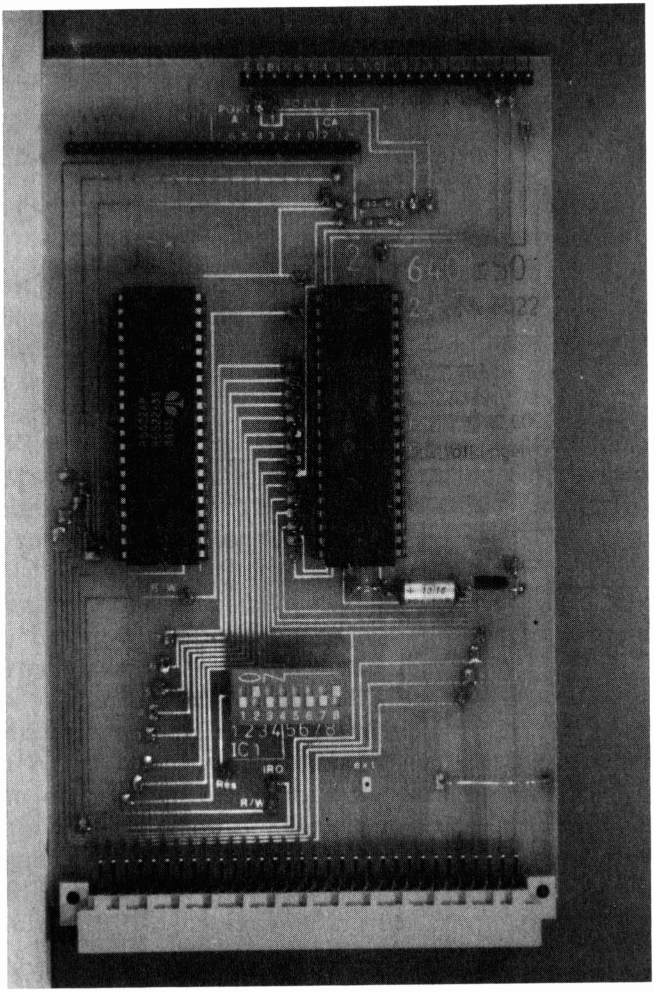


Abb. 108: Musteraufbau der doppelten VIA-Karte

13. 220-Volt-Schalteinheiten

Im folgenden Kapitel geht es darum, Verbraucher sicher mit dem Rechner anzusteuern. Hierbei treten besondere Probleme auf, wenn es sich um netzbetriebene Geräte handelt. Bei denen in diesem Abschnitt vorgestellten Schaltungen handelt es sich ausschließlich um sogenannte Nullspannungsschalter.

Zu Ihrer eigenen Sicherheit sollten Sie keine anderen, direkt am Netz oder mangelhaft geschützte Schaltungen verwenden, auch wenn sie bedingt durch die geringere Anzahl von Bauelementen auf den ersten Blick preisgünstiger erscheinen.

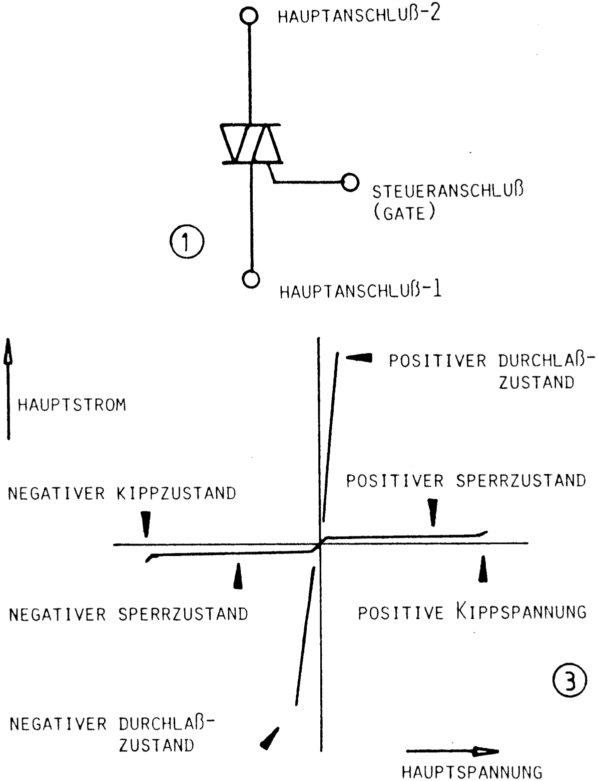
Denken Sie stets daran, daß die Leistungsteile mit 220 V Netzspannung arbeiten, beachten Sie die einschlägigen VDE-Vorschriften und hantieren Sie nie an der Schaltung, solange der Netzstecker nicht herausgezogen ist.

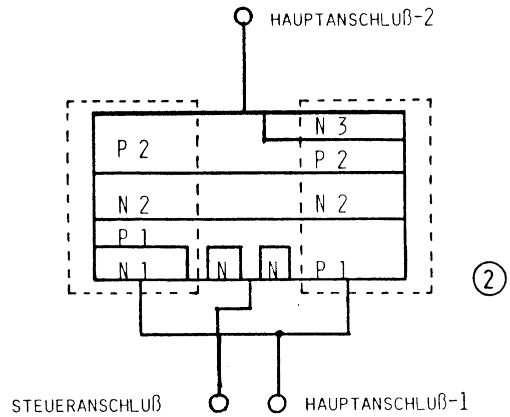
Zum Einbau empfiehlt sich in jedem Fall ein geeignetes Kunststoffgehäuse, welches Sie ausgangsseitig mit einer Einbausteckdose ausstatten sollten. Für die Zuführung der Steuersignale können Sie eine Diodenbuchse verwenden.

Die 220-Volt-Schalteinheiten arbeiten mit TRIACS, die direkt den Verbraucher schalten. Um ein besseres Verständnis für die Funktionsweise zu erreichen, wollen wir uns kurz mit dem Aufbau und der Arbeitsweise des Triacs beschäftigen.

13.1 Aufbau und Arbeitsweise eines Triacs

Der Triac ist eine Zweirichtungs-Thyristordiode und wurde zur besseren Wirtschaftlichkeit aus dem Thyristor entwickelt. Er besitzt nur eine Steuerelektrode (Gate), über die er in beiden Stromrichtungen gezündet werden kann. Die beiden Anschlüsse, die den Laststrom führen, werden Hauptanschluß 1 und Hauptanschluß 2 (H1 und H2) genannt, wobei festgelegt wurde, daß der Gate-Anschluß neben dem Hauptanschluß 1 liegt. Das allgemeine Symbol eines Triacs ist in der Abbildung 109-1 dargestellt.





QUADRANT	HAUPTANSCHLUß-2	GATE
I	+	+
II	+	-
III	-	-
IV	-	+

(DIE POLARITÄTSANGABEN SIND AUF DEN HAUPTANSCHLUß-1 BEZOGEN)

4

Abb. 109: Triac

Die Wirkungsweise eines Triacs läßt sich mit zwei Thyristorkristallen darstellen, bei denen einer anodenseitig und der andere kathodenseitig angesteuert wird, so wie es die schematische Abbildung 109-2 zeigt. Da der eine Kristall mit der Anode, der andere mit der Kathode angesteuert ist, reicht ein Steueranschluß (Gate) zum Zünden aus. In beiden Richtungen fließt der Hauptstrom durch die Folge "PNPN" vier Halbleiterschichten. Ist der Hauptanschluß 2 positiv, so fließt der Hauptstrom von dem Anschluß 2 (P2) über die Schicht N2 und P1 zum Anschluß 1 (N1). Ist dagegen der Hauptanschluß 2 negativ, so fließt der Hauptstrom vom Anschluß 1 (P1) über N2 und P2 zum Hauptanschluß 2 (N3), d.h. der anodenseitige Thyristor wird gezündet, während im ersten Fall der kathodenseitige Thyristor gezündet wird.

Zur besseren Kennzeichnung beim Zünden des Triacs spricht man von vier Quadranten, innerhalb derer sich die Polarität von Hauptspannung und benötigter Steuerspannung abspielt. Dieses ist in der Abbildung 109-3 und 4 dargestellt. Beachten Sie, daß die Emfindlichkeit des Gates in den vier Quadranten unterschiedlich ist und vergewissern Sie sich in Grenzfällen aus den Herstellerangaben.

Will man nun mit einem Triac induktive Lasten schalten, muß man besondere Vorsichtsmaßnahmen treffen. Da Triacs in beiden Halbwellen der Netzspannung gezündet werden können, ist nach dem Nulldurchgang des Stromes an den Hauptanschlüssen die Spannung stets in Schaltrichtung gepolt. Hierdurch kann es vorkommen, daß der Triac bei zu schnellem Anstieg dieser Spannung zündet und die Schaltung verliert ihre Steuerfähigkeit. Für diesen Fall sind die Herstellerangaben über die kritische Spannungssteilheit maßgeblich. Bei höheren Spannungen sollte der Triac durch ein RC-Glied geschützt werden, so wie es auch in den folgenden Schaltungen gezeigt ist.

Nun soviel zur Theorie des Triacs, im weiteren Verlauf des Kapitels 13 werden Ihnen Leistungsteile vorgestellt werden, die im Nulldurchgang arbeiten. Alle Schaltungen sind nach dem gleichen Prinzip aufgebaut, der jeweilige Einsatz ist hauptsächlich von der besseren Beschaffung der ICs abhängig.

13.2 Leistungsteil mit dem CA 3059

Die Firma RCA stellt mit den Typen CA 3058, CA 3059 und CA 3079 Nullspannungsschalter her, die in der Lage sind, Triacs ausschließlich im Nulldurchgang der Wechselstromkurve zu zünden und so ein störungssicheres Arbeiten zu gewährleisten. Der interne Aufbau des CA 3059 ist als Blockschaltbild in der Abbildung 110 dargestellt. Das Schaltbild dieses Leistungsteils sehen Sie in der Abbildung 111. Die gesamte Schaltung wird direkt am Netz betrieben, der integrierte Schaltkreis erhält seine Versorgungsspannung über den Begrenzungswiderstand R4. Intern sorgen die beiden Dioden D1 und D2, daß die Spannung auf ca. +/- 8 Volt gehalten wird. Die Dioden D7 und D8 arbeiten dagegen als Einweggleichrichtung, dadurch steht am Siebkondensator C1 eine Spannung von ca. 6,6 Volt an. Als Nullspannungsdetektor arbeitet der Transistor Q1 und der Brückengleichrichter D3-D6. Überschreitet die Spannung am Anschluß-5 3 Volt, so wird der interne Transistor Q1 durchgeschaltet. Die Gateansteuerung des Triacs erfolgt über die Darlingtonstufe Q8 und Q9 am Anschluß 4.

Nur wenn der Transistor Q7 gesperrt ist, kann der Triac gezündet werden. Ist Q1 durchgeschaltet, so sperrt Q6 und der Transistor Q7 wird über R7 bis zur Sättigung durchgesteuert. Dann steht nämlich am Pin 4 kein Steuersignal für den Triac an. Das Zünden des Triacs kann somit nur dann erfolgen, wenn die Spannung am Anschluß 5 unter 3 Volt bleibt. Das Triggersignal steht in Form eines kurzen Impulses zur Verfügung, dessen Mitte gerade mit dem Nulldurchgang der Netzspannung zusammenfällt. Der erforderliche Strom des Zündimpulses wird durch den Siebkondensator C1 geliefert. Weiterhin enthält der CA 3059 einen Differenzverstärker, der aus den Transistoren Q2-Q5 gebildet wird und für zusätzliche Anwendungen zur Verfügung steht.

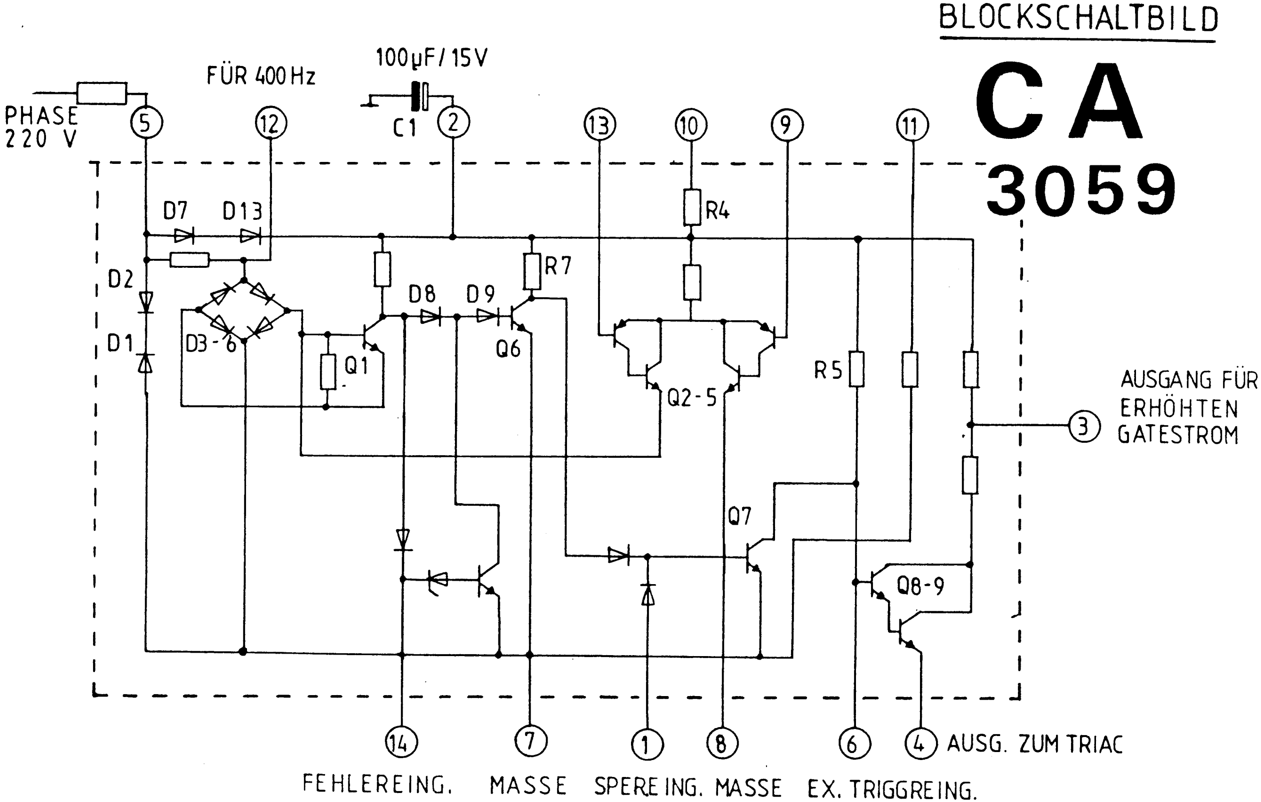


Abb. 110: Blockschaltbild CA 3059

Das Widerstandsnetzwerk R4 und R5 ist von außen her zugänglich, damit man hierüber einen Zweig der Versorgungsspannung für den Differenzverstärker erzeugen kann. Weiterhin ist bemerkenswert, daß der CA 3059 über einen Sperreingang, Pin 1, verfügt. Die Sperrung tritt ein, wenn die Spannung am Pin 9 gegenüber dem Pin 13 positiv wird, oder wenn ein externes Signal am Pin 1 anliegt. In diesem Fall wird nämlich Q1 von Q4 durchgeschaltet und der Triggerausgang, Pin 4, wird gesperrt. Wie schon erwähnt, wird das Triggersignal durch den Siebkondensator C1 geliefert. Durch den Kondensator C3 wird eine geringe Phasenverschiebung am Anschlußpunkt 5 erreicht.

Hierdurch wird gewährleistet, daß der Zündimpuls kurz nach dem Nulldurchgang der Netzspannung erscheint. Diese Maßnahme ist äußerst wichtig, da es andernfalls zu Fehlzündungen des Triacs kommen kann, denn beim Eintreffen des Zündimpulses ist die Spannung über dem Triac noch zu gering, um ein sicheres Durchschalten zu gewährleisten. Eine weitere Sicherheitsmaßnahme im Schaltplan der Abbildung 111 ist das RC-Glied R5/C2, das dazu dient, hochfrequente Störungen zu unterdrücken. Beachten Sie aber in diesem Zusammenhang, daß der Kondensator C2 mindestens eine Spannungsfestigkeit von 400 Volt aufweisen muß.

Der Optokoppler, IC 1, dient zur galvanischen Trennung zwischen Steuerteil und dem Leistungsteil. Dieser Optokoppler stellt nichts anderes dar, als eine in einem Gehäuse untergebrachte Leuchtdiode als Sender und einen Fototransistor als Empfänger. Die Isolationsspannung der gebräuchlichsten Optokoppler liegt bei ca. 5 kV. Bei einigen Typen ist die Empfängerseite als Fotodarlington ausgelegt, was zusätzlich noch eine wesentlich höhere Verstärkung bewirkt. Zur Ansteuerung bzw. allgemeinen Weiterverarbeitung der Signale sind hierbei die allgemeinen Bedingungen der Leuchtdioden bzw. der Fototransistoren maßgeblich.

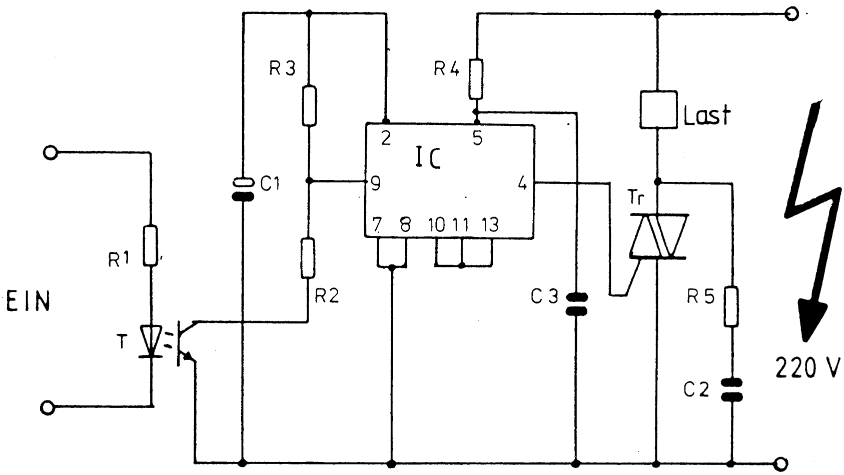


Abb. 111: 220 Volt Leistungsteil mit dem CA 3059

Bauteile:

IC	=	CA 3059 (RCA)
R 1	=	470 Ohm
R 2	=	4,7 k
R 3	=	10 k
R 4	=	22 k/5 Watt
R 5	=	100 Ohm
C 1	=	Elko 100 uF/16 V
C 2	=	100 nF/mindestens 400 V
C 3	=	10 nF
Tr	=	Triac TO 220 Gehäuse 400 V/4-8 A
T	=	Optokoppler (z.B. TIL 111)

Aufbauhinweise

Das Platinenlayout dieses Leistungsteils ist Ihnen in der Abbildung 112 wiedergegeben, den dazugehörigen Bestückungsplan in der Abbildung 113. Verwenden Sie für den CA 3059 in jedem Fall eine 14-polige Fassung, da es sich hierbei um einen CMOS-Typ handelt. Für den Begrenzungswiderstand R4 sind mehrere Bohrungen vorgesehen, je nachdem welche Bauform Sie verwenden. Zur besseren Wärmeabführung sollten Sie diesen Widerstand in einem Abstand von mindestens 5 mm über der Platine montieren. Der Triac sollte ebenfalls mit einem entsprechenden Kühlkörper versehen werden.

Beachten Sie, daß die gesamte Schaltung einschließlich des Kühlkörpers am 220-Volt-Netz liegt!

Für die Anschlußpunkte "220 Volt" sowie "Last" verwenden Sie Print-Schraubanschlüsse. Das Foto der Abbildung 114 zeigt Ihnen den Musteraufbau dieses Leistungsteils.

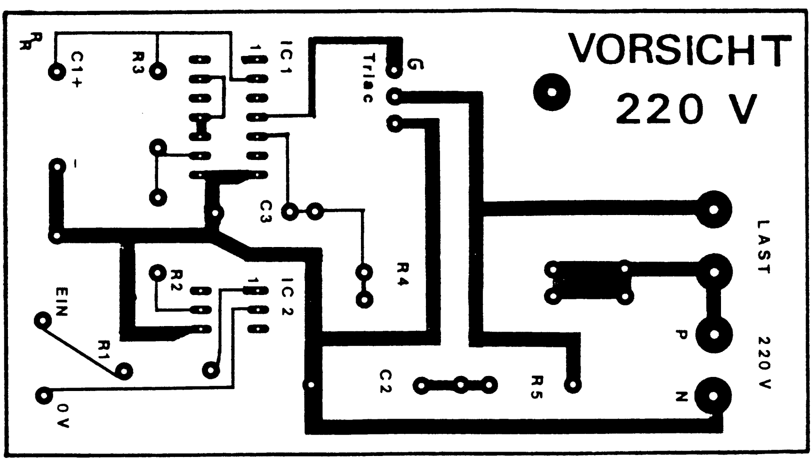


Abb. 112: Platinenlayout für das Leistungsteil mit dem CA 3059

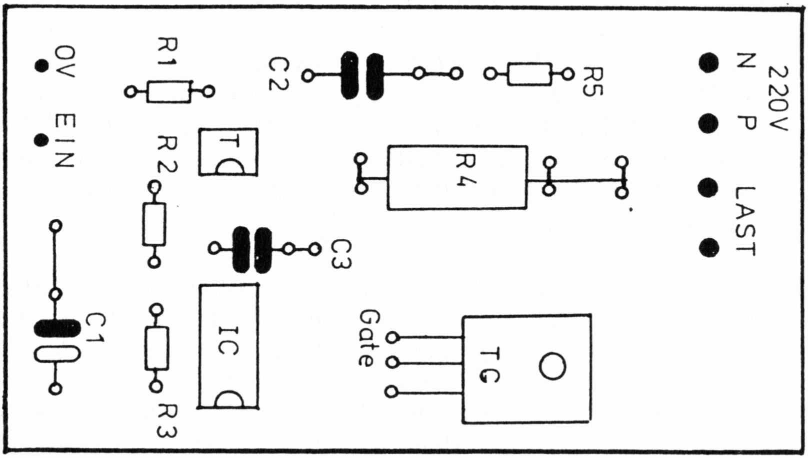


Abb. 113:
Bestückungsplan für das Leistungsteil mit dem CA 3059

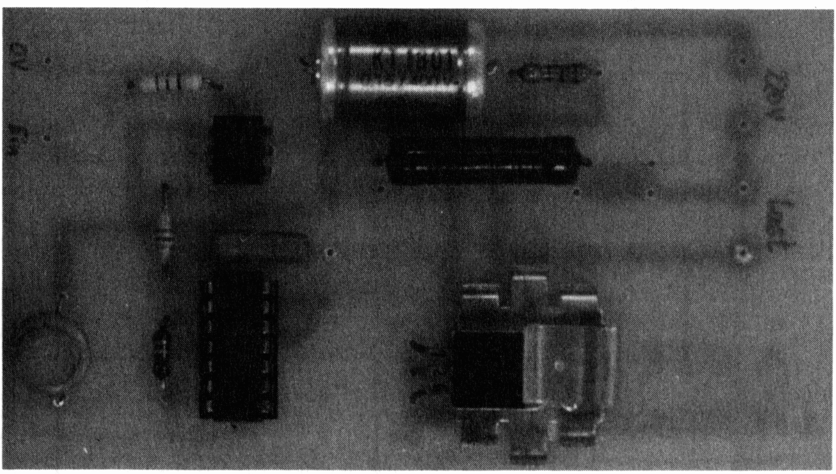


Abb. 114: 220 Volt Interface mit dem CA 3059

13.3 Leistungsteil mit dem TDA 1024

Da verschiedentlich Beschaffungsschwierigkeiten mit dem CA 3059 auftreten können, wird hier ein weiteres Leistungsteil mit dem TDA 1024 von VALVO vorgestellt. Dieser IC, dessen Blockschaltbild Sie in der Abbildung 115 sehen, wird in einem 8-poligen DIL-Gehäuse gefertigt und unterscheidet sich in der Funktionsweise nur gering von dem CA 3059.

Der TDA 1024 erhält seine Versorgungsspannung ebenfalls direkt aus dem Wechselstromnetz über ein RC-Glied an den Anschluß 7. Die Ausgangsspannung an Pin 2 beträgt ca. 6 Volt. Im Gegensatz zum vorhergehenden Leistungsteil ist bei dieser Dimensionierung kein hochbelastbarer Begrenzungswiderstand erforderlich. Wie Sie aus dem Schaltplan der Abbildung 116 ersehen, bewirkt die RC-Kombination R9/C4 eine Phasenverschiebung, so daß die Verlustleistung relativ gering bleibt.

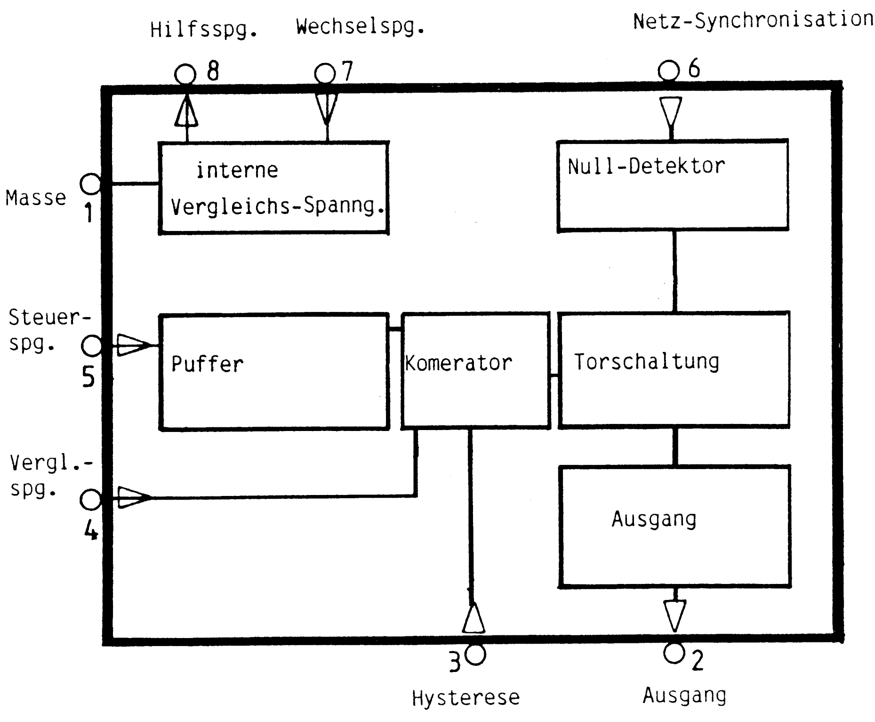


Abb. 115: TDA 1024 (Valvo)

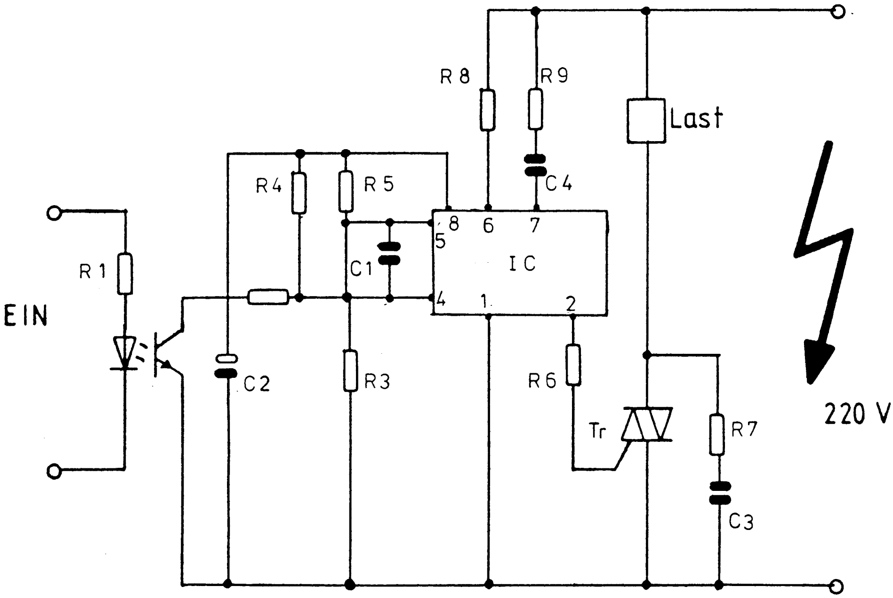


Abb. 116: Leistungsteil mit dem TDA 1024

<u>Bauteile:</u>

IC	=	TDA 1024 (Siemens)
R 1	=	470 Ohm
R 2	=	10 k
R 3-5	=	22 k
R 6	=	68 Ohm
R 7	=	100 Ohm
R 8	=	180 k
R 9	=	390 Ohm
C 1	=	100 nF
C 2	=	Elko 100 uF/16 V
C 3	=	100 nF/mindestens 400 V
C 4	=	220 nF/mindestens 400 V
Tr	=	Triac TO 220 Gehäuse 400 V/4-8 A
T	=	Optokoppler (z.B. TIL 111)

Die Zündimpulsbreite bestimmt der Widerstandswert von R8. Mit dem vorliegenden Wert von 180 kOhm ergibt sich eine Impulsbreite von ca. 150 usec. R8 sollte nicht über 680 kOhm liegen; in diesem Fall ist die maximale Impulsbreite von 650 usec erreicht. Unter Umständen müssen Sie den Wert von 180 kOhm auf etwa das doppelte vergrößern, wenn Sie am LAST-Anschluß nur eine 40 Watt Lampe betreiben. Durch die geringe Last wäre dann bei 150 usec kein sicheres Zünden mehr gewährleistet.

Als Optokoppler eignet sich jeder handelsübliche Typ. Die RC-Kombination R7/C3 soll Störimpulse unterdrücken. Beachten Sie, daß der Kondensator mindestens eine Spannungsfestigkeit von 400 Volt aufweisen muß, das gleiche gilt auch für den Kondensator C4.

Das Platinenlayout dieses Leistungsteils sehen Sie in der Abbildung 117, den dahörigen Bestückungsplan in der Abbildung 118. Die gesamte Schaltung muß so in ein Gehäuse eingebaut werden, daß jegliches unbeabsichtigtes Berühren ausgeschlossen ist; bedenken Sie, daß alle Bauteile 220 Volt Netzspannung führen können! Den Musteraufbau dieses Leistungsteils zeigt die Abbildung 119.

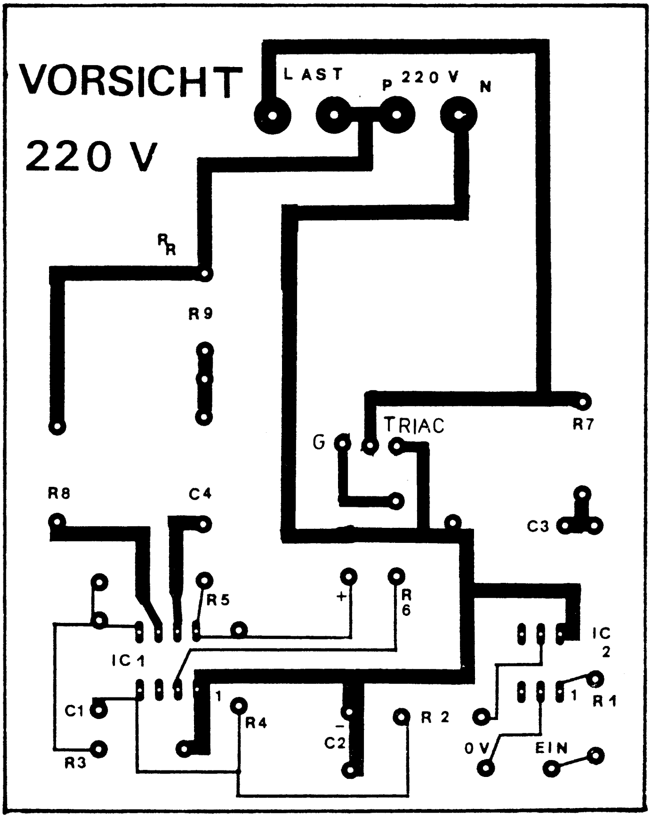


Abb. 117:
Platinenlayout für das Leistungsteil mit dem TDA 1024

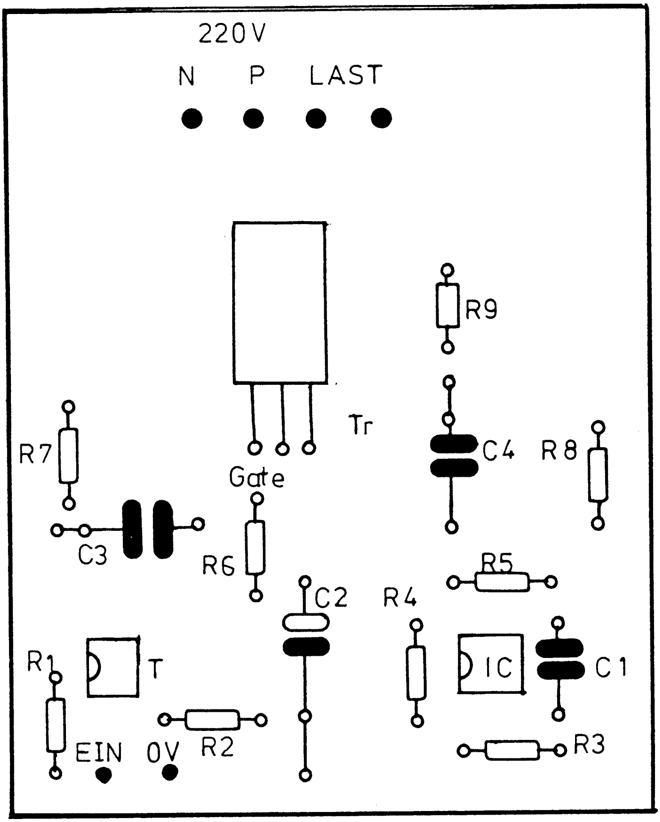


Abb. 118: Bestückungsplan zum Leistungsteil mit dem TDA 1024

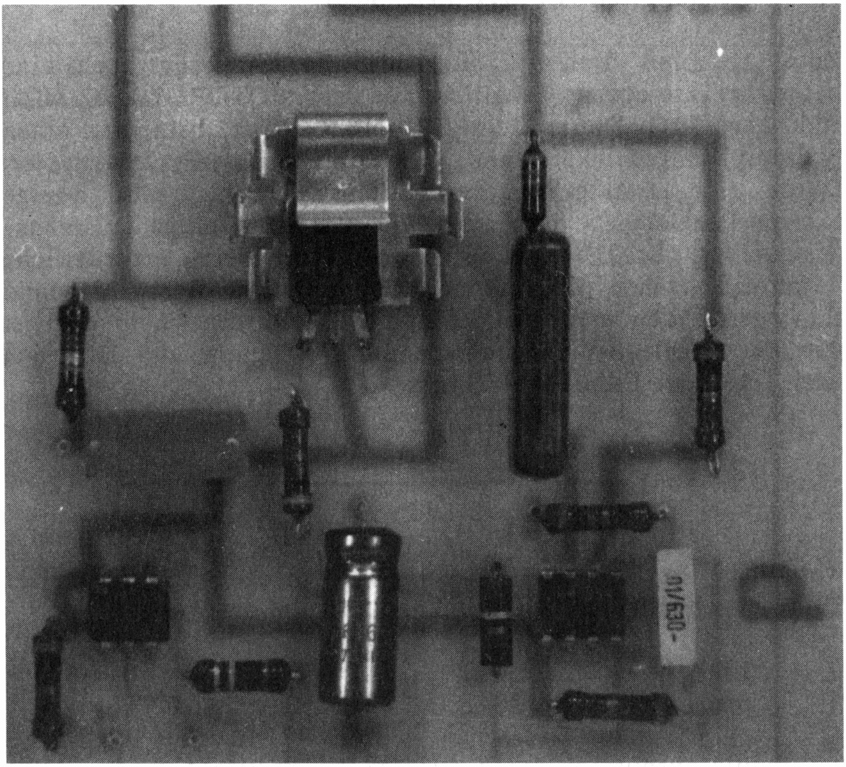


Abb. 119: 220 Volt Interface mit dem TDA 1024

13.4 Leistungsteil mit dem MOC 3040

Zum Abschluß dieses Kapitels der Leistungsteile noch eine besonders interessante Schaltung mit dem MOTOROLA IC MOC 3040 bzw. 3041. Dieser kleine 12-polige DIL-IC beinhaltet einen Nulldurchgangsdetektor und einen eingebauten Optokoppler. Durch eine direkte Triacansteuerung sind nur sehr wenige externe Bauelemente notwendig, um eine vollständige Leistungsansteuerung für 220 Volt aufzubauen. Das hierzu erforderliche Schaltbild ersehen Sie aus der Abbildung 120. Der Widerstand R1 begrenzt den zulässigen Strom des Schaltkreises. Sein Wert ist von der angelegten Eingangsspannung abhängig und läßt sich nach folgender Formel berechnen:

$$R1\ (\text{Ohm}) = \frac{(U_{ein} - 1{,}3) \times 1000}{\text{I-Led}}$$

wobei U_{ein} in Volt und I-Led in mA angegeben werden. Der Strom durch den internen Optokoppler sollte die Werte:

30 mA beim MOC 3040
15 mA beim MOC 3041

vollständig ausnutzen, damit ein sicheres Durchschalten erreicht wird. Für unsere Anwendung liegt der Wert für R1 bei 120 Ohm, da mit maximal 5 Volt gearbeitet wird.

Die Auswahl eines geeigneten Triacs hängt im wesentlichen nur von dem späteren Einsatzgebiet ab. Im Anhang finden Sie eine Aufstellung der unterschiedlichen Triacs.

Ein kleines Problem könnte in der Beschaffung dieses Schaltkreises entstehen. Hier müßten Sie bei größeren MOTOROLA-Distributoren nachfragen oder bei der im Bezugsquellenverzeichnis angegebenen Firma.

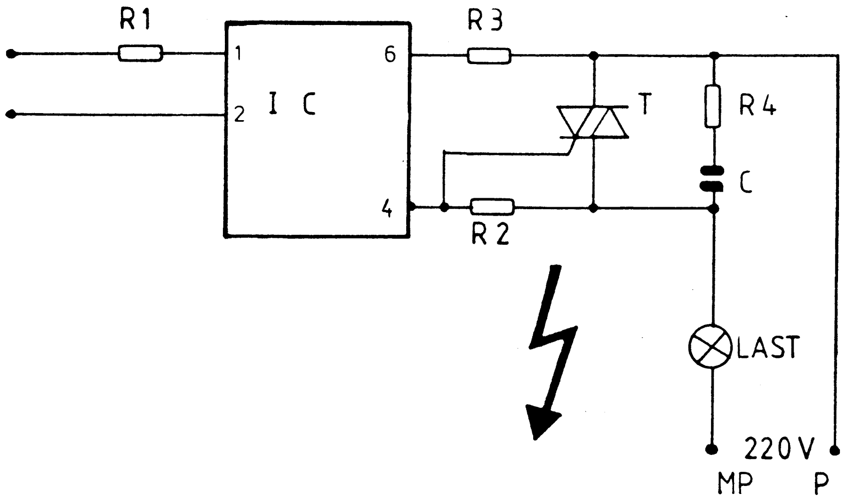


Abb. 120:
Schaltplan zum 220 V Leistungsteil mit dem MOC 3040

<u>Bauteile:</u>

IC	=	MOC 3040 oder MOC 3041 (Motorola)
R 1	=	120 Ohm (siehe Text)
R 2	=	330 Ohm
R 3	=	56 Ohm
R 4	=	39 Ohm
C	=	100 nF/mindestens 400 V
T	=	Triac (z.B. TIC 226)

Da das Leistungsteil sehr kompakt aufgebaut werden kann, sind zwei Platinenlayouts vorgesehen. In der Abbildung 121 oben sehen Sie ein einzelnes Leistungsteil, unten ein doppeltes Leistungsteil. Dort sind alle Bauteile zweifach vorhanden. Zusätzlich wurde in den 220 Volt-Kreis eine Sicherungshalterung eingefügt. Der Wert der verwendeten Sicherung hängt vom angeschlossenen Gerät ab.

Die Bestückungspläne für beide Versionen sehen Sie in der Abbildung 122. Als 220-Volt-Anschluß ist in jedem Fall eine Schraubfassung zu verwenden. Nochmals soll auch hier darauf hingewiesen werden, daß die Schaltung direkt am Netz betrieben wird.

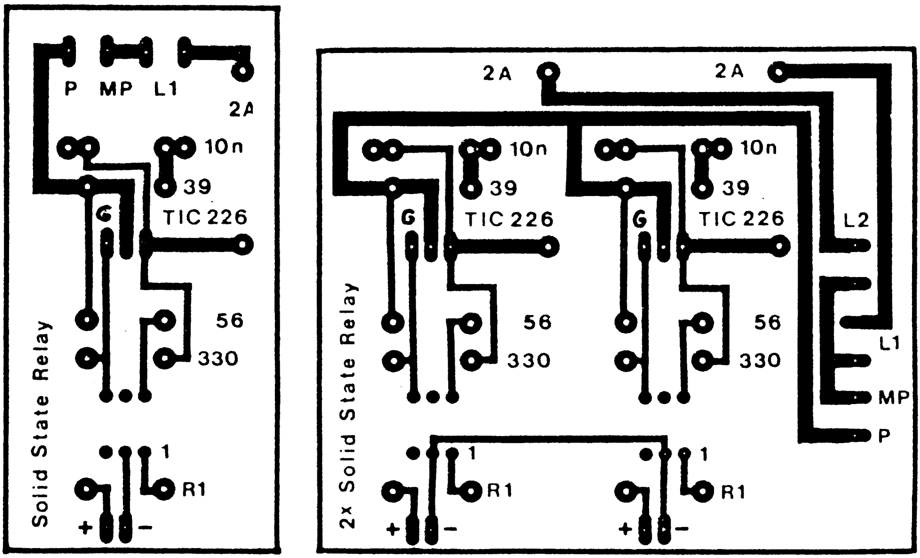
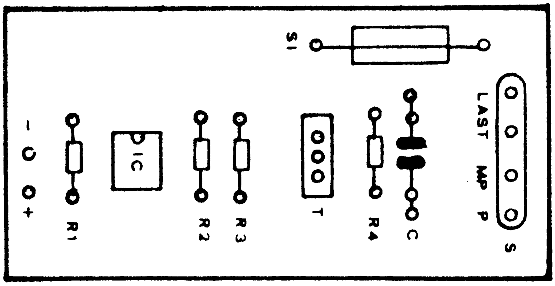


Abb. 121:
Platinenlayout des Leistungsteils mit dem MOC 3040 bzw. MOC 3041. Oben ein einfaches Leistungsteil, unten ein doppeltes.



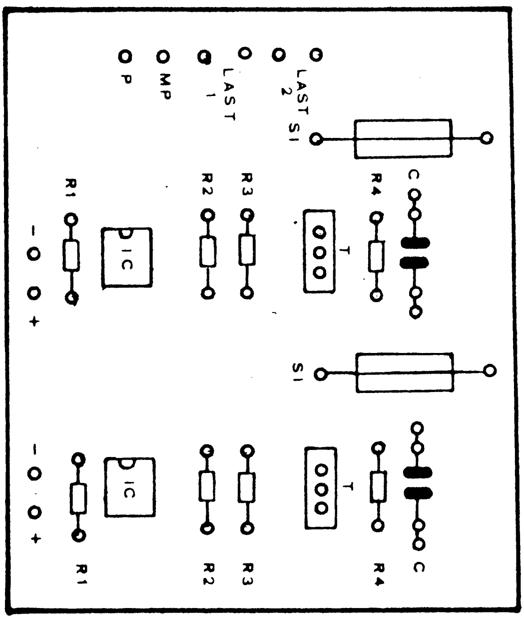


Abb. 122:
Bestückungspläne der beiden Leistungsteile mit dem MOC 3040 bzw. MOC 3041. Oben für eine einfache Ausführung, unten für eine doppelte.

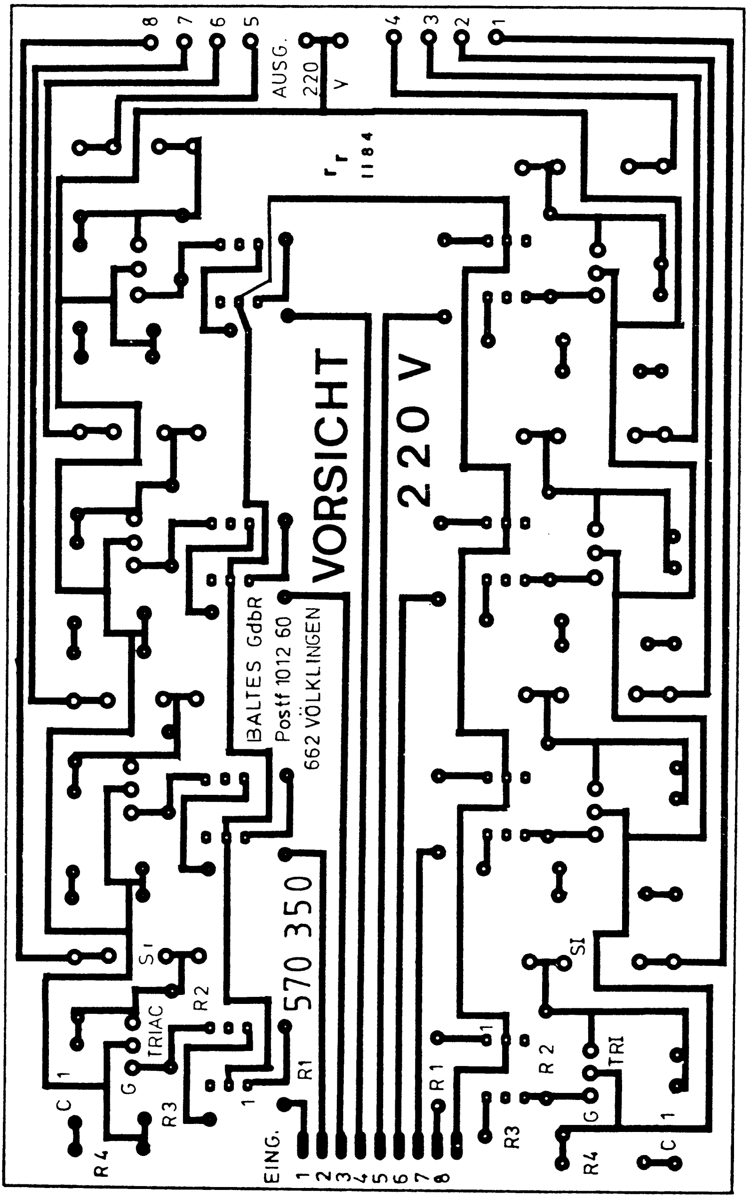


Abb. 123: Platinenlayout zum 8fach-Leistungsteil

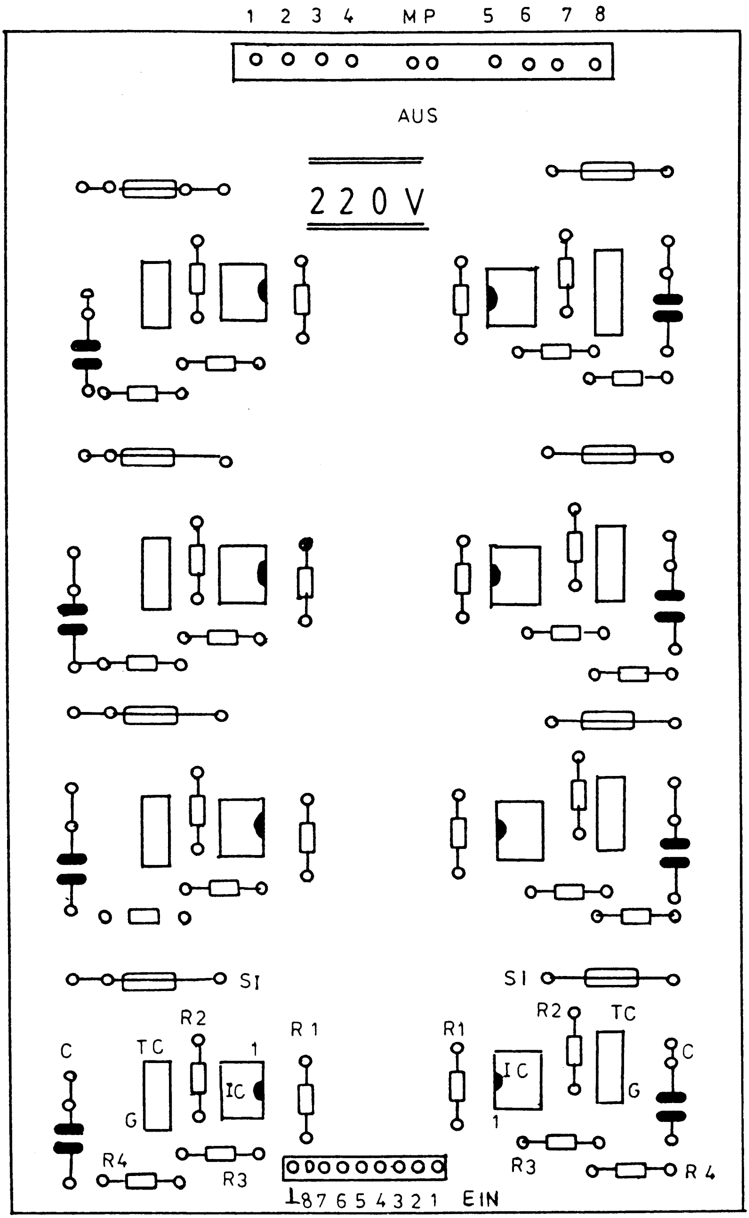


Abb. 124: Bestückungsplan zum 8fach-Leistungsteil

Für besondere Anwendungen wurde dieses Leistungsteil, da es auf nur wenige Bauteile begrenzt ist, in achtfacher Ausfertigung als Platinenlayout in der Abbildung 123 aufgebaut. Die Schaltung ist vollkommen identisch mit vorhergehenden, nur mit dem Unterschied, daß alle Bauteile in achtfacher Ausfertigung benötigt werden. Den entsprechenden Bestückungslan sehen Sie in der Abbildung 124. Das Foto der Abbildung 125 zeigt Ihnen ein einfaches Leistungsteil mit dem MOC 3040.

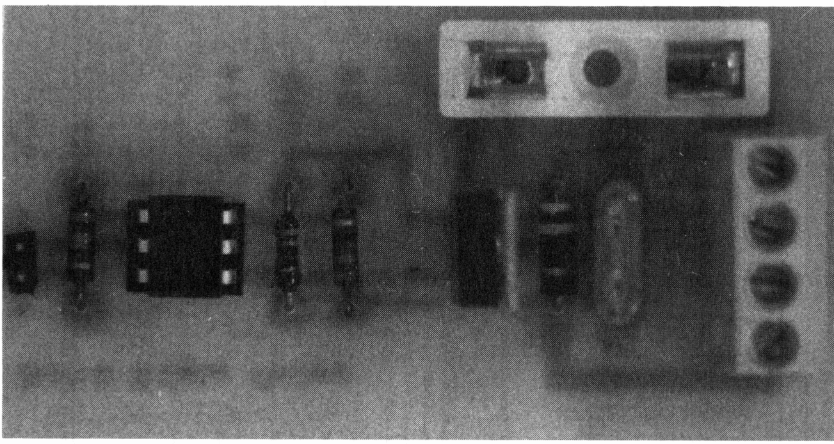


Abb. 125: 220-Volt-Interface mit dem MOC 3040

14. Arbeiten mit EPROMs

Aus dem wesentlichen Nachteil der Nichtänderbarkeit der PROMs wurden die sogenannten EPROMs entwickelt, lösch- und wiederprogrammierbare Festwertspeicher.

Der interne Aufbau eines EPROMs ähnelt daher sehr dem des PROMs, nur mit der Ausnahme, daß je Speicherstelle zwei in Serie geschaltete MOS-Transistoren notwendig sind. Der prinzipielle Aufbau einer solchen Speicherstelle ist in der ersten Darstellung der Abbildung 126 wiedergegeben. Der Transistor T2 ist der eigentliche Speichertransistor, bei dem im Steueranschluß (Gate) eine zusätzliche leitende Schicht angebracht ist, während der Transistor T1 nur zum Programmieren benötigt wird. Im zweiten Beispiel der Abbildung 25 sehen Sie den Querschnitt einer EPROM-Speicherstelle. Beim Programmieren einer solchen Speicherstelle wird dem Steueranschluß eine Spannung von ca. 25 Volt zugeführt. Durch diesen hohen Impuls wird erreicht, daß die Ladung durch die Gateschicht eindringen kann und, bedingt durch die gute Isolation, auch erhalten bleibt.

In einem unprogrammierten Zustand besitzt der EPROM auf allen Speicherstellen log. "1". Erst beim Programmieren werden die erforderlichen Speicherstellen auf log."0" gesetzt. Das Löschen geschieht durch spezielles UV-Licht. Der Löschvorgang tritt durch die Bestrahlung mit Licht von kürzester Wellenlänge, ca. 4000 Angström, auf. Laut den Herstellerangaben soll die empfohlene Dosis mindestens 15 Ws/cm^2 betragen. Danach ergibt sich eine optimale Löschzeit von 12 bis 25 Minuten je nach Typ und Ausführung. Beachten Sie auch bitte beim Einsatz von EPROMs, daß bei Neonlicht oder auch intensiver Sonnenbestrahlung UV-Licht ausstrahlt wird, so daß unter ungünstigen Bedingungen Informationen verlorengehen können. Aus diesem Grund empfiehlt es sich, nach dem Programmieren eines EPROMs das Löschfenster mit einem Stück schwarzem Isolierband abzukleben.

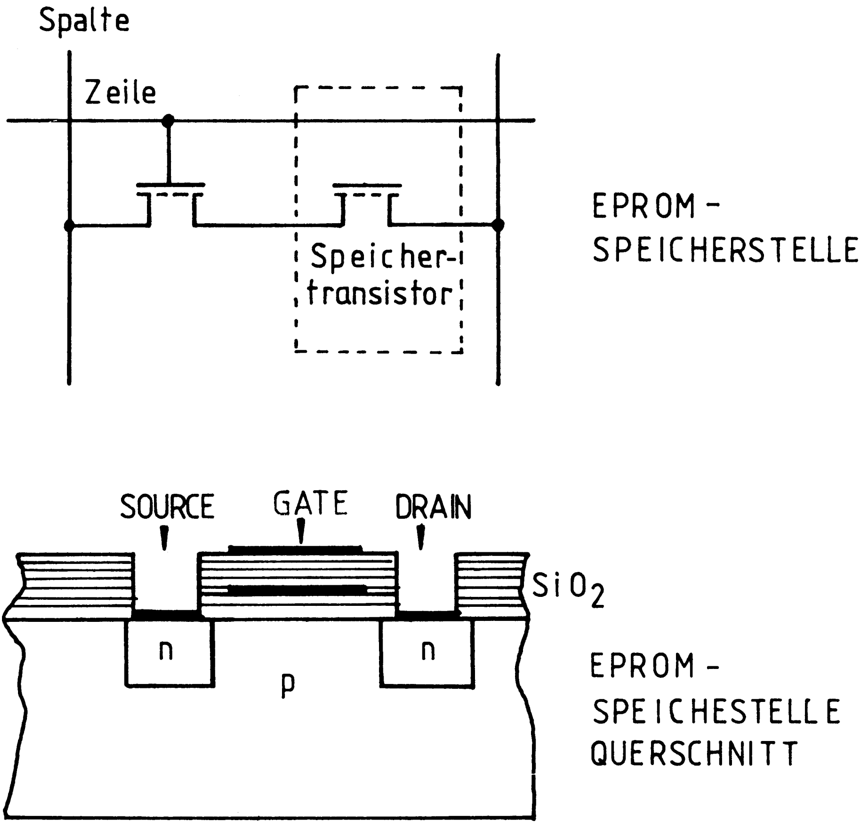


Abb. 126: EPROM

Die Bestrahlung der Löschlampe ist äußerst schädlich für die Augen. Tragen Sie eine Schutzbrille und achten Sie beim Kauf eines Löschgerätes unbedingt darauf, daß im geöffneten Zustand die Löschlampe immer automatisch abgeschaltet ist.

Die für den Hobbymarkt zur Zeit am weitest verbreiteten EPROMs sind die Typen 2716-27128 mit einer Speicherkapazität zwischen 2 KB und 16 KB, für die auch im Verlaufe des Buches ein eigenes Programmierboard zum Nachbau vorgestellt wird.

Neben den Daten- und Adreßleitungen weisen diese EPROMs noch besondere Anschlüsse auf, auf die wir nun näher eingehen:

Vpp PROGRAMMIERSPANNUNG

Dies ist der Anschluß der 25 Volt-Programmierspannung, die während der gesamten Programmierzeit konstant gehalten werden muß.

-OE (PD / PGM) OUTPUT-ENABLE oder: POWER DOWN PROGRAM

Dieser Anschluß wird in der Literatur einmal mit Output Enable oder mit Power Down Program bezeichnet. Im normalen Lesebetrieb wird die Verlustleistung des EPROMs um 75 % reduziert, wenn diesem Anschluß ein H-Pegel zugeführt wird, da dann die Ausgangstreiber in einen hochohmigen Zustand versetzt werden und der IC im sogenannten Stand-by-Betrieb arbeitet. In netzversorgten Geräten ist dieser Anschluß mit der gemeinsamen Masse zu verbinden, während es bei batteriebetriebenen Einheiten sinnvoll ist, diesen Anschluß mit dem Chip-Select zu verbinden, um so eine geringe Stromaufnahme zu erzielen. Beim Programmieren spielt der Anschluß eine große Rolle. Nachdem die Daten, die Adressen und Chip-Select am EPROM anliegen, erfolgt durch einen 50 ms H-Impuls die Programmierung eines Bytes.

-CS CHIP-SELECT

Wird der Speicher angesprochen, muß am Chip-Select-Eingang ein L-Pegel anstehen, beim Programmieren dagegen ist ein H-Pegel erforderlich.

Der Expansions-Port Ihres Rechners bietet einige Möglichkeiten zur Verwaltung von externen EPROMs. Zu diesem Zweck stehen spezielle Steuersignale zur Verfügung. Am EPROM selbst sind nur wenige Vorkehrungen zum Einlesen zu treffen. Der Anschluß -CE (CHIP-ENABLE, low-aktiv) adressiert das gewünschte EPROM und bei einem L-Pegel auf dem Pin -OE

(OUT-ENABLE) werden die Daten auf dem Datenbus bereitgestellt. Die besonderen Programmieranschlüsse werden beim "Nur-Lesen" nicht benötigt, müssen aber, um einen definierten Zustand zu haben, an den jeweils erforderlichen Pegel gelegt werden, meistens an einen H-Pegel (+ 5 Volt).

Etwas mehr Aufwand muß bei der Organisation des Speicherplatzes im Rechner getrieben werden, denn einerseits muß der CPU mitgeteilt werden, daß nun von einem externen (E)PROM gelesen wird, und andererseits müssen die Daten in einen bestimmten Speicherbereich geschrieben werden, damit auch später hierauf zugegriffen werden kann.

Zur Definition des Speicherbereiches stehen zwei Signale zur Verfügung, -ROML und -ROMH, beide low-aktiv, die jeweils einen Bereich von 8KB auswählen.

> -ROML ist für den Speicherbereich von hex. 8000-9FFF (= dez. 32.768-40.959) zuständig.

> -ROMH ist für den Speicherbereich von hex. A000-BFFF (= dez. 40.960-49.151) zuständig.

Eines oder auch beide Signale, je nach Ausbaustufe einer EPROM-Karte, müssen mit dem Chip-Select und dem Out-Enable des EPROMs verbunden werden.

Damit die interne Speicherverwaltung, die sogenannte PLA (Programmable Logic Array), nun die Daten vom Expansionsport in den RAM-Bereich des Rechners einlesen kann, müssen zusätzlich die beiden Signale -EXROM und -GAME gesetzt werden.

> Liegt -EXROM an einem L-Pegel, so ist der RAM-Bereich von hex. 8000-9FFF (= dez. 32.768-40.959) abgeschaltet und stattdessen für ein externes ROM reserviert.

Liegt -GAME an einem L-Pegel, so ist der RAM-Bereich von hex. A000-BFFF (= dez. 40.960-49.151) abgeschaltet und stattdessen für ein externes ROM reserviert.

Mit der Verknüpfung dieser insgesamt vier Signale und dem erforderlichen Adreßbus läßt sich nun auf jedes EPROM zugreifen, wie Ihnen anhand einiger Beispiele nun gezeigt wird.

14.1 2fach-EPROM-Box

Für die meisten Anwendungen genügt diese EPROM-Box, mit deren Hilfe sich zwei EPROMs einblenden lassen. Wie bereits im Kapitel 5 erwähnt, besitzt der Rechner mehrere Möglichkeiten, externe ROMs in verschiedene Adreßbereiche zuzuschalten.

Betrachtet man nun das Schaltbild in der Abbildung 127, so geschieht dieses Einblenden durch das Aktivieren der Signale -GAME, -EXROM und -ROML durch den 4fach-DIL-Schalter. Im Normalfall führen diese Signale einen H-Pegel, der durch die beiden Pull-up-Widerstände R1 und R2, die mit der Versorgungsspannung verbunden sind, gewährleistet ist. Wird nun einer der beiden Schalter 1 oder 2 (-GAME, -EXROM) geschlossen, d.h. mit der Masse verbunden, wird das entsprechende Signal durch einen L-Pegel aktiviert. Das gleiche wird durch die Widerstände R3 und R4 für ROML, welches mit den beiden Chip-Select und Out-Enable verbunden ist, erreicht.

Der DIL-Schalter 1 aktiviert -GAME, d.h. den Speicherbereich hex. A000-BFFF, DIL-Schalter 2 aktiviert -EXROM für den Bereich hex. 8000-9FFF.

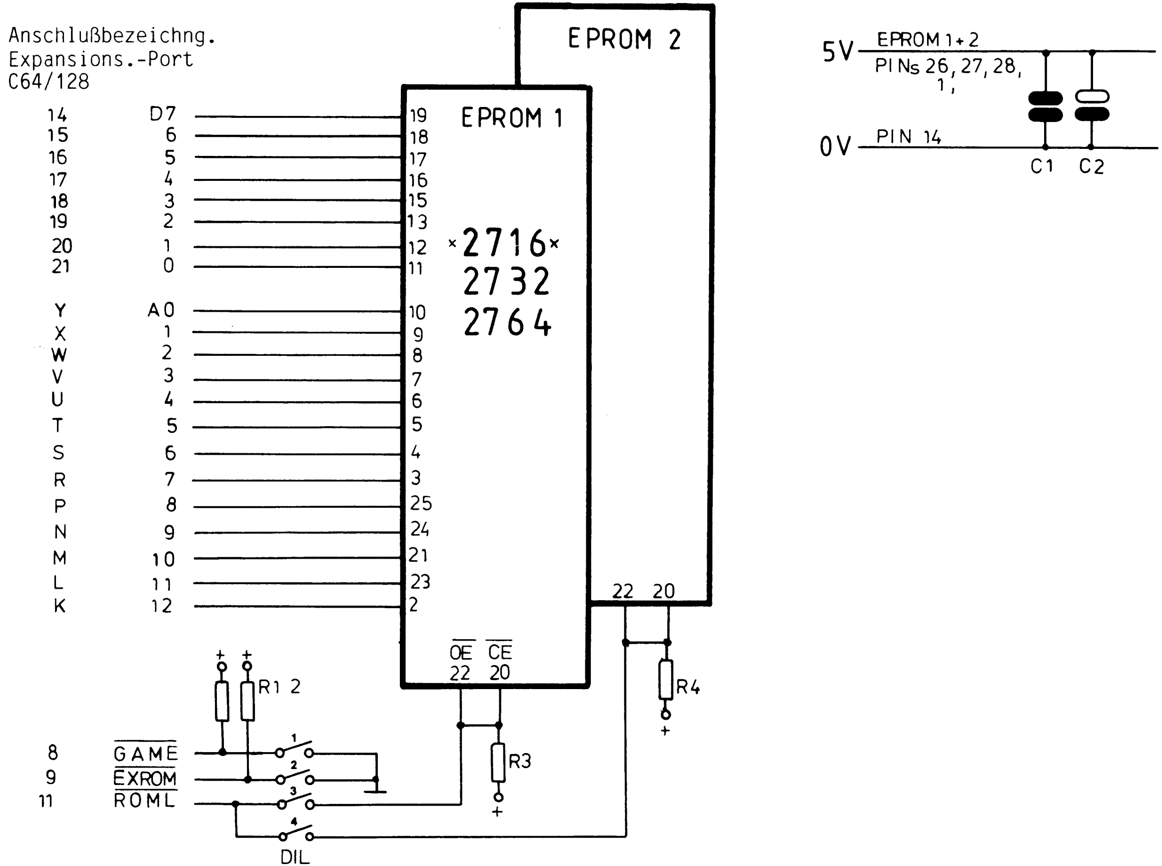


Abb. 127: Schaltplan der 2fach-EPROM-Box

Nachdem mit diesen beiden Schaltern der Speicherbereich gewählt wurde, legen die beiden übrigen die betreffende EPROM-Fassung fest:

DIL-Schalter 3 aktiviert EPROM Nr. 1 und DIL-Schalter 2 aktiviert EPROM Nr.2. Als EPROMs hierfür stehen folgende zur Auswahl:

2716	2KB	Speicherbereich hex. 8000-8800
2732	4KB	Speicherbereich hex. 8000-8FFF
2764	8KB	Speicherbereich hex. 8000-9FFF

Die vier Widerstände R1-R4 sind in ihrem Wert nicht kritisch und können zwischen 4,7 K und 10 K betragen. C1 und C2 (100nF und 47 uF/12 V) dienen zur Glättung der Versorgungsspannung.

Für diese Schaltung wurde keine eigene Platine entworfen, da sie im Aufbau einfach ist und sicherlich von jedem aufgebaut werden kann.

Als Anschlußmöglichkeit steht Ihnen entweder direkt der Expansionsport am Rechner oder aber einer der beiden Slots A oder B auf der I/O-Erweiterungskarte zur Verfügung. Die entsprechende Verbindung mit dem Expansionsport und deren Bezeichnungen sind Ihnen ebenfalls auf dem Schaltplan wiedergegeben.

14.2 4fach-EPROM-Box

Die folgende Anwendung gestattet es Ihnen, extern vier EPROMs zu aktivieren. Per DIL-Schalter ist es möglich, die Adreßbereiche von hex. 8000-9FFF zu selektieren. Als EPROMs haben Sie die Typen 2732 mit 4 KB oder 2764 mit 8 KB zur Auswahl.

Den Schaltplan der EPROM-Box finden Sie in der Abbildung 128. Die Adreßselektion übernimmt ein 74LS138 (IC1), der als 3 zu 8 Decoder arbeiten kann. Die Aufgabe dieses ICs ist es, die an den Adreßeingängen Pin 1-3 anliegende Binärinformation zu decodieren und den entsprechenden Ausgang auf einen L-Pegel zu legen. In unserem Fall bedeutet dies, daß die Adressen A12-A14 als Decodierung herangezogen werden. Die Decodierung dieses ICs läßt sich sehr leicht anhand der folgenden Tabelle verdeutlichen:

PINS: 3 A14	2 A13	1 A12	anliegender Binärwert als Dez.-ziffer	Reaktion des 74 LS 138 Bedingung: -E1 und -E2 = "L", E3 = "H" Pins 4 und 5 = "L", Pin 6 = "H"
L	L	L	0	nur Ausgang Q0, Pin 15 erhält "L"
L	L	H	1	nur Ausgang Q1, Pin 14 erhält "L"
L	H	L	2	nur Ausgang Q2, Pin 13 erhält "L"
L	H	H	3	nur Ausgang Q3, Pin 12 erhält "L"
H	L	L	4	nur Ausgang Q4, Pin 11 erhält "L"
H	L	H	5	nur Ausgang Q5, Pin 10 erhält "L"
H	H	L	6	nur Ausgang Q6, Pin 9 erhält "L"
H	H	H	7	nur Ausgang Q7, Pin 7 erhält "L"

Die Reaktionen des ICs treffen natürlich nur dann zu, wenn die Freigabebedingungen alle erfüllt sind. In unserem Schaltplan liegt die Adreßleitung A15 an der positiven Freigabebedingung. Das bedeutet, daß bei einer Adressierung die höchste Adreßleitung immer einen L-Pegel führen muß. Die negativen Freigabebedingungen sind immer erfüllt, da die Anschlüsse 4 und 5 mit der Masse fest verbunden sind.

Nun werden nicht alle acht möglichen Ausgänge des ICs benutzt. Es sind nur insgesamt zwei erforderlich, nämlich nur die beiden niederwertigsten Q0 (Pin 15) und Q1 (Pin 14). Dementsprechend kann auch nur bis zur Dezimalzahl 4 (= HLL) adressiert werden, was für die vier Steckplätze auch vollkommen ausreichend ist.

Mit dem DIL-Schalter können die einzelnen Steckplätze und die EPROM-Typen ausgewählt werden. Das Auswählen verdeutlicht die nachfolgende Tabelle:

DIL-Schalter 1-8	aktiviert EPROM-IC	im Adreßbereich
Nr. 1 EIN	IC 1	hex. 8000-8FFF
Nr. 2 EIN	IC 2	hex. 8000-8FFF
Nr. 3 EIN	IC 3	hex. 9000-9FFF
Nr. 4 EIN	IC 4	hex. 9000-9FFF
Nr. 5 EIN	IC 1	hex. 8000-9FFF
Nr. 6 EIN	IC 2	hex. 8000-9FFF
Nr. 7 EIN	IC 3	hex. 8000-9FFF
Nr. 8 EIN	IC 4	hex. 8000-9FFF

Folgende Adreßkombinationen bzw. Bestückungen wären denkbar:

je 1 von 4 8KB EPROMs (2764) im Adreßbereich 8000-9FFF

je 1 von 2 4KB EPROMs (2732) im Adreßbereich 8000-8FFF
\+ je 1 von 2 4KB EPROMs (2732) im Adreßbereich 9000-9FFF

je 1 von 2 4KB EPROMs (2732) im Adreßbereich 8000-8FFF
\+ je 1 von 2 4KB EPROMs (2732) im Adreßbereich 9000-9FFF
oder:
je 1 von 2 8KB EPROMs (2764) im Adreßbereich 8000-9FFF

Als Anwender müssen Sie unbedingt darauf achten, daß bei der Bestückung von mehreren EPROMs niemals zwei den gleichen Adreßbereich belegen.

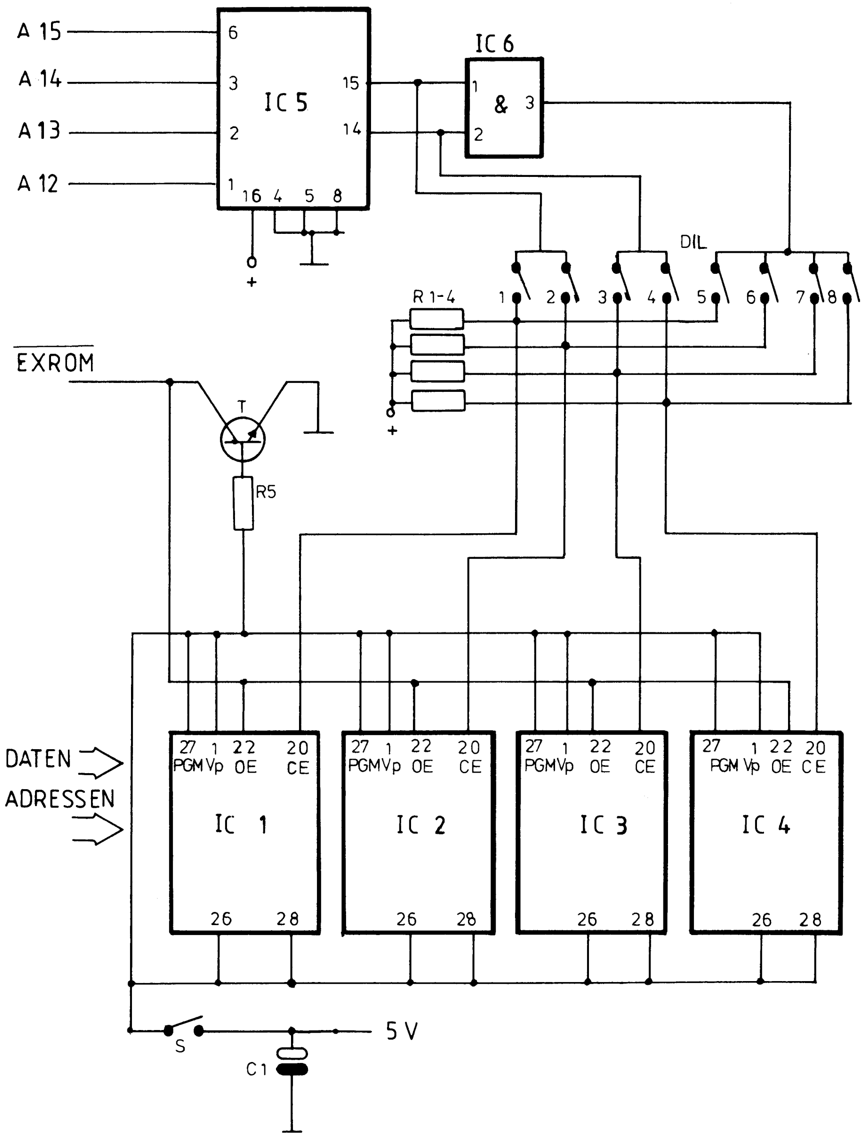


Abb. 128: Schaltplan der 4fach-EPROM-Karte

Wie Sie bereits aus der Einleitung über das Arbeiten mit EPROMs erfahren haben, besitzen diese ICs neben dem Chip-Select Anschluß noch einen Output-Enable. Der Chip-Select-Pin, auch Chip-Enable genannt, wird über die DIL-Schalter aktiviert. Die Output-Enable-Pins dagegen liegen parallel am Anschluß EXROM des Rechners. Wie Sie aus dem Kapitel 3 wissen, dient dieser Pin der CPU als Merkmal, ob der interne Adreßbereich für externe ROMs von hex. 8000-9FFF belegt ist. Aus diesem Grund weist der Rechner diesen RAM-Bereich auch als nicht verfügbar aus, auch dann, wenn Sie ohne EPROM die Karte aktiviert haben. Da der Rechner mit der EXROM-Leitung feststellt, daß externe ROMs angeschlossen sind, erhalten Sie nach dem Einschalten die Meldung "30720 Bytes free".

Der Daten- und Adreßbus ist im Schaltplan der EPROM-Box nicht explizit eingezeichnet und kann der Abbildung der Anschlußbelegung der EPROMs im Anhang des Buches entnommen werden.

Aufbau der EPROM-Box

Bedingt durch die Vielzahl der Leitungen ist hier eine zweiseitige Platine unumgänglich. Das Platinenlayout ist Ihnen in den Abbildungen 129 und 130 vorgestellt. Den dazugehörigen Bestückungsplan finden Sie in der Abbildung 131. Die Platine ist so gehalten, daß Sie direkt auf die I/O-Adapterkarte, Slot A oder B, aufgesteckt werden kann oder auch direkt auf den Expansionsport auf der Rückseite des Rechners. Als ersten Arbeitsschritt ist die Durchkontaktierung durchzuführen. Lesen Sie sich zu diesem Zweck bitte nochmals das Kapitel 2 durch. Nach dem Durchkontaktieren sind für alle integrierten Schaltkreise Fassungen einzusetzen. Beachten Sie auch Durchkontaktierungen, die zwischen den EPROM-Fassungen vorgenommen werden müssen. Das Foto der Abbildung 132 zeigt Ihnen den Musteraufbau dieser Schaltung.

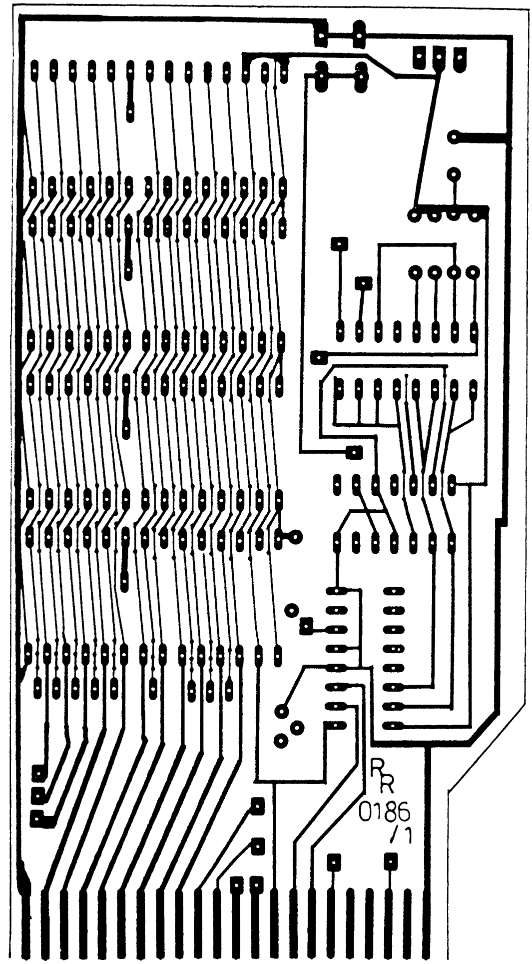


Abb. 129: Platinenlayout "Lötseite" der 4fach-EPROM-Box

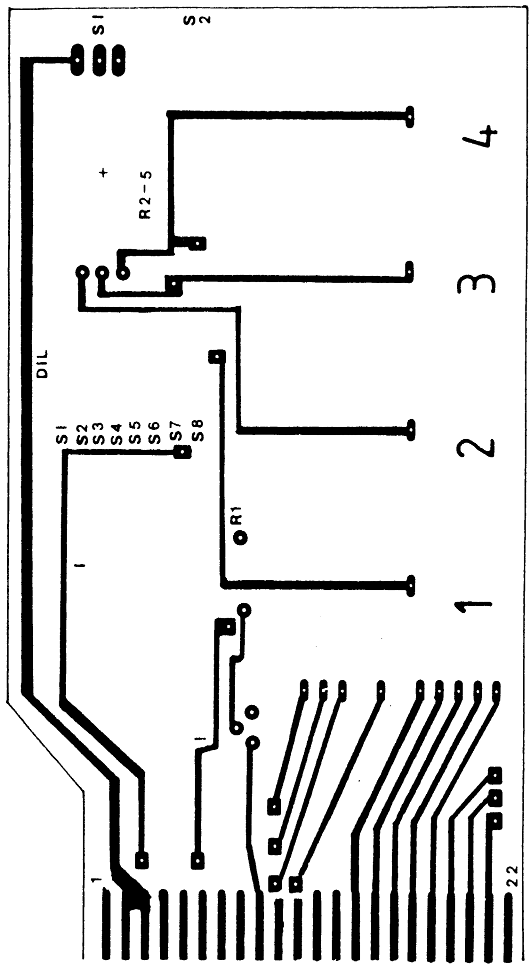


Abb. 130:
Platinenlayout "Bestückungsseite" der 4fach-EPROM-Box

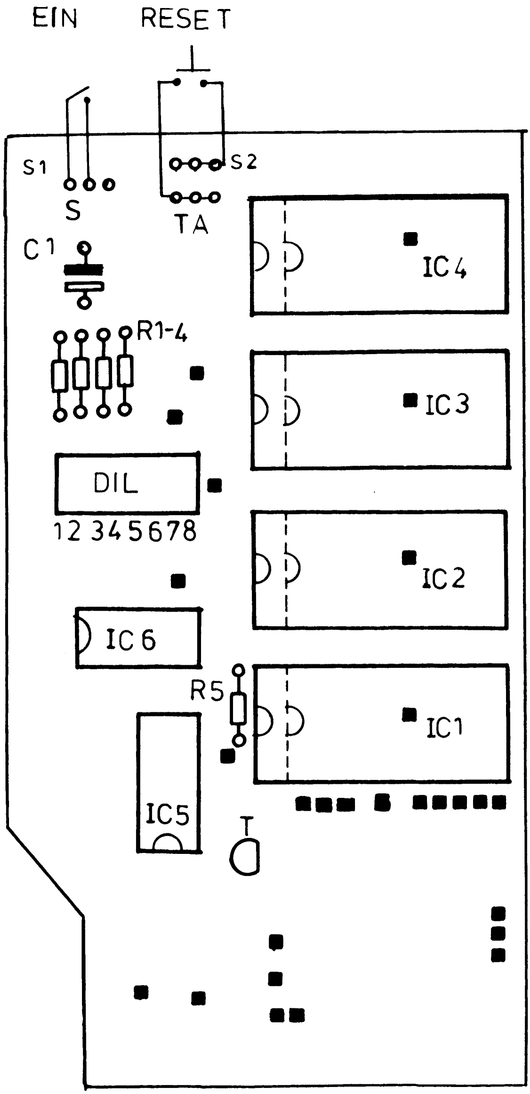


Abb. 131:
Bestückungsplan der 4fach-EPROM-Karte (sind Durchkontaktierungen)

Bauteile:

IC 1-4	=	Fassungen 24- oder 28-polige je nach EPROMs
IC 5	=	74 LS 138
IC 6	=	74 LS 08
R1-R5	=	560 Ohm
C1	=	Elko 12V, 47-100 uF, stehend
DIL	=	8fach-DIL-Schalter
T	=	NPN- Transistor, z.B. BC 108, BC 549, BC 238, o.ä.
S	=	Ein-Aus Schalter, wenn möglich für Print-Montage
TA	=	Taster, EIN, für Reset, nur bei Bedarf

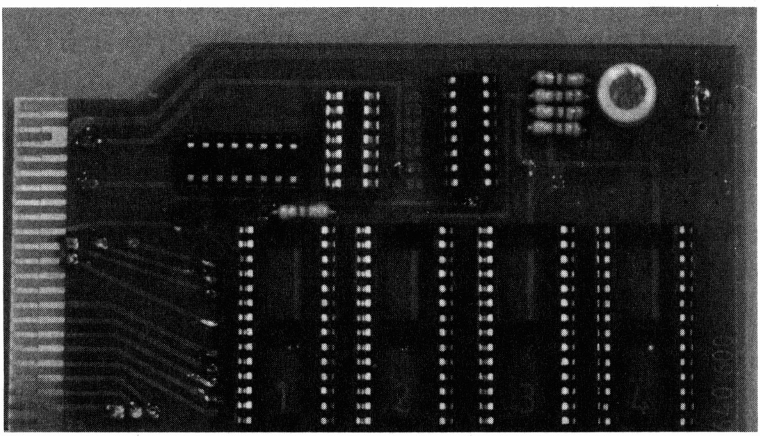


Abb. 132: Musteraufbau der 4fach-EPROM-Box

14.3 EPROM als Kernal-ROM

Für den einen oder anderen gibt es sicherlich besondere Routinen, die er im Betriebssystem verankern möchte, um sie jederzeit aufrufen zu können. Ein gutes Beispiel hierfür sind besondere Schnelladeverfahren für den Datenaustausch mit der Floppy beim C64.

Für den Rechner selbst ist das Betriebssystem nichts anderes als eine Ansammlung von Befehlen, Sprungadressen und Routinen, auf die der Rechner immer zugreifen muß. Beim C64 beispielsweise ist hierfür der Speicherbereich hex. E000-FFFF, d.h. dez. 57344-65535 reserviert. Muß der Rechner nun hierauf zugreifen, so aktiviert er durch das Chip-Select-Signal den Speicherbaustein und gibt für ihn den Daten- und Adreßbus frei.

Für die CPU ist die Art des Speicherbausteins gleichgültig, maßgeblich ist nur, daß dieser Bereich durch einen Speicher, RAM, ROM oder EPROM adressierbar ist.

Wie Sie bereits am Anfang des Buches im Kapitel 3 erfahren konnten, wird die gesamte Speicherverwaltung durch ein besonderes IC, einem programmierten Logik-Array, übernommen. Die Hauptaufgabe dieses Schaltkreises ist es, immer den von der CPU geforderten IC auf den Daten- und Adreßbus zu legen und darüber hinaus Sorge zu tragen, daß nicht zwei Bausteine den gleichen Adreßbereich belegen.

Bei Zugriffen auf das Betriebssystem, auch Kernal-ROM genannt, wird vom Logic-Array die Chip-Select-Leitung dieses Bausteins auf einen L-Pegel gelegt, während alle anderen Chip-Select-Leitungen auf einem H-Pegel verbleiben, und der Daten- und Adreßbus dieses Kernal-ROMs wird auf den allgemeinen Bus gelegt. Theoretisch kann man nun fast beliebig viele eigene EPROM-Bausteine statt dieses Kernal-ROMs anschließen; man muß nur dafür sorgen, daß immer das richtige EPROM angewählt wird. Aber ganz so einfach ist dieses Umschalten auf mehrere Betriebssysteme nicht! Alle Aktivitäten innerhalb des Rechners können nur innerhalb der Taktzeiten (02) ablaufen. Durch eine mechanische Umschaltung auf ein anderes

Betriebssystem wäre für eine kurze Zeit für den Rechner kein definiertes Kernal mehr verfügbar, und die Folge davon wäre, daß der Rechner "abstürzt".

Das Platinenlayout zur Erweiterung des Kernal-ROM ist Ihnen in der Abbildung 133 zusammen mit dem Bestückungsplan wiedergegeben. Je nach EPROM-Typ sind zwei Schalter erforderlich.

S1	bei EPROM-Typ 27128
S1+S2	bei EPROM-Typ 27256
ohne	bei EPROM-Typ 2764

Den Schalter montieren Sie zweckmäßigerweise auf die Oberseite des Rechners. Das Foto der Abbildung 134 zeigt Ihnen den Aufbau der Erweiterungsplatine. Unterhalb der Platine wird direkt die Stiftleiste angelötet, mit deren Hilfe Sie die Platine in die ursprüngliche Fassung des Kernal-ROM im Rechner einstecken. Diese Montage sehen Sie in der Abbildung 135 im C64.

Innerhalb bestimmter Serien der Rechner ist das Kernal-ROM ohne Sockel direkt eingelötet. Für das Auslöten dieses Bausteins sollten Sie unbedingt die Hilfe eines erfahrenen Bastlers in Anspruch nehmen, damit der IC, ohne Beschädigung der Leiterbahnen, sauber ausgelötet wird. Anschließend ist an dieser Stelle eine Qualitätsfassung einzusetzen, die dann die Zusatzplatine aufnimmt.

> Bedenken Sie, daß beim Öffnen des Rechners innerhalb der Garantiezeit und insbesondere beim Einbau der Erweiterungsplatine Ihre Garantieansprüche hinfällig werden!! Warten Sie also besser, bis die vom Händler gewährte, meistens 6-monatige Garantiezeit vorüber ist.

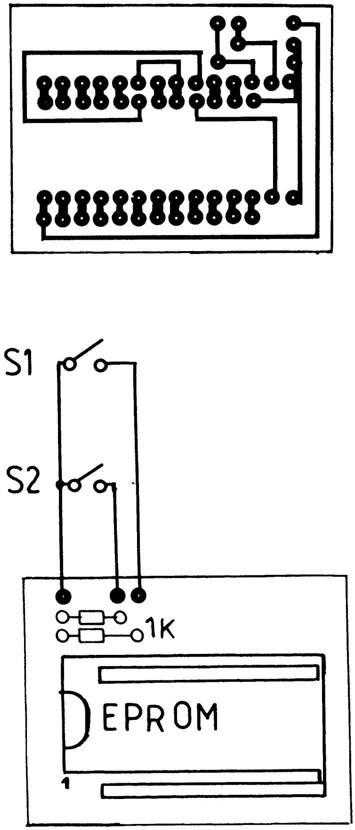


Abb. 133:
Platinenlayout und Bestückung zur Steckfassung der Betriebssystemerweiterung

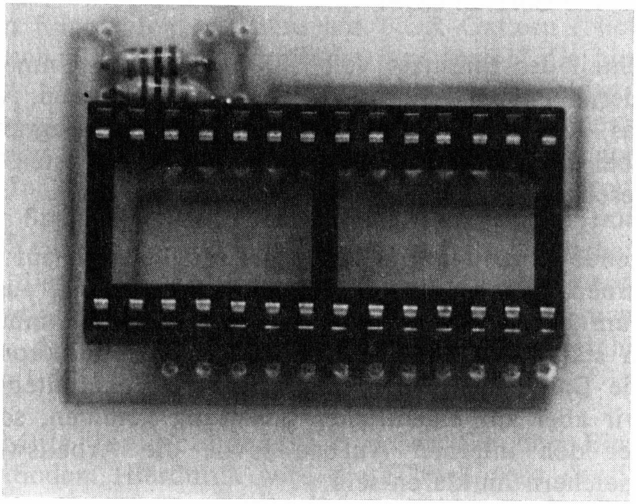


Abb. 134:
Steckfassung der Betriebssystemerweiterung. Neben der IC-Fassung befinden sich die beiden Stiftleisten zum Aufstecken auf die IC-Fassung im Rechner.

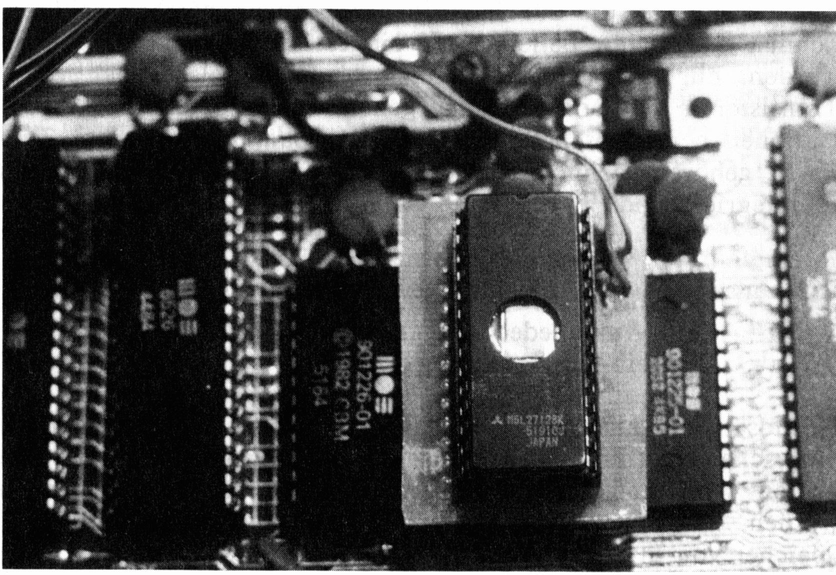


Abb. 135:
128 KB-EPROM mit mehreren Betriebssystemen als Ersatz für das Kernal-ROM im C64

14.4 16 KB Soft-EPROM

Ein Nachteil des Einsatzes von EPROMs ist die Unmöglichkeit des Änderns einmal eingeschriebener Informationen, will man nicht das gesamte EPROM löschen und neu programmieren. Gerade bei der Programmentwicklung und beim Testen wäre ein wiederbeschreibbares "EPROM" sehr nützlich.

Die folgende Schaltung gibt Ihnen die Möglichkeit, auf einen 16 KB externen Speicher beliebig oft zu schreiben und aus ihm zu lesen. Zum Einsatz kann natürlich kein EPROM kommen, sondern ein statisches RAM, einschließlich einer Akkupufferung, damit die Daten auch über eine längere Zeit erhalten bleiben. Bevor wir aber zur eigentlichen Schaltung kommen, sollten Sie sich über den internen Aufbau sowie die Arbeitsweise von RAM-Speichern im klaren sein.

RAM steht für *Random-Accessed-Read-Write-Memory*, was als *Schreib-Lesespeicher mit wahlfreiem Zugriff* übersetzt werden kann.

Bei den RAMs, die zur Familie der Festwertspeicher gehören, können die Daten beliebig oft eingeschrieben und ausgelesen werden. Zur internen Speicherung werden bipolare oder MOS-Transistoren verwendet. Daher gehen die gespeicherten Informationen beim Abschalten der Betriebsspannung verloren. Zum RAM gehören technologisch folgende Funktionsblöcke, die im IC integriert sind:

- Adreßdecoder
- Speichermatrix
- Ein-Ausgabedecoder
- Schreib-Lesesteuerung

Grundsätzlich muß man zwei Gruppen dieser Speicherelemente unterscheiden, und zwar statische und dynamische. Auf die letzten wird an dieser Stelle nicht mehr näher eingegangen werden. Für unsere Schaltung ist nur der statische RAM-Speicher von Interesse.

Das Prinzip der statischen Schreib-Lesespeicher beruht auf bistabilen Kippstufen, meistens aus NOR-Gattern (Nicht-Oder) aufgebauten Flip-Flops. Hier findet man sowohl die bipolare als auch die MOS Herstellungsweise. Durch die beiden stabilen Zustände eines Flip-Flops bleibt eine einmal eingeschriebene Information solange erhalten, wie die Versorgungsspannung anliegt. In der Abbildung 136 sehen Sie drei grundsätzliche statische Speicherstellen. Das oberste Beispiel ist mit Multi-Emitter-Transistoren aufgebaut. Auf die technologischen Details soll an dieser Stelle nicht näher eingegangen werden. Der Nachteil dieses Aufbaus liegt in einem erhöhten Stromverbrauch, da einer der beiden Transistoren immer durchgeschaltet ist. Vorteilhaft allerdings ist die große Störsicherheit.

In der Mitte der Abbildung 136 sehen Sie den Einsatz von Schottkydioden. Hierdurch wird die Schnelligkeit der Schaltung gegenüber der oberen wesentlich erhöht. Auch der Stromverbrauch ist geringer, da die Transistoren nicht über die hochohmigen Widerstände, sondern über die Dioden und die beiden 1 k Widerstände geschaltet werden.

Im unteren Beispiel der Abbildung kommen MOS-Transistoren zum Einsatz. Das eigentliche Flip-Flop wird nur durch T1 und T2 dargestellt. T3 und T4 ersetzen die Widerstände aus den vorgenannten Beispielen. T5 und T6 halten die Verbindung zu den Datenleitungen aufrecht. Die Abbildung 137 zeigt Ihnen das Blockschaltbild eines statischen Speicherbausteins, den 6116, mit einer Kapazität von 2 KB x 8 Bit; die wichtigsten technischen Daten dieses weitverbreiteten ICs finden Sie in der Tabelle der Abbildung 138. Statische Speicher mit höheren Kapazitäten sind nach dem gleichen Prinzip aufgebaut, und ihre technischen Daten sind weitgehend identisch.

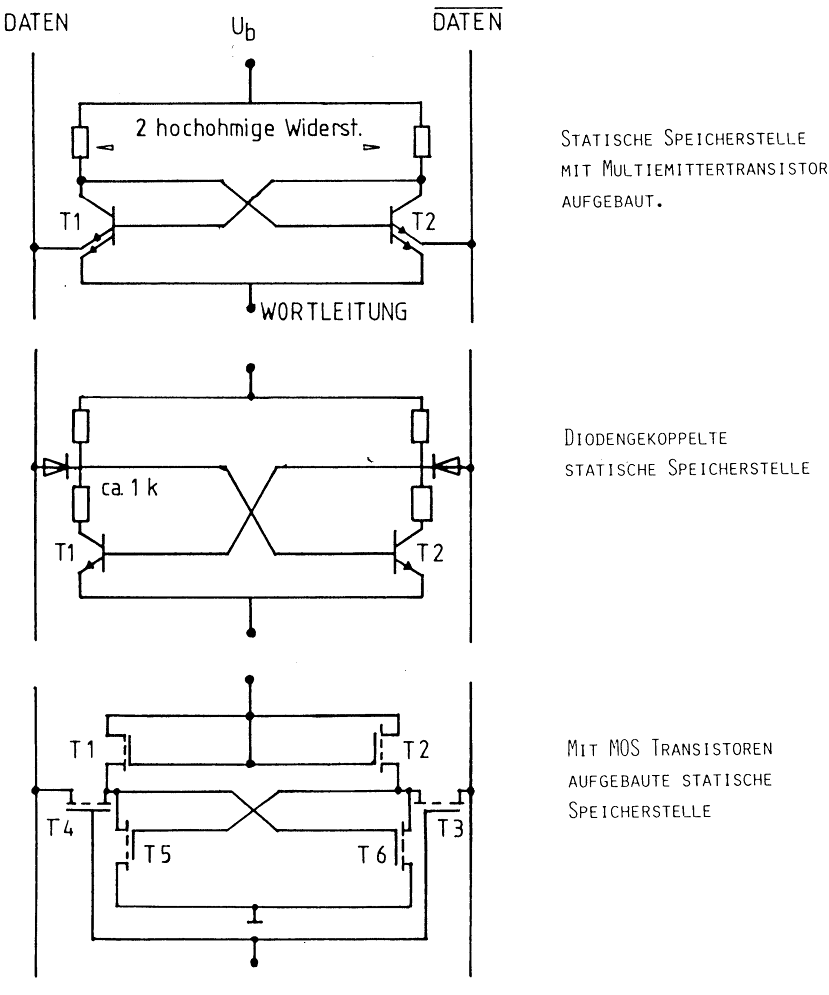


Abb. 136: RAM (statisch)

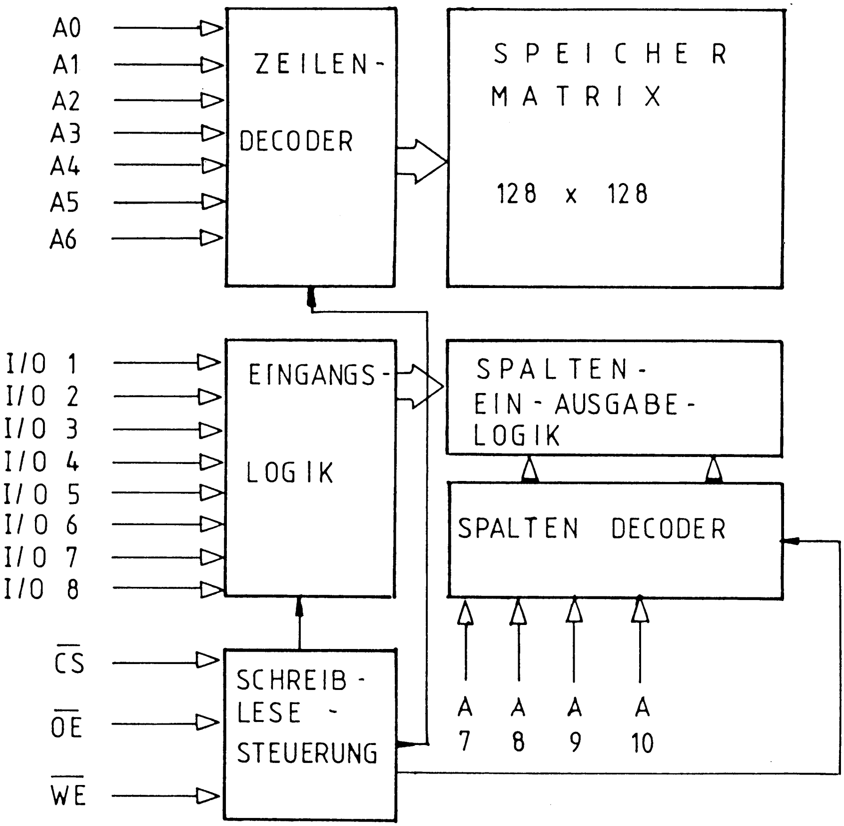


Abb. 137: 6116, 2048x8 Bit statischer CMOS RAM

Technische Daten des 6116, 2KB statischer RAM

	Symbol	min.	typ.	max.	Einheit
Versorgungsspannung	Vcc	4,5	5,0	5,5	Volt
Eingangsspannung	Vih	2,2	3,5	6,0	Volt
Stromaufnahme	Icc	40	80		mA
Standby-Strom	Isb		5	15	mA

Betriebsdaten des 6116, 2KB statischer RAM

		6116 -P2		6116 -P3		6116 -P4		
	Symbol	min	max	min	max	min	max	Ein.
Lesezyklus-Zeit	Irc	120	-	150	-	200	-	ns
Adreßzugriffszeit	Iaa	-	120	-	150	-	200	ns
Chip-Select-Zeit	Iacs	-	120	-	150	-	200	ns
Out-Enable-Valid	Ioe	-	80	-	100	-	120	ns
Schreibzyklus-Zeit	Iwc	120	-	150	-	200	-	ns
Adreß Set-up Zeit	Ian	20	-	20	-	20	-	ns
Schrb.Impulsbreite	Iwp	70	-	90	-	120	-	ns
Schrb.Recov.-Zeit	Iwk	5	-	10	-	10	-	ns
Outp.aktiv	Iow	5	-	10	-	10	-	ns

Abb. 138

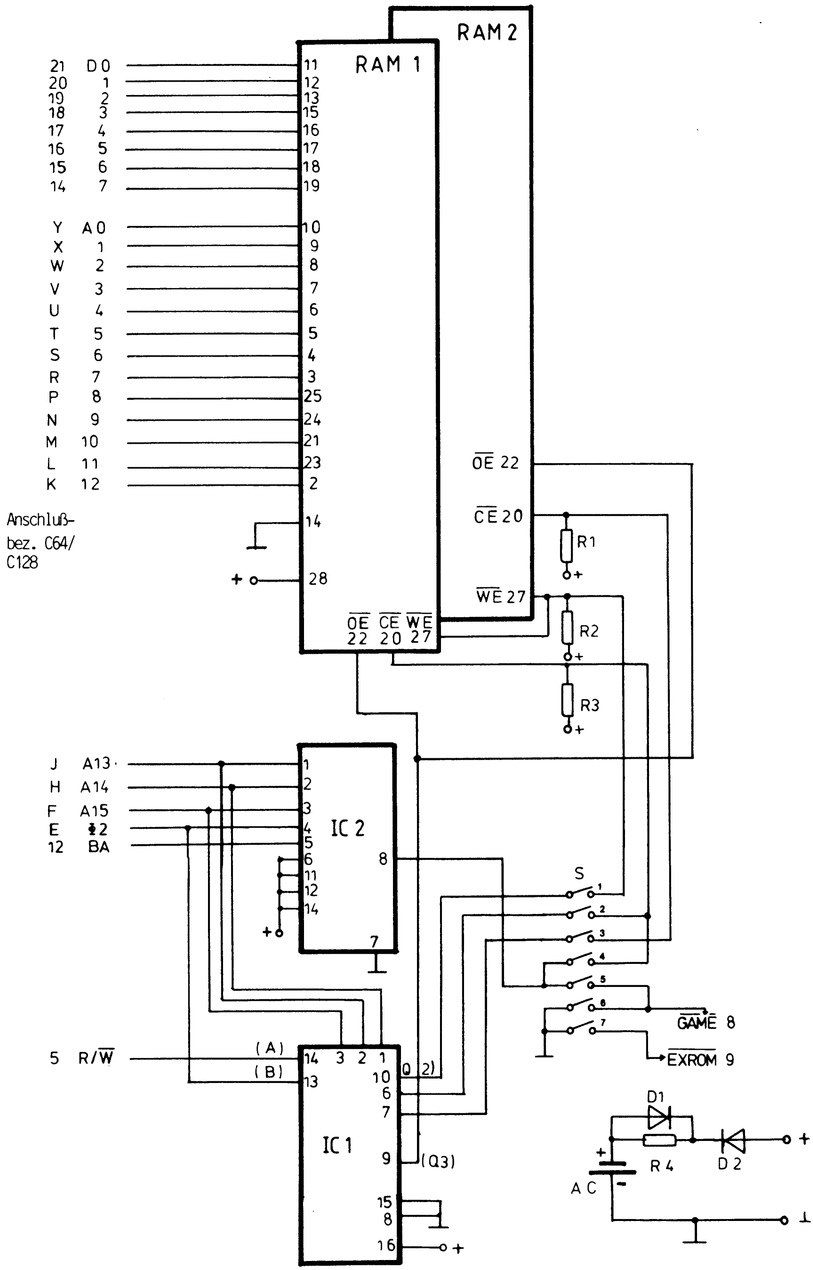


Abb. 139: Schaltplan des 16KB-Soft-EPROM

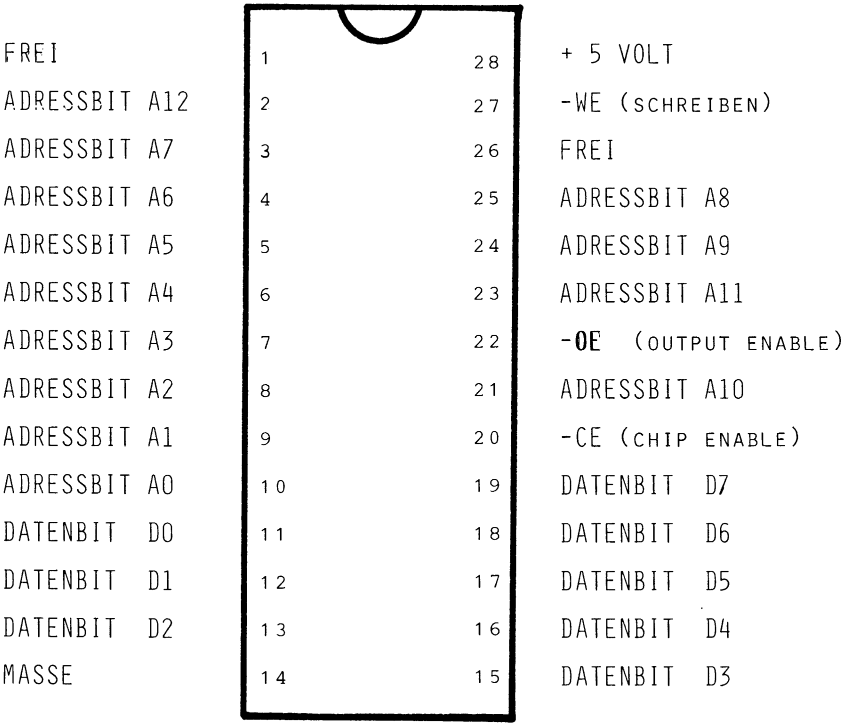


Abb. 140: 8 KB statisches RAM 6264

Schaltungsaufbau

Das Schaltbild der RAM-Karte finden Sie in der Abbildung 139. Zum Einsatz kommen hier zwei statische RAMs des Typs 6264, die jeweils eine Speicherkapazität von 8 KB haben. Die Pinbelegung dieses Schaltkreises ist in der Abbildung 140 wiedergegeben. Der Aufbau dieser Schaltung ist etwas komplizierter als der der bisherigen mit EPROMs, da hier der Speicher sowohl gelesen, wie auch beliebig oft überschrieben werden kann.

Die Adressierung der RAM-Karte erfolgt über die beiden ICs, IC1 ein 74LS139 und IC2 ein 74LS30. Die Bausteinauswahl übernimmt ein 8fach-NAND-Gatter (IC2), an dessen Eingängen (Pins 1-5) die drei höchstwertigsten Adreßbits, sowie der Takt und das CPU-Signal BA zugeführt werden.

Bei diesem NAND-Gatter wird der Ausgang, Pin 8, solange einen H-Pegel aufweisen, wie ein oder auch mehrere Eingänge einen L-Pegel aufweisen. Erst dann, wenn alle acht Eingänge (Pins 1-6, 11 und 12) einen H-Pegel annehmen, wird der Ausgang einen L-Pegel aufweisen. Aus diesem Grund müssen auch alle nicht benötigten Eingänge, die Pins 6, 11 und 12, an die Betriebsspannung gelegt werden, damit die Gesamteingangsbedingung eingehalten werden kann.

Damit die Karte zum richtigen Zeitpunkt ausgewählt wird, sind zusätzlich, neben den Adreßsbits A15-A13, noch das Taktsignal O2 und das Steuersignal BA erforderlich.

BA ist ein vom Video-Controller erzeugtes Signal und zeigt durch einen H-Pegel an, daß die Daten bei einem Lesezugriff gültig sind und bereitstehen. Aus diesem Grund kann auch die RAM-Karte nur bei einem H-Pegel dieses Signals ausgewählt werden. Der Zugriff des Video-Controllers auf den RAM ist nur in den nicht genutzten Prozessorlücken, d.h. das Taktsignal O2 ist auf einem L-Pegel, möglich. Bei einem H-Pegel, wie er für das NAND-Gatter, IC 2, erforderlich ist, greift die CPU auf den RAM zu. Der Ausgang des NAND-Gatters, Pin 8, liegt am DIL-Schalter 4 und 5, durch den sich die gesamte Karte in das Rechnersystem einbinden läßt.

IC 1, ein 74LS139, enthält zwei getrennte Decoder. Der erste Decoder entscheidet in Abhängigkeit des Taktsignals, Pin 13 und des R/-W am Pin 14 darüber, ob in den RAM geschrieben oder aus dem RAM gelesen werden soll. Wird nämlich ein Auswahlcode mit A=1 und B=2 gewichtet den Eingängen 14 und 13 zugeführt, so geht der entsprechende Ausgang auf einen L-Pegel, während alle übrigen auf einem H-Pegel verbleiben. Bei zwei Eingängen, wie es im Schaltbild mit A und B angezeigt ist, können insgesamt vier Ausgänge -Q0 bis -Q3 aktiviert werden. In unserem vorliegenden Fall werden allerdings nur die beiden höchstwertigsten (-Q2 und -Q3) Pins 10 und 9 benötigt, da nur zwischen einem Lese- oder Schreibmodus zu unterscheiden ist.

Insgesamt ergibt sich in Abhängigkeit der beiden Eingangssignale folgende Wahrheitstafel:

Anschluß 13 Taktsignal gewichtet=2	Anschluß 14 R/-W gewichtet=1	Ausgang Q auf Low	Bemerkung
L	L	Q0, Pin 12	bleibt frei
L	H	Q1, Pin 11	bleibt frei
H	L	Q2, Pin 10	
H	H	Q3, Pin 9	

Nur die Kombination, bei der auch das Taktsignal einen H-Pegel aufweist, ist für unsere Schaltung von Interesse. Bei einem L-Pegel am R/-W-Pin liegt ein Schreibzugriff vor, der über den DIL-Schalter S1 weitergeführt wird. Bei einem H-Pegel am R/-W-Pin liegt dagegen ein Lesezugriff vor, und der entsprechende Ausgang wird mit dem -Out-Enable der EPROMs verbunden.

Der zweite Decoder innerhalb des IC1 steuert die Bausteinauswahl, also den Chip-Select-Eingang, Pin 20. Hierzu muß allerdings noch der erforderliche Speicherbereich mit den Signalen -EXROM und/oder -GAME aktiviert werden. Das Auswahlverfahren wurde bereits ausführlich bei den EPROM-Karten und in der Einleitung des Kapitels 14 beschrieben. Es erübrigt sich an dieser Stelle eine Wiederholung. Die Soft-EPROM-Karte kann in unterschiedlichen Variationen betrieben werden:

Mode 1	Verwendung als 8 KB SOFT-EPROM-Karte	
DIL-Schalter 7	auf ON	
DIL-Schalter 2	auf ON	
DIL-Schalter 1	auf ON	Schreibmöglichkeit in den RAM
DIL-Schalter 1	auf OFF	nur Lesemöglichkeit aus dem RAM

Die Karte arbeitet im Adreßbereich hex. 8000-9FFF (dez. 32.768-40.959).
Durch diese Adressierung wird das RAM 1 aktiviert.

Mode 2	Verwendung als 16KB SOFT-EPROM-Karte	
DIL-Schalter 2	auf ON	
DIL-Schalter 3	auf ON	
DIL-Schalter 6	auf ON	
DIL-Schalter 7	auf ON	
DIL-Schalter 1	auf ON	Schreibmöglichkeit in den RAM
DIL-Schalter 1	auf OFF	nur Lesemöglichkeit aus dem RAM

Die Karte arbeitet im Adreßbereich hex. 8000-BFFF (dez. 32.768-49.151). Durch diese Adressierung sind beide RAMs aktiv.

Die DIL-Schalter 4 und 5 haben eine besondere Bedeutung, auf die nun näher eingegangen wird:

Bevor Sie die Karte als Betriebssystem einsetzen und testen können, müssen Sie diese zunächst durch das entsprechende Einstellen der DIL-Schalter auf Mode 1 als 8 KB SOFT-EPROM-Karte bringen. Anschließend können Sie ihr Betriebssystem in den 8 KB Bereich des RAM-1 einschreiben. Im nächsten Schritt muß die Karte als zusätzliches Betriebssystem arbeiten. Hierzu stellen Sie nur die Schalter S4 und S5 auf ON, alle anderen müssen auf OFF gestellt werden. Nach einem RESET - beim C64 müssen Sie den Ein-Aus-Schalter betätigen - meldet sich das neue System.

Wenn Sie dieses mit Hilfe der RAM-Karte ausgetestet haben, können Sie es als EPROM brennen und die Kernal-Erweiterung des Kapitels 14.3 nachbauen. Bedenken Sie aber, daß in dieser Konfiguration der Rechner den RAM-Bereich von hex. E000-FFFF, d.h. dez. 57.344-65.535 nicht frei gibt.

Ein wichtiger Bestandteil der Schaltung ist die Akkupufferung, rechts unten im Schaltplan. Beim Betrieb lädt sich der Akku über den Widerstand R4 immer wieder auf. Somit bleiben die Daten im RAM-Speicher auch beim Herausziehen der Karte aus dem Rechner erhalten. Die SOFT-EPROM-Karte kann entweder direkt am Expansionsport des Rechners betrieben werden oder aber auf den Slots A oder B der I/O-Adapterkarte. Die Widerstände R1-R3 sind in ihrem Wert nicht kritisch und können zwischen 4,7 K und 10 K betragen. Ihre Aufgabe ist es, im nicht aktiven Zustand der jeweiligen Anschlüsse für einen korrekten H-Pegel zu sorgen. Bei ähnlichen Schaltungen findet man noch zusätzliche Pull-down-Widerstände an den Adreß- und Datenleitungen, damit bei entfernter Karte diese Anschlüsse immer einen korrekten Pegel aufweisen. Versuche mit dieser Schaltung haben aber gezeigt, daß dieses nicht notwendig ist, da die Steueranschlüsse -OE und -CE durch die Widerstände R1-

R3 im nicht aktiven Zustand immer einen H-Pegel haben und die Adreß- und Datenleitungen sich in einem hochohmigen Zustand befinden.

Bauteile:

IC 1	=	74 LS 139
IC 2	=	74 LS 30
IC 3	=	6264, 8KB-statischer RAM, z.B. von Hitachi
IC 4	=	6264, 8KB-statischer RAM, z.B. von Hitachi
R1-3	=	4,7 k (Pull-up-Widerstände)
R4	=	1,7 k
D1-2	=	1 N 4148
AC	=	2 Akkus mit jeweils 1,2 Volt, ca. 250-500 mA geschaltet auf 2,4 Volt
S	=	8fach-DIL-Schalter

15. EPROM-Programmiergerät

Da im Kapitel 14 bereits ausführlich über den Einsatz von EPROMs berichtet wurde, wird in diesem Kapitel ein besonderes EPROM-Programmiergerät vorgestellt, mit dessen Hilfe Sie sich Ihre eigenen EPROMs brennen können.

Das Programmiergerät weist folgende Vorteile auf:

+ Es ist direkt am User-Port des Rechners zu betreiben!

+ Es ist keine zusätzliche Stromversorgung erforderlich!

+ Es können alle EPROMs 2716-27128 programmiert werden.

+ Menügesteuerte Software!

Den Schaltplan des Programmiergerätes finden Sie in der Abbildung 141. Die Schaltung läßt sich in drei Funktionsgruppen unterteilen: Spannungsversorgung, Zähler und Modul. Das Programmiergerät wird direkt am User-Port des Rechners angeschlossen. Die dort anliegende 9 Volt Wechselspannung wird benutzt, um einerseits die Standard-Programmierspannung von 24 Volt und andererseits die 21 Volt zum Programmieren der A-Typen zu erzeugen. Die Spannungsvervielfachung geschieht durch die Dioden D1-D4 und den Elkos C1-C4. Achten Sie bei diesen darauf, daß unbedingt die in der Bauteilliste angegebene Spannungsfestigkeit eingehalten wird.

Auf der rechten Seite des Schaltplans befindet sich ein Kästchen mit der Bezeichnung "Modul". Dieses stellt nichts anderes dar, als eine 16-polige IC-Trägerfassung, auf der, je nach EPROM-Typ, verschiedene Pins miteinander zu verbinden sind. Da die zu programmierenden EPROMs eine unterschiedliche Pinbelegung in den Steuersignalen aufweisen, wurden diese Anschlüsse auf den Modulstecker gelegt. Je nach dem gewünschten EPROM-Typ muß nun der entsprechende Modulstecker in die IC-Fassung gesteckt werden.

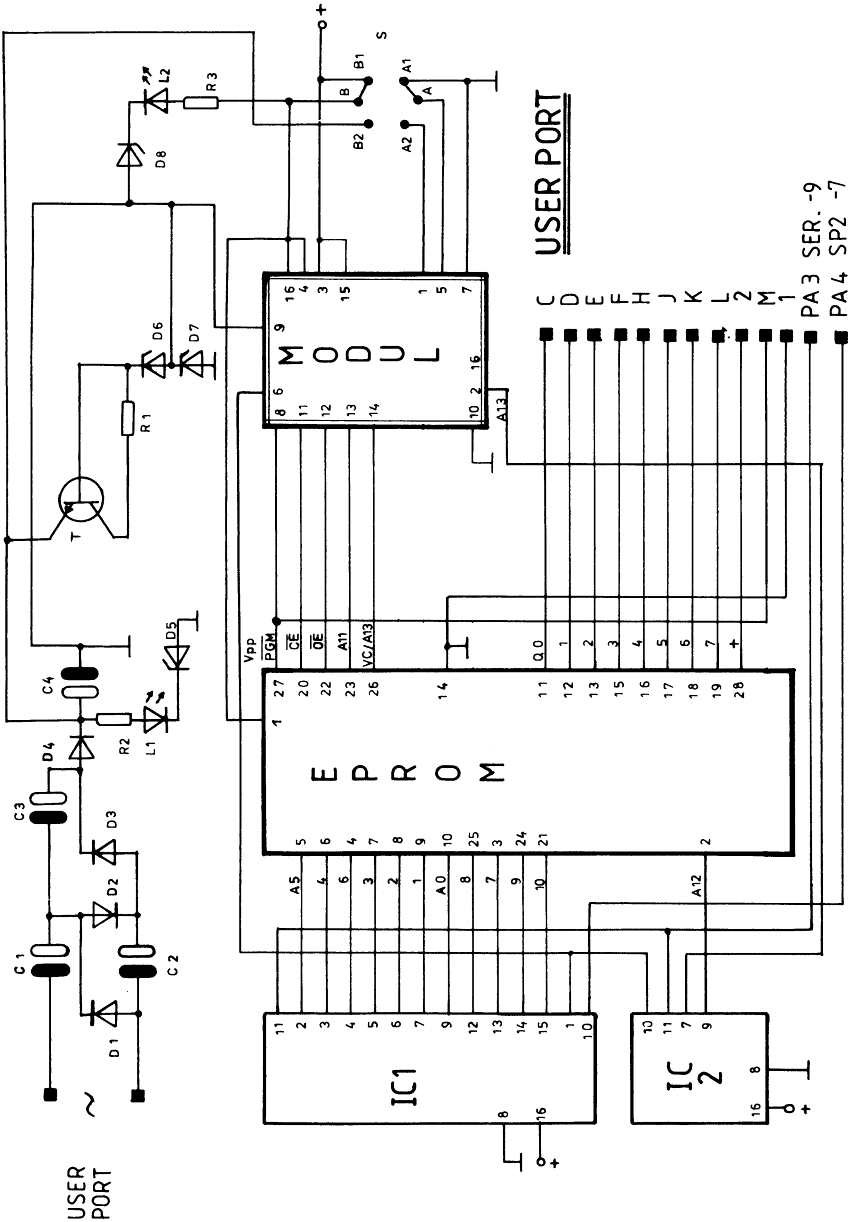


Abb. 141: Schaltplan des EPROM-Programmiergerätes

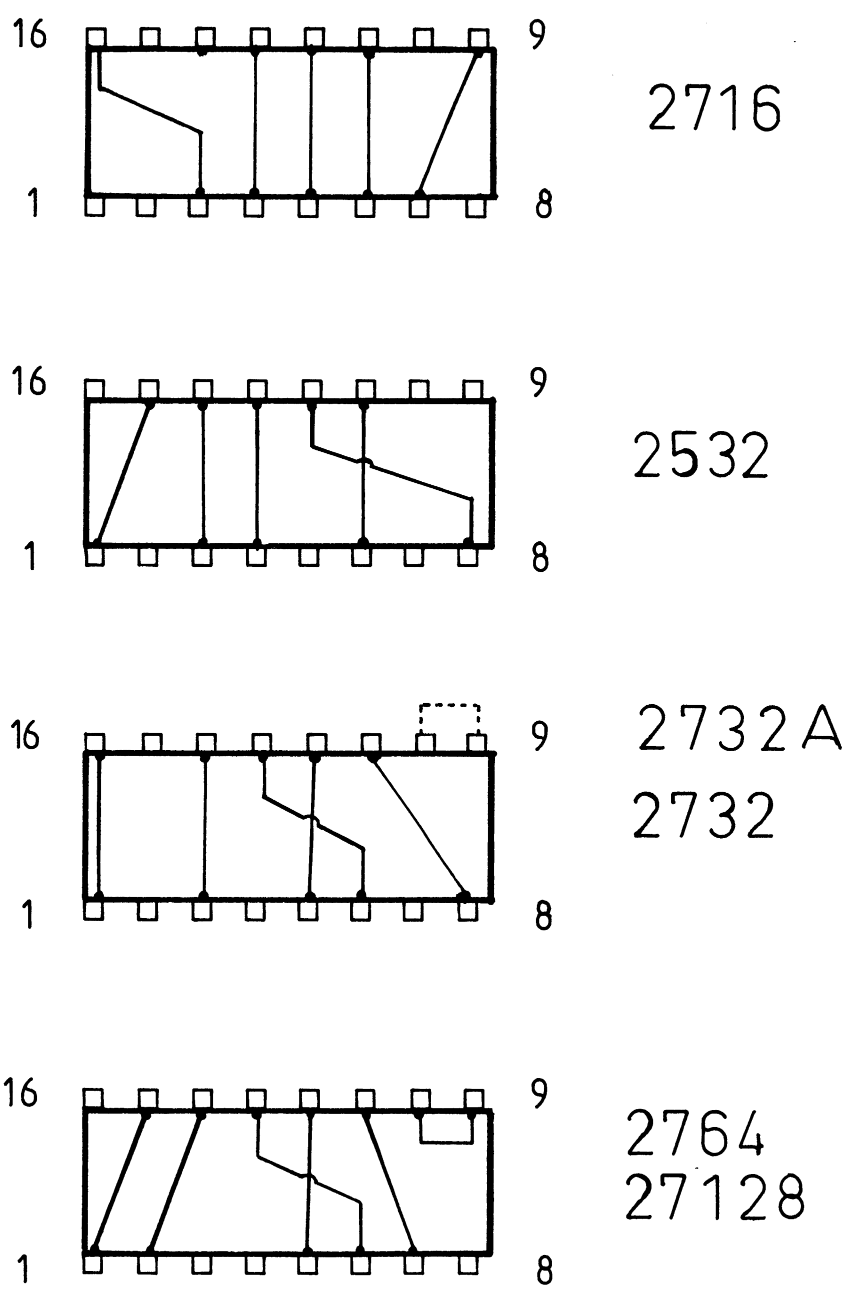


Abb. 142: EPROM-Module (von oben!)

Die Tabelle der Abbildung 142 zeigt Ihnen einen Überblick über diese Modulstecker. Zu beachten ist hier lediglich, daß bei dem Modulstecker für den EPROM 2732A noch die gestrichelte Brücke an den Anschlüssen 9 und 10 erforderlich ist. Beim 2732 entfällt diese Verbindung. Alle Module der Abbildung 142 sind von oben, (also in der Draufsicht), gezeichnet.

Das Foto der Abbildung 143 zeigt Ihnen diese Modulstecker. Zu diesen IC-Trägerfassungen erhalten Sie auch im Handel Abdeckhauben, damit die Stecker professioneller aussehen. Vergessen Sie aber nicht, die Modulstecker zu kennzeichnen, damit diese nicht versehentlich falsch in die Fassung gesteckt werden.

Zur nächsten Funktionsgruppe gehören die beiden Zähler IC1 und IC2. Hierbei handelt es sich um zwei asynchrone, 12-stufige Binärzähler. Jedesmal, wenn der Takt (Pin 10) sich von positiv auf Masse ändert, wird um eins weitergezählt. Bei 12 Ausgängen kann der Zähler bis maximal 2^{12}=4096 zählen; danach beginnt er wieder von vorne. Sobald der Reset, Pin 11, an einen H-Pegel gelegt wird, gehen alle Ausgänge auf Masse, und zwar solange, bis der Reset wieder einen L-Pegel angenommen hat. Näheres zu diesem IC sowie das Schaltbild finden Sie im Anhang E, wo alle wichtigsten integrierten Schaltkreise dieses Buches verzeichnet sind.

Mit nur einem IC dieser Art wäre es nicht möglich, die Typen 2764 und 27128 zu programmieren, da diese 14 Adreßleitungen benötigen. Der erste Zähler, IC1, ist für die Adreßleitungen A0-A10 zuständig. Bei einem Überlauf, d.h. der zwölfte Ausgang wird aktiviert, wird der zweite Zähler aktiviert, der mit Hilfe des Moduls die restlichen Adressen, soweit dies erforderlich ist, durchzählt. Das Foto der Abbildung 144 zeigt die Takterzeugung am Clock-Eingang des 4040.

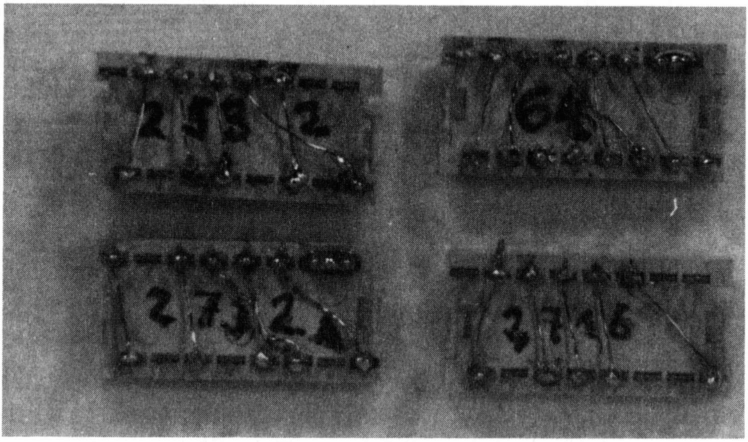


Abb. 143:
Musteraufbau der verschiedenen EPROM-Module. Achten Sie darauf, daß sich die Drähte bei Überschneidungen nicht berühren.

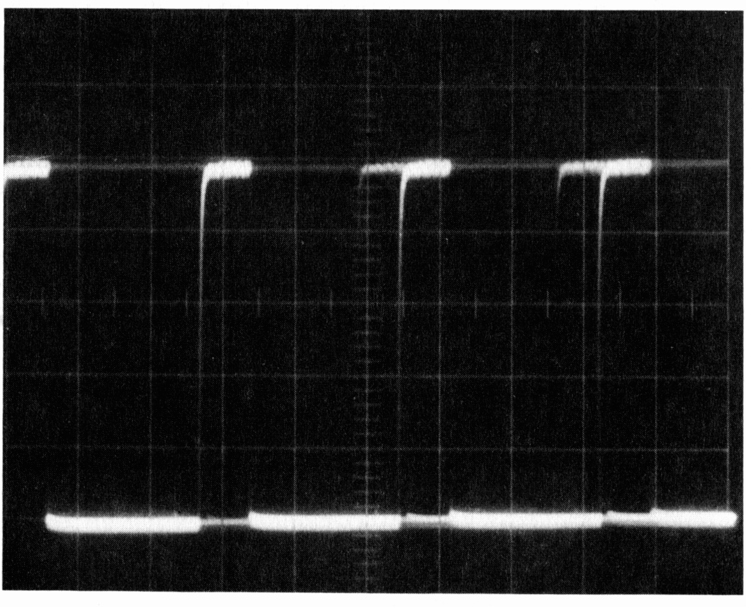


Abb. 144: PA4-Signal zur Takterzeugung für den 4040-Zähler

Die Leuchtdiode L1 (grün) zeigt das Vorhandensein der Programmierspannung an. Wenn diese wesentlich dunkler wird oder gar erlischt, bedeutet dieses, daß der EPROM defekt ist, da die Programmierspannung infolge des erhöhten Stroms durch den EPROM zusammengebrochen ist. Im Leerlauf liegen an dieser Stelle ca. 40 Volt an, bei defektem EPROM nur noch 25 Volt Erzeugerspannung.

Die Leuchtdiode L2 (rot) ist im Normalfall aus; nur beim Einschalten auf die Stellung "PROGRAMMIEREN" muß diese aufleuchten.

Der Schalter S steht im Normalfall auf Lesen, Testen, Überprüfen. Erst dann, wenn das Programm Sie auffordert, wird der Schalter auf "PROGRAMMIEREN" umgestellt.

Bei der Programmierung eines EPROMs wird zunächst überprüft, ob alle Speicherstellen "FF" aufweisen, d.h. ob das EPROM leer bzw. gelöscht ist. Bei der Programmierroutine werden später nur die erforderlichen Speicherstellen auf "0" gesetzt. Der Zyklus wird gestartet, indem die notwendige Spannung an den Programmiereingang (Vp) angelegt wird. Danach müssen die Adresse und die zu programmierenden Daten an den Eingängen angelegt werden. Voraussetzung hierfür ist natürlich, daß das EPROM mit einem L-Pegel am Chip-Select-Eingang aktiviert wird. Anschließend wird am Programmieranschluß (-PGM) ein 50 ms langer Impuls angelegt, und damit wird das Byte auf den selektierten Speicherplatz programmiert. Bei dem 2 KB EPROM 2716 muß der Programmierimpuls positiv sein, während er bei den anderen EPROMS negativ sein muß. Die beiden Fotos der Abbildungen 145 und 146 zeigen dieses anhand des Oszillogramms, wobei zur Verdeutlichung die Pausen künstlich verlängert worden sind.

Für den 2716 sehen Sie in den Abbildungen 147 und 148 die Zeitdiagramme zum Lesen und Programmieren.

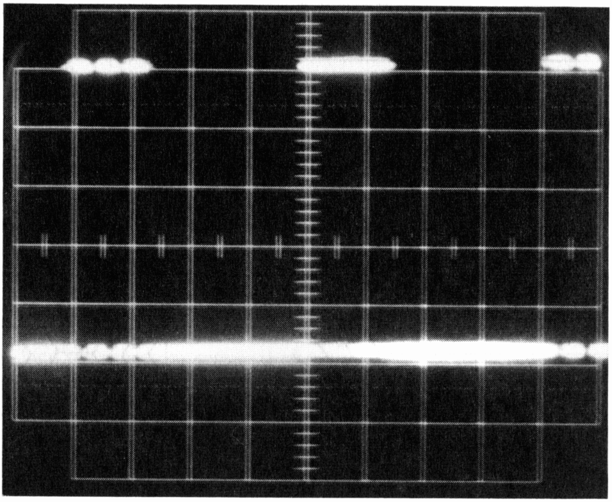


Abb. 145:
Programmierimpuls PGM für EPROM-Typ 2716, der nicht invertiert ist.

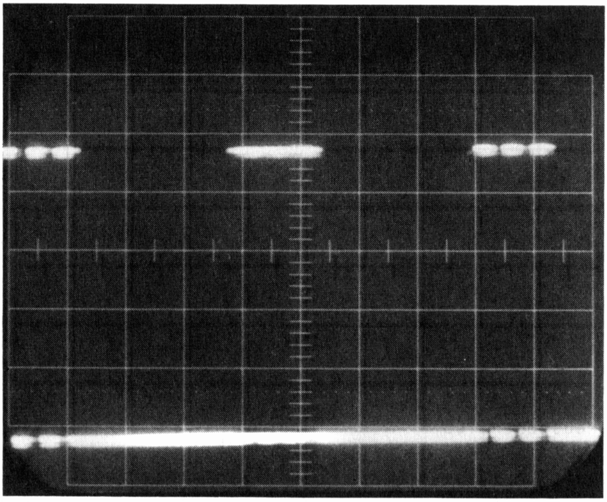
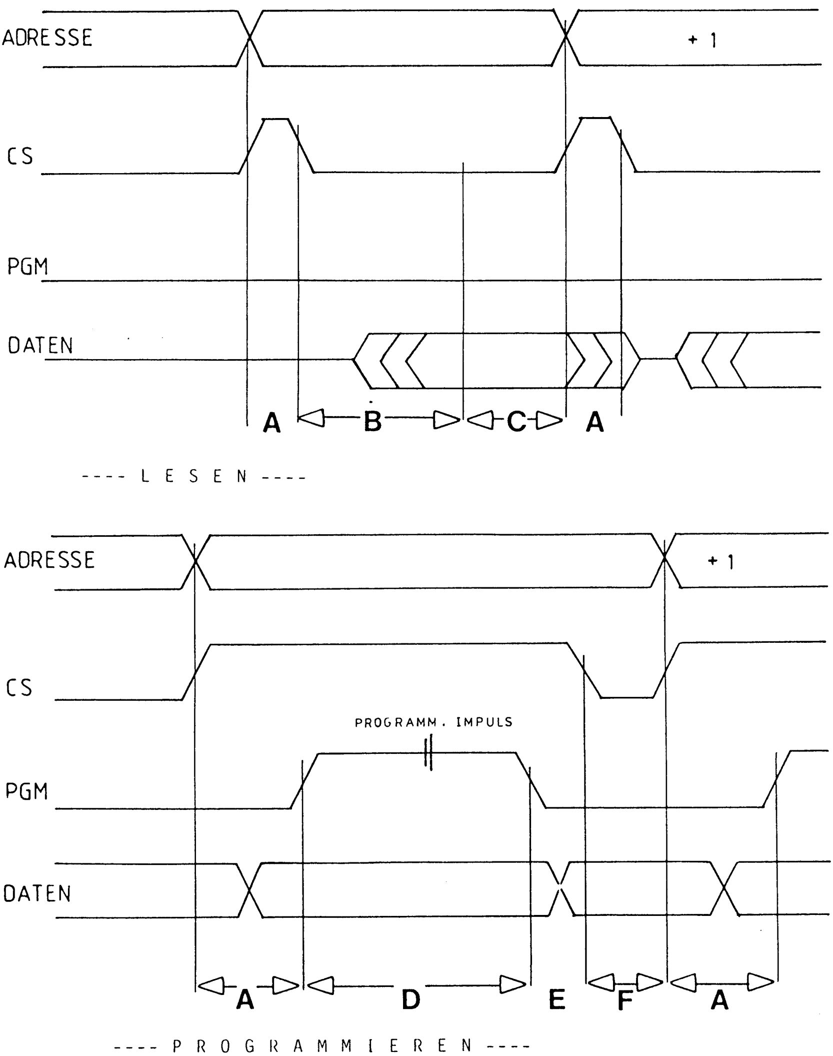


Abb. 146:
Darstellung des Programmierimpulses PGM, wobei die Pausen künstlich verlängert wurden.



A = Adresse ausgeben, CS = "1"

B = CS = "0", Verzögerung bis Daten stabil

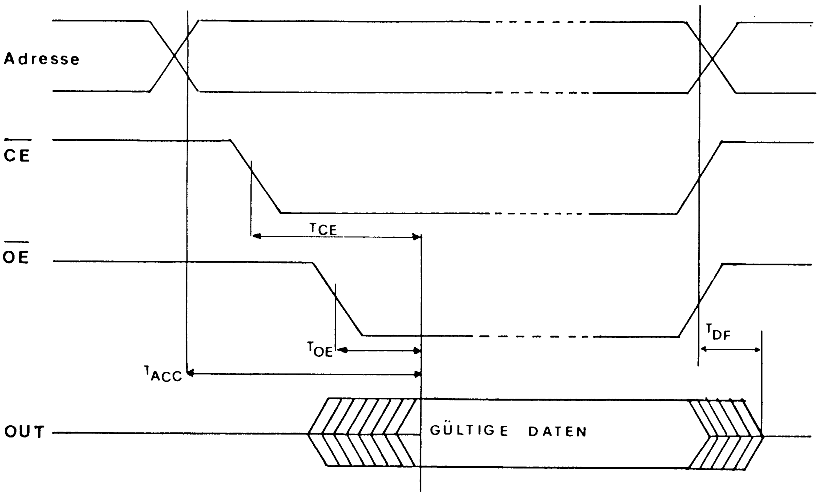
C = Daten lesen, Adresse erhöhen

D = Programmierimpuls für 50 ms

E = Lesebereitschaft, CS = 0

F = Daten lesen und prüfen

Abb. 147:
Zeitdiagramm des EPROM 2716 (LESEN und PROGRAMMIEREN)



Symbol	Bedeutung	2716		2716-1		2716-2		2716-5		2716-6	
		min.	max.	min.	max.	min.	max.	min.	max.	min.	max.
TACC	Adr.-Ausgbe		450		350		390		450		450
TCE	CE-Ausgabe		450		350		390		490		650
TOE	OE-Ausgabe		120		120		120		160		200
TDF	OE 'H'	0	100	0	100	0	100	0	100	0	100

(Quellenhinweis: Texas Instruments Datenblatt)

Abb. 148: Zeitdiagramm des EPROM 2716 (Texas Instruments)

Aufbau des Programmiergerätes

Das Platinenlayout der Schaltung sehen Sie in der Abbildung 149, den dazugehörigen Bestückungsplan in der Abbildung 150. Zunächst sind alle Drahtbrücken einzubauen, anschließend die diskreten Bauteile, wie Elkos und Dioden. Achten Sie hierbei auf die korrekte Einbaulage; bei den Dioden gibt der Ring die Kathodenseite wieder. Die Elkos müssen die in der Bauteilliste angegebene Spannungsfestigkeit unbedingt aufweisen.

Der Elko C5, der im Bestückungsplan gestrichelt dargestellt ist, dient zur Unterdrückung von Störimpulsen auf der Versorgungsspannung und ist nicht in jedem Fall erforderlich. Prinzipiell eignet sich als EPROM-Fassung zwar jede 28-polige, Sie sollten hier aber wenigstens eine Qualitätsfassung verwenden oder gleich einen Nullkraftsockel (Textool) einbauen. Das Detailfoto der Abbildung 151 vermittelt Ihnen einen Überblick über die richtige Einbaulage der Dioden. Für die Montage der Elkos können sowohl stehende, wie auch liegende Ausführungen verwendet werden. Die Abbildung 152 zeigt Ihnen den Gesamtaufbau des EPROM-Programmiergerätes. Markieren Sie sich unbedingt die korrekte Einstecklage für den Modulstecker! Das Umschalten auf die Stellung "Programmieren" soll nur dann erfolgen, wenn die menügesteuerte Software Sie hierzu auffordert.

Bei diesem Mustergerät ist der Elko C5 nicht vorhanden, und zusätzlich ist noch ein Kondensator neben dem Modulstecker zu Testzwecken eingesetzt worden, der im Orginallayout nicht mehr vorhanden ist. Am oberen Rand des Fotos sehen Sie die Anschlußleiste zum User-Port des Rechners, wobei der Wechselspannungseingang ganz oben etwas abgesetzt wurde. Bitte prüfen Sie nach dem Aufbau die Leiterbahnen sorgfältig nach und achten Sie auf ungewollte Leiterbahnverbindungen und kalte Lötstellen. Zum ersten Test verbinden Sie nur den Wechselspannungseingang mit dem User-Port (Pin 10 und 11), sowie die 5 Volt und die Masse. Danach prüfen Sie das Vorhandensein der 5 Volt Versorgungsspannung am Pin 16 von IC1 und 2 am EPROM-Sockel, Pin 28, sowie am Modulsockel. Nehmen Sie hierzu den Schaltplan aus der Abbildung 141 zu Hilfe. Prüfen

Sie auch, ob die beiden Programmierspannungen 24 Volt und 21 Volt anliegen. Ist die Überprüfung bis hierhin ordnungsgemäß abgeschlossen, so können Sie die restlichen Verbindungen zum User-Port herstellen.

Bauteile:

IC 1,2	=	4040
IC 3	=	28-polige EPROM-Fassung
C 1,2	=	470 uF / 25 V
C 3	=	47 uF / 63 V
C 4	=	470 uF / 25 V
C 5	=	100-470 uF/12 V liegend
D 1-4	=	1N4148
D 5	=	Zenerdiode 24 V
D 6	=	Zenerdiode 22 V
D 7	=	Zenerdiode 3,9 V
D 8	=	Zenerdiode 16 V
R 1	=	1 k
R 2	=	2,2 k
R 3	=	470 Ohm
L 1	=	Leuchtdiode 3 mm grün
L 2	=	Leuchtdiode 3 mm rot
T	=	NPN Transistor BD 139, BD 235 o.ä.
S	=	Schalter 2xUm für Printmontage

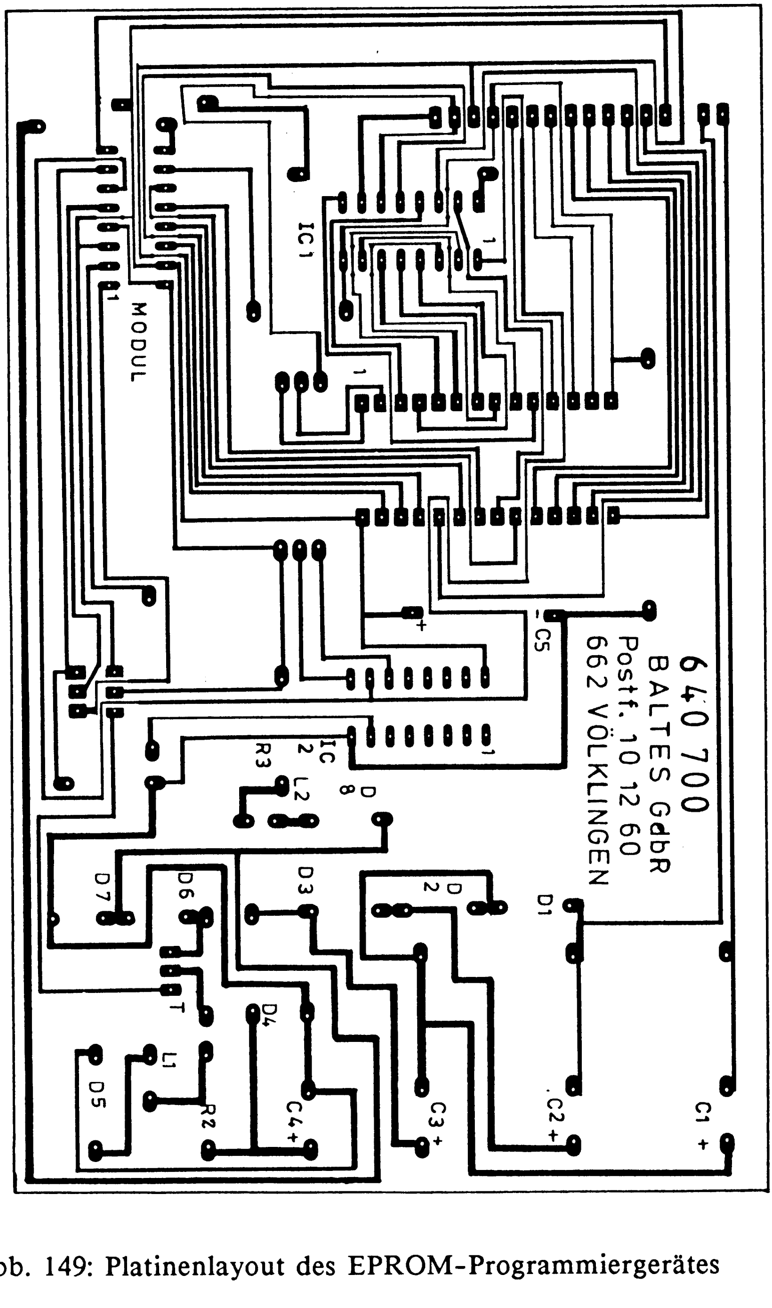


Abb. 149: Platinenlayout des EPROM-Programmiergerätes

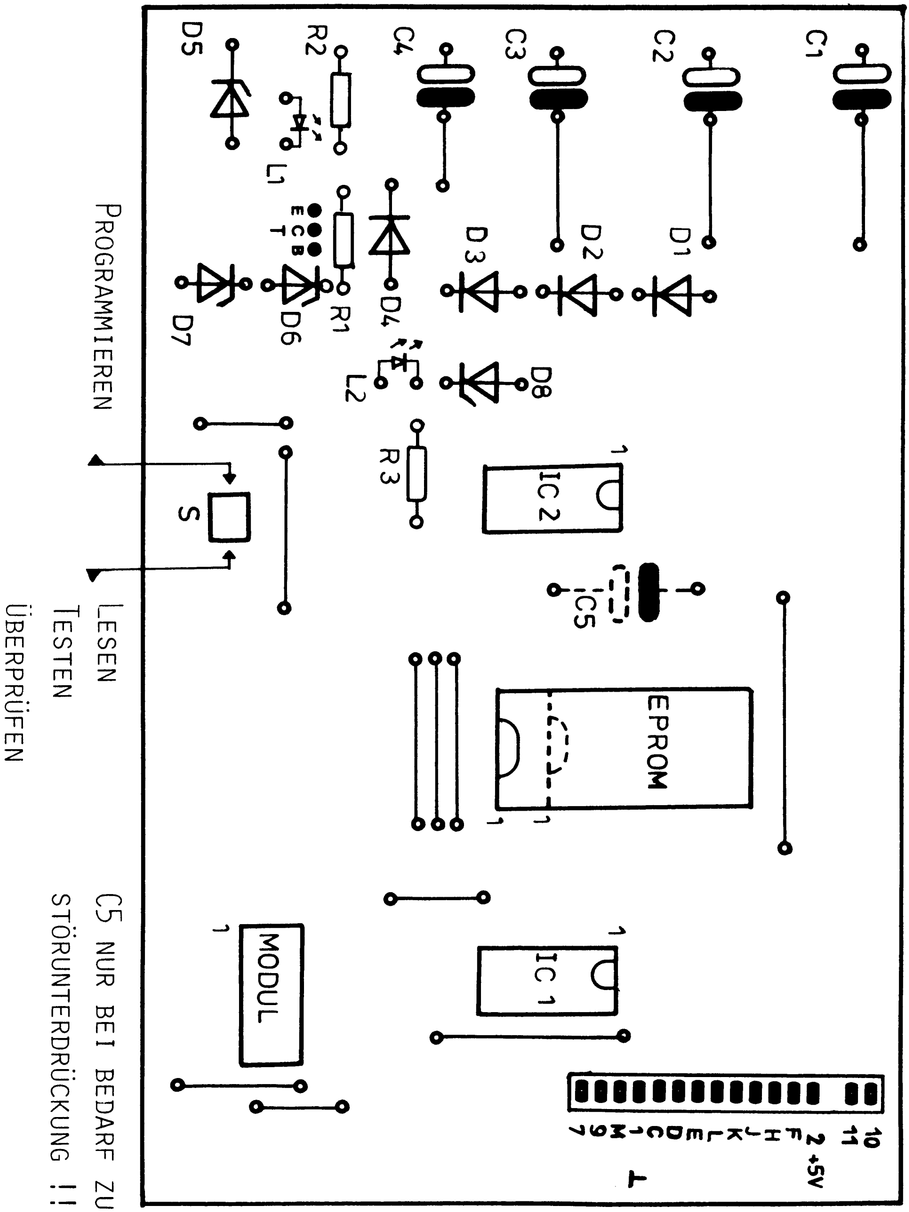


Abb. 150: Bestückungsplan zum EPROM-Programmiergerät

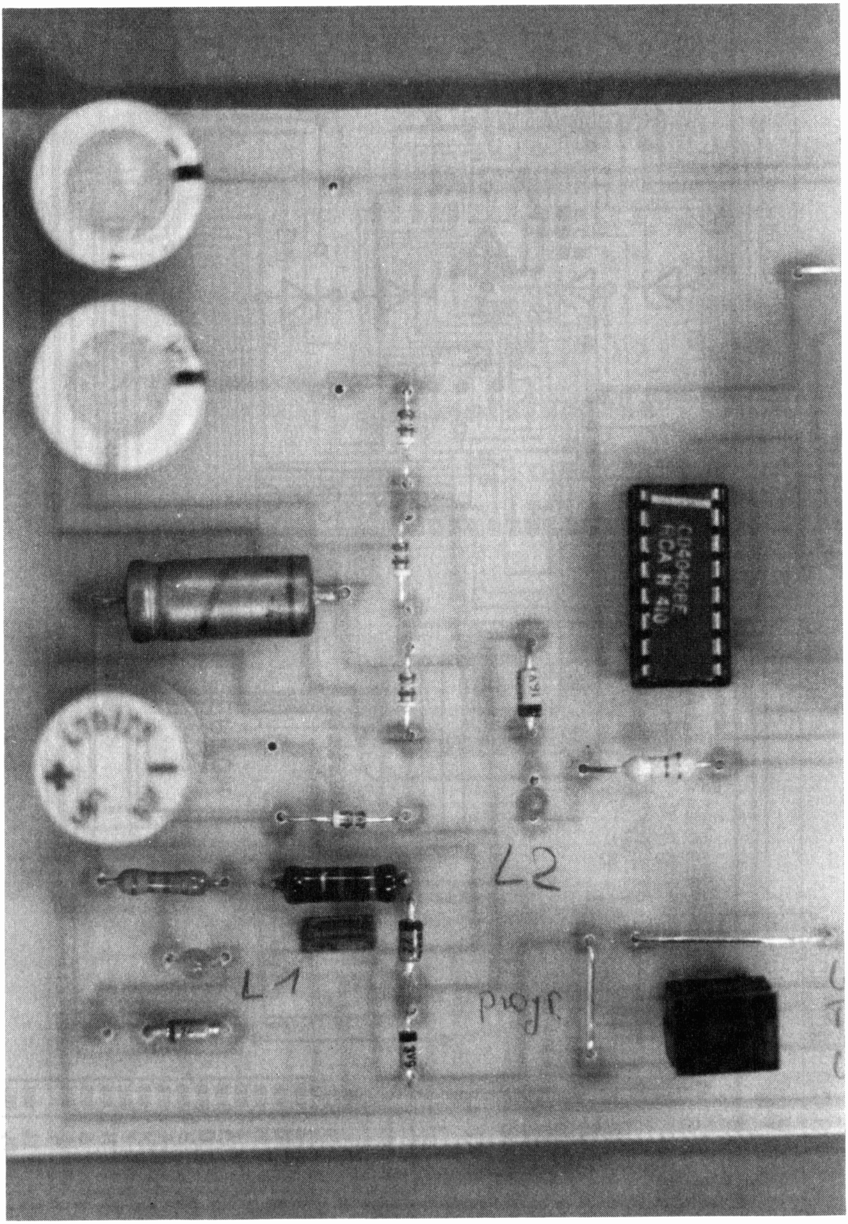


Abb. 151:
Detailaufnahme der Stromversorgung des EPROM-Programmiergerätes

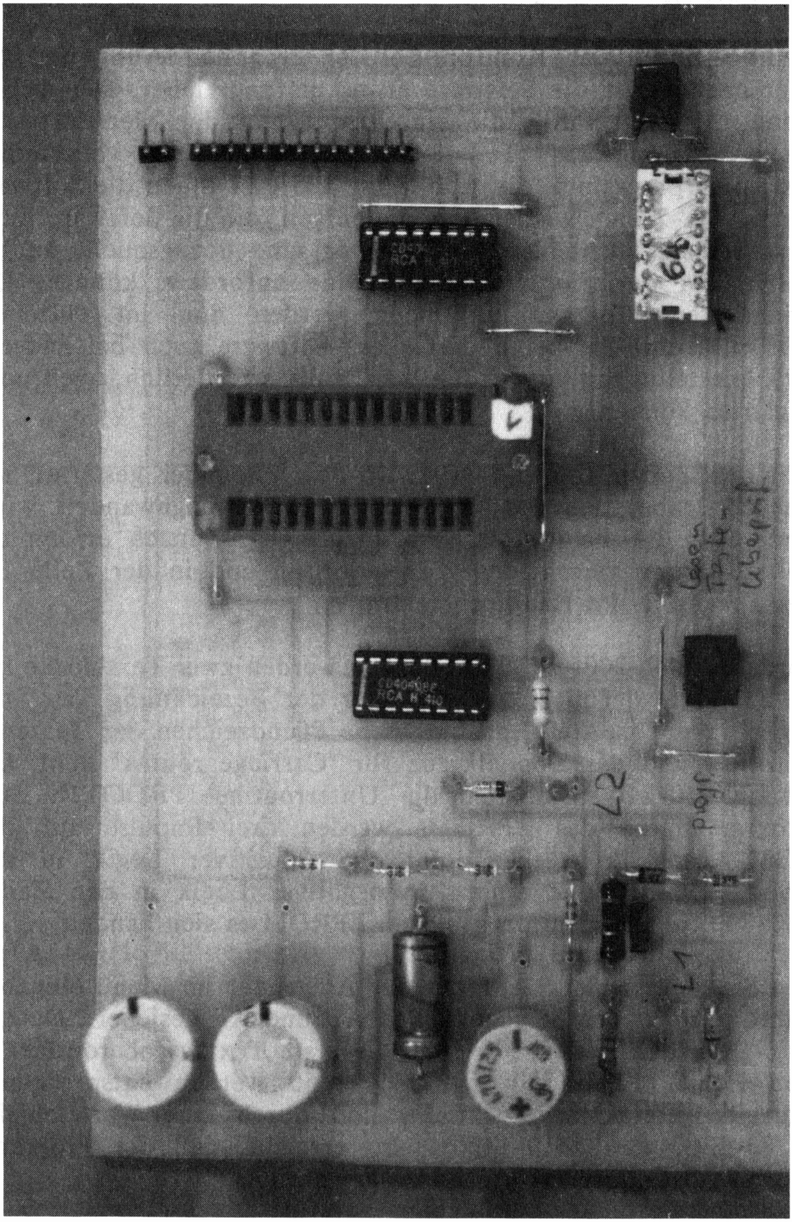


Abb. 152: Musteraufbau des EPROM-Programmiergerätes

Softwarebeschreibung

Bedingt durch den Komfort bei der Programmierung und der Menütechnik ist die Software etwas umfangreicher. Die Abbildung 153 zeigt Ihnen die einzelnen Bilder der Menüsoftware. Die Abbildung 154, Teil 1-17, zeigt Ihnen das vollständige Assemblerprogramm, die Abbildung 155 gibt Ihnen die Software als DATA-Zeilen wieder. Für diejenigen, die die Software nicht abschreiben möchten, ist im Anhang eine Bezugsquelle aufgeführt, bei der Sie auch die Platine anfordern können. Die wichtigsten Programmfunktionen werden nun im einzelnen erklärt, damit Sie bei Bedarf diese Software auch bei anderen Problemstellungen verwenden bzw., falls erforderlich, auch noch ergänzen können.

Mit den Zeilen 100 und 110 wird der Assembler gestartet, mit der Maßgabe, daß der Objektcode direkt umgewandelt wird, ohne dies auf dem Bildschirm anzuzeigen. Danach erfolgt die Initialisierung verschiedener Portadressen und in der Zeile 170 der Sprung in das Hauptprogramm.

In den Zeilen 200-490 und 500-730 werden zwei Textblöcke mit je 256 Byte definiert, wobei hinter der Bezeichnung ".asc" der eigentliche Text steht, das englische Pfundzeichen das Textende markiert und das Doppelkreuz für "Carriage return" steht. Die Zeilen 750-810 beinhalten die Unterroutine "PROGT1". Zum Programmieren des EPROMs werden drei Impulse auf den PGM-Anschluß gegeben, einmal in positiver Logik in den Zeilen 750-810 und einmal in negativer Logik in den Zeilen 830-890, je nachdem um welchen EPROM es sich handelt.

Die Startadresse im RAM, die der Anwender im Menü eingeben kann, wird in den Speicherstellen AE und AF gesichert. Danach erfolgt in den Zeilen 970-1080 die erste Textausgaberoutine. In den Zeilen 1230-1330 und 1350-1450 werden entsprechende Portbits gesetzt bzw. gelöscht, und durch eine Warteschleife (1280-1300 und 1410-1420) wird erreicht, daß der Programmierimpuls immer für ca. 0,4 ms ansteht.

```
          EPROM   PROGRAMMER

    (1)   2716
    (2)   2532
    (3)   2732
    (4)   2764
    (5)   27128

    (x)   ENDE


    RAM START x000
    RAM ENDE  ....  (WIRD AUTOMATISCH ERRECHNET)
```

ANMERKUNG:
AUF DIESEM ERSTEN BILD WÄHLT DER ANWENDER DEN ENTSPRECHENDEN EPROM-TYP AUS, INDEM ER DIE DAZUGEHÖRIGE ZIFFER EINGIBT. BEI DER EINGABE "X" GESCHIEHT EIN RÜCKSPRUNG IN DAS BASIC, MIT DEM SYS-BEFEHL IST JEDOCH JEDERZEIT WIEDER IN DIE EPROM-SOFTWARE ZU GELANGEN.
NACH DER EINGABE ERSCHEINT IM UNTEREN TEIL DES BILDES DIE MELDUNG "RAM-START x000". FÜR "X" MUSS DER ANWENDER DIE START ADRESSE IM RAM ANGEBEN, AUTOMATISCH ERSCHEINT DANN, JE NACH DEM GEWÄHLTEN EPROM-TYP DIE RAM-ENDE-ADRESSE UND ES ERFOLGT GLEICHZEITIG EIN SPRUNG IN DAS ZWEITE BILD

Abb. 153/1: Bildschirmlayout des EPROM-Programmiergerätes

```
            EPROM   PROGRAMMER

   PROGRAMMIEREN
   TESTEN
   LESEN
   VERGLEICHEN
   EPROM WÄHLEN
```

```
ANMERKUNG:
JE NACH DEM GEWÜNSCHTEN AUFGABENGEBIET MUSS DER ERSTE BUCH-
STABE EINGEGEBEN WERDEN, ALSO P,T,L,V,E.
BEI EINGABE VON "E" ERFOLGT EIN RÜCKSPRUNG AUF DAS ERSTE BILD,
WO ENTWEDER DAS MENUE VERLASSEN WERDEN KANN ODER ABER EIN NEUER
EPROM-TYP AUSGEWÄHLT WERDEN KANN.
BEI DER EINGABE VON "P" WIRD DER ANWENDER AUFGEFORDERT, AM
PROGRAMMIERGERÄT DIE PROGRAMMIERSPANNUNG EINZUSCHALTEN UND DIES
DEM PROGRAMM DURCH DRÜCKEN DER LEER(SPACE-)TASTE ZU QUITTIEREN.
JEDER PROGRAMMIERTE BLOCK WIRD IM UNTEREN TEIL DES BILDES OPTISCH
ANGEZEIGT. BEI DER AUSWAHL DER ANDEREN AUFGABENGEBIETE ERSCHEINT
ZUM ABSCHLUSS EINE BESTÄTIGUNG, Z.B. "EPROM GELÖSCHT, EPROM NICHT
GELÖSCHT USW.", DAMIT DER ANWENDER DAS ENTSPRECHENDE AUFGABEN-
GEBIET ABSCHLIESSEN KANN.
```

Abb. 153/2: Bildschirmlayout des EPROM-Programmiergerätes

Von 1470-1570 wird der Zähler inkrementiert, und durch die beiden NOP-Befehle wird erreicht, daß der CMOS-Zähler etwas mehr Zeit erhält. Der Programmierimpuls, je nach EPROM-Typ, wird in den Zeilen 1590-1630 ausgegeben. Anschließend erfolgt eine Initialisierungsroutine für die Portbits, ein Reset auf den Zähler, und die Überschriften werden auf dem Bildschirm ausgegeben. Die Bildschirmausgabe erfolgt durch das Unterprogramm "Langzeit" in den Zeilen 1900-2100.

In den Zeilen 2260-2410 wird vom Anwender über das Menü eine Eingabe abgefragt: Lesen, Testen, Programmieren, Vergleichen. Hierbei ist nur der erste Buchstabe als Eingabe erforderlich (L,T,P,V).

EPROM -- LESEN -- (Zeilen 2430-2690)

Das Lesen eines EPROMs bedeutet, daß der Inhalt in den RAM-Speicher des Rechners übertragen wird. Zunächst wird dazu der Port B auf Eingabe geschaltet und der Text "Lesen" in den Zeilen 2460 und 2470 ausgegeben. Anschließend werden die Lesebedingungen (PGM, OE, CE) für den jeweiligen EPROM-Typ in den Zeilen 2500-2540 festgelegt. In der Zeile 2560 beginnt die eigentliche Leseroutine. Innerhalb einer Schleife (2580-2620) wird immer ein Block von 256 Bytes gelesen. Für jeden Block erscheint auf dem Bildschirm ein "viereckiges Kästchen". Dadurch weiß der Anwender immer, an welcher Stelle sich das Programm befindet. Diese Ausgabe erfolgt in der Zeile 2640. Nach jedem Blocklesen wird mit dem RAM-Ende verglichen. Ist dieses erreicht, wird in der Zeile 2690 in das Hauptprogramm zurückgesprungen.

Der EPROM-Typ, die Länge und die Startbedingungen sind wie folgt definiert:

Zeile 2900-2970	für 2716
Zeile 2990-3050	für 2732A (2532)
Zeile 3070-3130	für 2732
Zeile 3140-3200	für 2764
Zeile 3220-3280	für 27128

EPROM -- LÖSCHTEST -- (Zeilen 3960-4280)

Zunächst wird der Port B auf Eingabe geschaltet, der entsprechende Text wird ausgegeben, und die Startbedingungen für den EPROM werden festgelegt. In den Zeilen 4100-4160 werden jeweils 256 Bytes des EPROMs auf "FF" geprüft. Sollte eine nichtgelöschte Speicherstelle aufgefunden werden, so wird auf die Fehlerzeile 4240 verzweigt und der Text 4 "Löschfehler" ausgegeben. Ist dies nicht der Fall, wird der Zähler um 256 erhöht, und es erfolgt die Überprüfung des nächsten Blocks, so lange bis die Endebedingung erreicht wird. Danach wird der Text 8 "EPROM gelöscht" ausgegeben und in das Hauptprogramm zurückgesprungen.

EPROM -- PROGRAMMIEREN -- (Zeilen 4300-4680)

Der Port B wird auf Ausgabe geschaltet, und gemäß dem ausgewählten EPROM werden die Startbedingungen festgelegt. Erst dann erfolgt die Meldung "Programmierspannung einschalten". Der Anwender muß nun den Schalter von Lesen nach Programmieren umschalten, die Leuchtdiode L2 muß aufleuchten, und über die Leertaste wird dies dem Programm, Zeile 4420-4440, bestätigt. In der Zeile 4470 wird ein Block ausgegeben, in 4480 wird der RAM-Start definiert und der externe Zähler auf Null gesetzt. Die eigentliche Programmierung erfolgt in den Zeilen 4500-4560. Wenn die Ende-Bedingung erreicht ist, d.h. das EPROM wurde programmiert, erscheint durch die Zeile 4620 die Meldung "Programmierspannung ausschalten". Durch Umschalten des Schalters S erlischt die Leuchtdiode L1, und dieses wird dem Programm wieder durch das Drücken der Leertaste mitgeteilt (Zeilen 4640-4660).

EPROM -- VERGLEICHEN -- (Zeilen 4790-5110)

Beim Vergleichen wird der programmierte EPROM-Inhalt mit dem des RAM-Bereiches verglichen. Hierzu wird der Port B wieder auf Eingabe geschaltet, die RAM-Startadresse in den Speicherstellen AE/AF zwischengespeichert, der externe Zähler

durch einen RESET auf Null gesetzt und die Startbedingungen festgelegt.

In den Zeilen 4130-4990 wird jeweils ein Block überprüft. Sollte der Inhalt mit dem RAM-Speicher nicht übereinstimmen, so wird in der Zeile 4960 der Text 20 "Programmierfehler" ausgegeben und die Routine verlassen. Stimmen EPROM- und RAM-Bereich überein, so wird in der Zeile 5000 der Zähler um 256 erhöht, und die nächste Blocküberprüfung beginnt. Ist der Vergleich ordnungsgemäß abgeschlossen, erscheint die Meldung: "Alles o.k.", und es wird in das Hauptprogramm zurückgesprungen.

Abb. 154: (Folgende Seiten)
EPROM-Programmierboard-Software (Assembler)

```
100 sys9*4096
110 .opt ,oo
120 porta = $dd00
130 portb = $dd01
140 rportb = $dd03
150 ausgabe = $ffd2
160 get = $ffe4
170 jmp haupt
180 epromtyp = *
190 .byte 00
200 textstart = *
210 text1 = *-textstart
220 .asc "SQQ        Epromm-ProgrammerQ##£"
230 text2 = *-textstart
240 .asc "SQQQ (P)rogrammieren###"
250 .asc " (T)esten###"
260 .asc " (L)esen###"
270 .asc " (V)ergleichen###"
280 .asc " (E)prom waehlen###£"
290 text3 = *-textstart
300 .asc " Lesen#£"
310 text4 = *-textstart
320 .asc " (1) 2716###"
330 .asc " (2) 2532###"
340 .asc " (3) 2732###"
350 .asc " (4) 2764###"
360 .asc " (5) 27128###"
370 .asc " (X) Ende###£"
380 text5 = *-textstart
390 .asc "  2716#£"
```

```
400 text6 = *-textstart
410 .asc "  2532#£"
420 text7 = *-textstart
430 .asc "  2732#£"
440 text8 = *-textstart
450 .asc "  2764#£"
460 text9 = *-textstart
470 .asc "  27128#£"
480 text10 = *-textstart
490 .asc "  Ram-Start:  000▌███▌£"
500 text11 = *
510 .asc "0123456789abcdef£"
520 textst1 = *
530 text12 = *-textst1
540 .asc "  Ram-Ende : £"
550 text13 = *-textst1
560 .asc " Testen#£"
570 text14 = *-textst1
580 .asc "# Loeschfehler#£"
590 text15 = *-textst1
600 .asc "# Eprom geloescht#£"
610 text16 = *-textst1
620 .asc " Programmiermodus#▣"
630 .asc " Programmierspannung einschalten [space]#£"
640 text17 = *-textst1
650 .asc "▣▣ Ab geht die Post#£"
660 text18 = *-textst1
670 .asc "#▣▣ Programmierspannung ausschalten [space]#£"
680 text19 = *-textst1
690 .asc "Vergleichen#£"
```

```
700 text20 = *-textsti
710 .asc "#Programmierfehler#£"
720 text21 = *-textsti
730 .asc "#alles OK#£"
740 ;
750 progt1 jsr porta21
760 jsr porta20
770 jsr porta21
780 jsr porta20
790 jsr porta21
800 jsr porta20
810 rts
820 ;
830 progt2 jsr porta20
840 jsr porta21
850 jsr porta20
860 jsr porta21
870 jsr porta20
880 jsr porta21
890 rts
900 ;
910 setzeramstart lda $ac
920 sta $ae
930 lda $ad
940 sta $af
950 rts
960 ;
970 textaus pha
```

```
980 texts1 lda textstart,x
990 cmp #"£"
1000 beq texts2
1010 cmp #"#"
1020 bne texts3
1030 lda #13
1040 texts3 jsr ausgabe
1050 inx
1060 bne texts1
1070 texts2 pla
1080 rts
1090 ;
1100 textaus1 pha
1110 texts4 lda textst1,x
1120 cmp #"£"
1130 beq texts5
1140 cmp #"#"
1150 bne texts6
1160 lda #13
1170 texts6 jsr ausgabe
1180 inx
1190 bne texts4
1200 texts5 pla
1210 rts
1220 ;
1230 porta20 pha
1240 lda porta
1250 and #%11111011
1260 sta porta
```

```
1270 txa
1280 ldx #80
1290 p1 dex
1300 bne p1
1310 tax
1320 pla
1330 rts
1340 ;
1350 porta21 pha
1360 lda porta
1370 ora #%00000100
1380 sta porta
1390 txa
1400 ldx #80
1410 p2 dex
1420 bne p2
1430 tax
1440 pla
1450 rts
1460 ;
1470 zaehlinc lda $dd0e
1480 and #$bf
1490 sta $dd0e
1500 nop
1510 nop
1520 lda $dd0e
1530 ora #$40
1540 sta $dd0e
1550 nop
```

```
1560 nop
1570 rts
1580 ;
1590 progimpuls lda #$00
1600 bit epromtyp
1610 bpl pro1
1620 jmp progt1
1630 pro1 jmp progt2
1640 ;
1650 init lda #$00
1660 sta rportb
1670 lda porta
1680 and #$ef
1690 ora #$08
1700 ora #$04
1710 sta porta
1720 jsr $e544
1730 jsr zaehlreset
1740 jsr ueberschrift
1750 rts
1760 ;
1770 zaehlreset lda porta
1780 and #$f7
1790 sta porta
1800 txa
1810 ldx #0
1820 reset1 inx
1830 bne reset1
1840 tax
1850 lda porta
```

```
1860 ora #$08
1870 sta porta
1880 rts
1890 ;
1900 langzeit pha
1910 txa
1920 pha
1930 tya
1940 ldy #255
1950 ldx #255
1960 zeit1 dex
1970 nop
1980 nop
1990 nop
2000 nop
2010 nop
2020 nop
2030 bne zeit1
2040 dey
2050 bne zeit1
2060 tay
2070 pla
2080 tax
2090 pla
2100 rts
2110 ;
2120 ueberschrift ldx #text1
2130 jsr textaus
2140 rts
2150 rts
```

```
2160 ;
2170 texta ldx #text2
2180 jsr textaus
2190 rts
2200 ;
2210 haupt nop
2220 jsr init
2230 jsr typenwahl
2240 jsr rame
2250 haupt1 jsr texta
2260 haupt6 jsr get
2270 cmp #"l"
2280 bne haupt2
2290 jmp lesen
2300 haupt2 cmp #"v"
2310 bne haupt3
2320 jmp vergleichen
2330 haupt3 cmp #"t"
2340 bne haupt4
2350 jmp testen
2360 haupt4 cmp #"p"
2370 bne haupt5
2380 jmp programmieren
2390 haupt5 cmp #"e"
2400 beq haupt
2410 bne haupt6
2420 ;
2430 lesen lda #$00
2440 sta rportb
2450 inc $b1
```

```
2460 ldx #text3
2470 jsr textaus
2480 jsr ausgabestern
2490 jsr setzeramstart
2500 lda #$00
2510 bit epromtyp
2520 bvc lesen2
2530 jsr porta21
2540 jmp lesen3
2550 lesen2 jsr porta20
2560 lesen3 jsr zaehlreset
2570 ldy #0
2580 lesen6 lda portb
2590 sta ($ae),y
2600 jsr zaehlinc
2610 iny
2620 bne lesen6
2630 inc $af
2640 jsr ausgabestern
2650 lda $af
2660 cmp $b1
2670 bne lesen6
2680 dec $b1
2690 jmp haupt1
```

```
2710 typenwahl ldx #text4
2720 jsr textaus
2730 typ2 jsr get
2740 cmp #"1"
2750 beq typ3
2760 cmp #"2"
2770 beq typ5
2780 cmp #"3"
2790 beq typ7
2800 cmp #"4"
2810 beq typ9
2820 cmp #"5"
2830 beq typ11
2840 cmp #"x"
2850 bne typ2
2860 pla
2870 pla
2880 rts
2890 ;
2900 typ3 lda #$07
2910 sta $b3
2920 ldx #text5
2930 jsr textaus
2940 jsr porta20
2950 lda #$81
2960 sta epromtyp
2970 jmp ramstart
2980 ;
2990 typ5 lda #$0f
3000 sta $b3
```

```
3010 ldx #text6
3020 jsr textaus
3030 lda #$02
3040 sta epromtyp
3050 jmp ramstart
3060 ;
3070 typ7 lda #$0f
3080 sta $b3
3090 ldx #text7
3100 jsr textaus
3110 lda #$03
3120 sta epromtyp
3130 jmp ramstart
3140 typ9 lda #$1f
3150 sta $b3
3160 ldx #text8
3170 jsr textaus
3180 lda #$44
3190 sta epromtyp
3200 jmp ramstart
3210 ;
3220 typ11 lda #$3f
3230 sta $b3
3240 ldx #text9
3250 jsr textaus
3260 lda #$45
3270 sta epromtyp
3280 jmp ramstart
```

```
3290 ;
3300 ramstart ldx #text10
3310 jsr textaus
3320 jsr $ffcf
3330 sta $b2
3340 and #$40
3350 beq ram2
3360 lda $b2
3370 clc
3380 sbc #$36
3390 asl
3400 asl
3410 asl
3420 asl
3430 sta $ad
3440 lda #$00
3450 sta $ac
3460 lda #$0d
3470 jsr ausgabe
3480 rts
3490 ram2 lda $b2
3500 asl
3510 asl
3520 asl
3530 asl
3540 sta $ad
3550 lda #$00
3560 sta $ac
3570 lda #$0d
```

```
3580 jsr ausgabe
3590 rts
3600 ;
3610 rame jsr ramende
3620 lda $ad
3630 clc
3640 adc $b3
3650 sta $b1
3660 lda #$ff
3670 sta $b0
3680 lda $b1
3690 lsr
3700 lsr
3710 lsr
3720 lsr
3730 tax
3740 lda text1,x
3750 jsr ausgabe
3760 lda $b1
3770 and #$0f
3780 tax
3790 lda text1,x
3800 jsr ausgabe
3810 lda #$46
3820 jsr ausgabe
3830 lda #$46
3840 jsr ausgabe
3850 lda #$0d
3860 jsr ausgabe
```

```
3870 jsr langzeit
3880 rts
3890 ;
3900 ramende lda #$0d
3910 jsr ausgabe
3920 ldx #text12
3930 jsr textaus1
3940 rts
3950 ;
3960 testen lda #$00
3970 sta rportb
3980 inc $b1
3990 ldx #text13
4000 jsr textaus1
4010 jsr ausgabestern
4020 jsr setzeramstart
4030 lda #$00
4040 bit epromtyp
4050 bvc test2
4060 jsr porta21
4070 jmp test3
4080 test2 jsr porta20
4090 test3 jsr zaehlreset
4100 ldy #0
4110 test7 lda portb
4120 cmp #$ff
4130 bne test4
4140 jsr zaehlinc
4150 iny
```

```
4160 bne test7
4170 inc $af
4180 jsr ausgabestern
4190 lda $af
4200 cmp $b1
4210 bne test7
4220 ldx #text15
4230 jmp test8
4240 test4 ldx #text14
4250 test8 jsr textaus1
4260 jsr langzeit
4270 dec $b1
4280 jmp haupt1
4290 ;
4300 programmieren lda #$ff
4310 sta rportb
4320 sta portb
4330 inc $b1
4340 lda #$00
4350 bit epromtyp
4360 bpl pro10
4370 jsr porta20
4380 jmp pro11
4390 pro10 jsr porta21
4400 pro11 ldx #text16
4410 jsr textaus1
4420 pro2 jsr get
4430 cmp #" "
4440 bne pro2
```

```
4450 ldx #text17
4460 jsr textausi
4470 jsr ausgabestern
4480 jsr setzeramstart
4490 jsr zaehlreset
4500 ldy #0
4510 pro3 lda ($ae),y
4520 sta portb
4530 jsr progimpuls
4540 jsr zaehlinc
4550 iny
4560 bne pro3
4570 inc $af
4580 jsr ausgabestern
4590 lda $af
4600 cmp $b1
4610 bne pro3
4620 ldx #text18
4630 jsr textausi
4640 pro4 jsr get
4650 cmp #" "
4660 bne pro4
4670 dec $b1
4680 jmp haupti
4690 ausgabestern pha
4700 lda #"■"
4710 jsr ausgabe
4720 lda #" "
4730 jsr ausgabe
```

```
4740 lda #"K"
4750 jsr ausgabe
4760 pla
4770 rts
4780 ;
4790 vergleichen lda #0
4800 sta rportb
4810 inc $b1
4820 ldx #text19
4830 jsr textaus1
4840 jsr ausgabestern
4850 jsr setzeramstart
4860 lda #0
4870 bit epromtyp
4880 bvc ver1
4890 jsr porta21
4900 jmp ver2
4910 ver1 jsr porta20
4920 ver2 jsr zaehlreset
4930 ldy #0
4940 ver6 lda ($ae),y
4950 cmp portb
4960 bne ver3
4970 jsr zaehlinc
4980 iny
4990 bne ver6
5000 inc $af
5010 jsr ausgabestern
5020 lda $af
```

```
5030 cmp $b1
5040 bne ver6
5050 ldx #text21
5060 jmp ver7
5070 ver3 ldx #text20
5080 ver7 jsr textaus1
5090 jsr langzeit
5100 dec $b1
5110 jmp haupt1
```

Abb. 155: (Folgende Seiten)
EPROM-Programmierboard-Software (DATA-Zeilen)

```
100 for i = 0 to 1382   (1363)
110 read a
120 poke i + 49152,a
130 next
140 sys49152
150 data76,234,194,2,147,17,17,32,32,32,32,32,32,197,80,82,79,77,77,45,208
160 data82,79,71,82,65,77,77,69,82,17,35,92,147,17,17,17,32,40,208,41,82,79
170 data71,82,65,77,77,73,69,82,69,78,35,35,32,40,212,41;69,83,84,69,78,35
180 data35,32,40,204,41,69,83,69,78,35,35,32,40,214,41,69,82,71,76,69,73,67
190 data72,69,78,35,35,32,40,197,41,80,82,79,77,32,87,65,69,72,76,69,78,35
200 data35,92,32,204,69,83,69,78,35,92,32,40,49,41,32,50,55,49,54,35,35,32
210 data40,50,41,32,50,53,51,50,35,35,32,40,51,41,32,50,55,51,50,35,35,32,40
220 data52,41,32,50,55,54,52,35,35,32,40,53,41,32,50,55,49,50,56,35,35,32,40
230 data216,41,32,197,78,68,69,35,35,92,32,32,50,55,49,54,35,92,32,32,50,53
240 data51,50,35,92,32,32,50,55,51,50,35,92,32,32,50,55,54,52,35,92,32,32,50
250 data55,49,50,56,35,92,32,32,210,65,77,45,211,84,65,82,84,58,32,32,48,48
260 data48,157,157,157,157,92,48,49,50,51,52,53,54,55,56,57,65,66,67,68,69
270 data70,92,32,32,210,65,77,45,197,78,68,69,32,58,32,92,32,212,69,83,84,69
280 data78,35,92,35,32,204,79,69,83,67,72,70,69,72,76,69,82,35,92,35,32,197
290 data80,82,79,77,32,71,69,76,79,69,83,67,72,84,35,92,32,208,82,79,71,82
300 data65,77,77,73,69,82,77,79,68,85,83,35,17,32,208,82,79,71,82,65,77,77
310 data73,69,82,83,80,65,78,78,85,78,71,32,69,73,78,83,67,72,65,76,84,69,78
320 data32,91,83,80,65,67,69,93,35,92,17,17,32,193,66,32,71,69,72,84,32,68
330 data73,69,32,208,79,83,84,35,92,35,17,17,32,208,82,79,71,82,65,77,77,73
340 data69,82,83,80,65,78,78,85,78,71,32,65,85,83,83,67,72,65,76,84,69,78,32
350 data91,83,80,65,67,69,93,35,92,214,69,82,71,76,69,73,67,72,69,78,35,92
360 data35,208,82,79,71,82,65,77,77,73,69,82,70,69,72,76,69,82,35,92,35,65
370 data76,76,69,83,32,207,203,35,92,32,93,194,32,75,194,32,93,194,32,75,194
380 data32,93,194,32,75,194,96,32,75,194,32,93,194,32,75,194,32,93,194,32,75
```

```
390 data194,32,93,194,96,165,172,133,174,165,173,133,175,96,72,189,4,192,201
400 data92,240,12,201,35,208,2,169,13,32,210,255,232,208,237,104,96,72,189
410 data11,193,201,92,240,12,201,35,208,2,169,13,32,210,255,232,208,237,104
420 data96,72,173,0,221,41,251,141,0,221,138,162,80,202,208,253,170,104,96
430 data72,173,0,221,9,4,141,0,221,138,162,80,202,208,253,170,104,96,173,14
440 data221,41,191,141,14,221,234,234,173,14,221,9,64,141,14,221,234,234,96
450 data169,0,44,3,192,16,3,76,240,193,76,3,194,169,0,141,3,221,173,0,221,41
460 data239,9,8,9,4,141,0,221,32,68,229,32,172,194,32,221,194,96,173,0,221
470 data41,247,141,0,221,138,162,0,232,208,253,170,173,0,221,9,8,141,0,221
480 data96,72,138,72,152,160,255,162,255,202,234,234,234,234,234,234,208,247
490 data136,208,244,168,104,170,104,96,162,0,32,31,194,96,96,162,29,32,31,194
500 data96,234,32,145,194,32,94,195,32,14,196,32,228,194,32,228,255,201,76
510 data208,3,76,28,195,201,86,208,3,76,21,197,201,84,208,3,76,82,196,201,80
520 data208,3,76,163,196,201,69,240,208,208,219,169,0,141,3,221,230,177,162
530 data107,32,31,194,32,3,197,32,22,194,169,0,44,3,192,80,6,32,93,194,76,62
540 data195,32,75,194,32,172,194,160,0,173,1,221,145,174,32,111,194,200,208
550 data245,230,175,32,3,197,165,175,197,177,208,234,198,177,76,244,194,162
560 data115,32,31,194,32,228,255,201,49,240,23,201,50,240,39,201,51,240,52
570 data201,52,240,65,201,53,240,78,201,88,208,229,104,104,96,169,7,133,179
580 data162,183,32,31,194,32,75,194,169,129,141,3,192,76,217,195,169,15,133
590 data179,162,191,32,31,194,169,2,141,3,192,76,217,195,169,15,133,179,162
600 data199,32,31,194,169,3,141,3,192,76,217,195,169,31,133,179,162,207,32
610 data31,194,169,68,141,3,192,76,217,195,169,63,133,179,162,215,32,31,194
620 data169,69,141,3,192,76,217,195,162,224,32,31,194,32,207,255,133,178,41
630 data64,240,21,165,178,24,233,54,10,10,10,10,133,173,169,0,133,172,169,13
640 data32,210,255,96,165,178,10,10,10,10,133,173,169,0,133,172,169,13,32,210
650 data255,96,32,71,196,165,173,24,101,179,133,177,169,255,133,176,165,177
660 data74,74,74,74,170,189,250,192,32,210,255,165,177,41,15,170,189,250,192
670 data32,210,255,169,70,32,210,255,169,70,32,210,255,169,13,32,210,255,32
680 data196,194,96,169,13,32,210,255,162,0,32,53,194,96,169,0,141,3,221,230
```

```
690 data177,162,14,32,53,194,32,3,197,32,22,194,169,0,44,3,192,80,6,32,93,194
700 data76,116,196,32,75,194,32,172,194,160,0,173,1,221,201,255,208,22,32,111
710 data194,200,208,243,230,175,32,3,197,165,175,197,177,208,232,162,39,76
720 data152,196,162,23,32,53,194,32,196,194,198,177,76,244,194,169,255,141
730 data3,221,141,1,221,230,177,169,0,44,3,192,16,6,32,75,194,76,189,196,32
740 data93,194,162,58,32,53,194,32,228,255,201,32,208,249,162,119,32,53,194
750 data32,3,197,32,22,194,32,172,194,160,0,177,174,141,1,221,32,132,194,32
760 data111,194,200,208,242,230,175,32,3,197,165,175,197,177,208,231,162,140
770 data32,53,194,32,228,255,201,32,208,249,198,177,76,244,194,72,169,18,32
780 data210,255,169,32,32,210,255,169,146,32,210,255,104,96,169,0,141,3,221
790 data230,177,162,185,32,53,194,32,3,197,32,22,194,169,0,44,3,192,80,6,32
800 data93,194,76,55,197,32,75,194,32,172,194,160,0,177,174,205,1,221,208,22
810 data32,111,194,200,208,243,230,175,32,3,197,165,175,197,177,208,232,162
820 data218,76,91,197,162,198,32,53,194,32,196,194,198,177,76,244,194,0
```

Software-Hinweise

Das Assemblerlisting ist für den PROFI-ASS, einem Produkt aus dem Hause DATA BECKER geschrieben. Das Programm der DATA-Zeilen ist mit dem Befehl

```
load "dateiname",8
run
```

zu starten.

Durch die Eingabe von "x" auf dem Hauptmenü gelangen Sie wieder in den BASIC-Mode des Rechners zurück. Durch die Eingabe des Befehls

```
sys 49152
```

gelangen Sie jederzeit wieder in das Hauptmenü zurück.

Das übersetzte Assemblerprogramm ist wie folgt zu starten:

```
load "dateiname",8,1
sys 49152
```

Hinweis: Da die Menübilder Groß- und Kleinschreibung verwenden, muß der Rechner auf diesen Modus durch das gleichzeitige Drücken der Tasten SHIFT und COMMODORE umgeschaltet werden, da Sie andernfalls Graphiksymbole für die Großbuchstaben auf dem Bildschirm haben. Das Programm allerdings nimmt hiervon keine Kenntnis und Sie können trotzdem weiterarbeiten.

16. Serielle Datenübertragung

Bei dem seriellen Datentransfer werden die parallel am Rechner anliegenden Dateninformationen so aufbereitet, daß sie nacheinander, d.h. seriell übertragen werden können. Diese Form der Datenübertragung ist die häufigste, da sie in der Regel nur einen sehr geringen Leitungsaufwand benötigt und auch für größere Entfernungen geeignet ist.

Die grundsätzliche Gegenüberstellung einer parallelen und seriellen Schnittstelle zeigt Ihnen die Abbildung 156.

Nun ergeben sich bei dem seriellen Datentransfer Zeitprobleme besonderer Art, da jederzeit gewährleistet sein muß, daß der Empfänger die Daten im gleichen Rhythmus (Takt) empfängt, wie der Sender diese abgibt.

> Der Übertragungstakt (Frequenz) der seriellen Datenübertragung wird als *Baudrate* bezeichnet und gibt die Anzahl der übertragenen Bits pro Sekunde wieder. Bei einer typischen Baudrate von 1200 wird ein Bit in einer Zeit von 1:1200 = 833 Mikrosekunden übertragen, d.h. für ein Datenwort von 8 Bit wären 6666 Mikrosekunden erforderlich. Eine parallele Schnittstelle könnte dies in ca. 1 Mikrosekunde bewerkstelligen.

Das Problem, Sender und Empfänger aufeinander abzustimmen, wird dadurch gelöst, daß Start- und Stopbits verwendet werden. Solange die Sendeleitung sich im Ruhezustand befindet, liegt ein H-Pegel an. Eine Datenübertragung beginnt dann, wenn der Pegel sich auf Low ändert. Dieser Übergang stellt das Startbit dar. Der Empfänger ist durch die Pegeländerung in der Lage, den Anfang eines Datentransfers zu erkennen. Gleichzeitig beginnt ein empfangsinterner Zähler zu laufen, damit die übertragenen Zeichen korrekt in den Empfangspuffer eingeschrieben werden können.

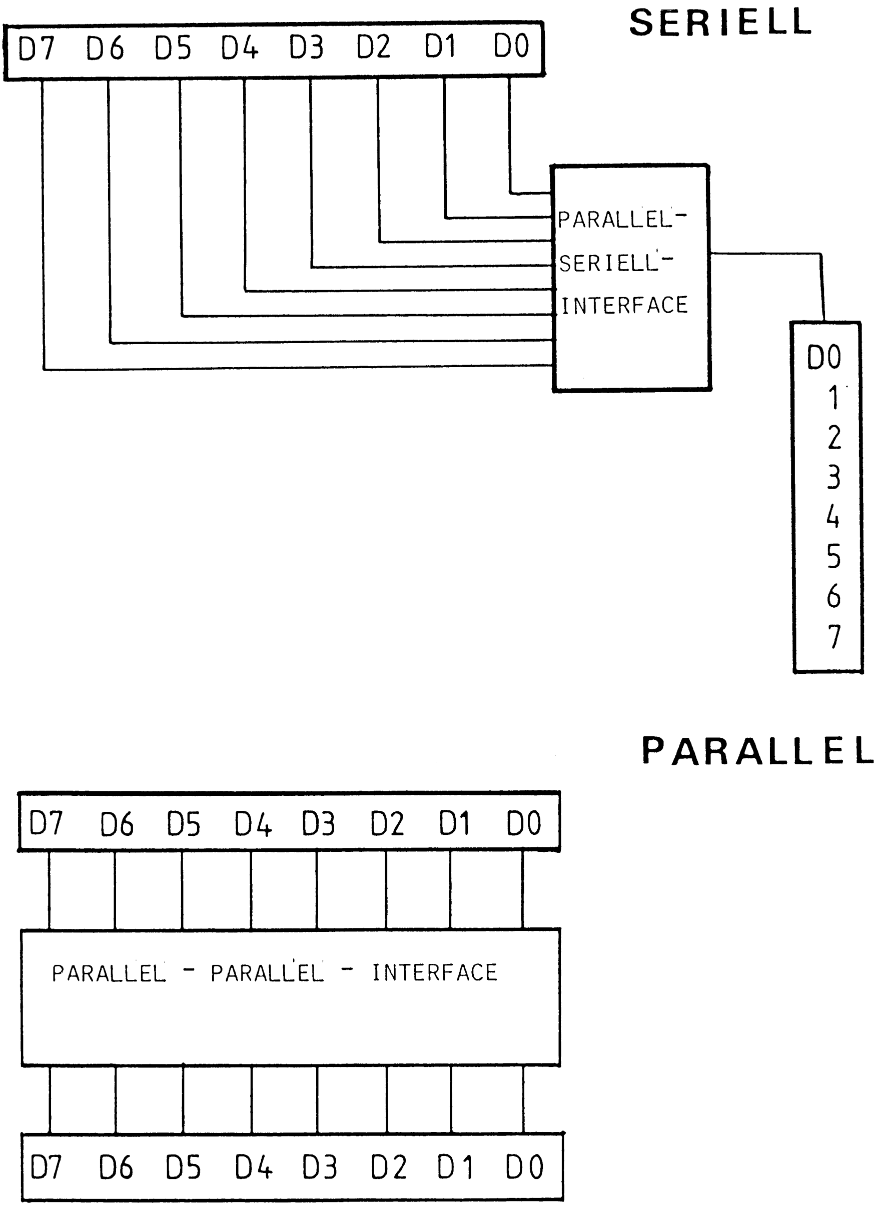


Abb. 156:
Schematische Gegenüberstellung einer seriellen und einer parallelen Schnittstelle

Die Abtastung wird dabei so gelegt, daß sie in die Mitte der Datenbits fällt, so daß das Datenbit 1 gerade 1,5 Bitzeiten nach dem Beginn des Startbits abgefragt wird.

Das Ende der seriellen Datenübertragung wird in den meisten Fällen durch zwei Stopbits mit einem H-Pegel angezeigt. Dieses Stopbit ist unbedingt erforderlich, denn wäre beispielsweise das letzte Datenbit log. 0, so könnte der Empfänger dieses nicht mehr von dem nächsten Startbit (ebenfalls log. 0) unterscheiden.

Weiterhin kann man schon beim Empfang der Daten eine einfache Fehlerkontrolle durchführen. Hierzu dient das Paritätsbit. Wird beispielsweise mit *gerader Parität* gearbeitet, so setzt der Sender selbständig dieses Bit auf einen H-Pegel, wenn das gesendete Datenwort eine ungerade Anzahl von H-Pegel führenden Bits aufweist oder umgekehrt. Der Empfänger ist nun in der Lage, den logischen Pegel des Paritätsbit mit dem der Datenbits zu vergleichen und setzt im Fehlerfall ein bestimmtes Registerbit im IC der seriellen Schnittstelle, welches vom Anwender abgefragt werden kann. Die Möglichkeiten der Paritätsprüfungen sind in der folgenden Tabelle zusammengefaßt:

PARITÄTSPRÜFUNG		WERTIGKEIT DES PARITÄTSBITS
GERADE	Parity even	0, falls gerade Anzahl von 1. 1, falls ungerade Anzahl von 1.
UNGERADE	Parity odd	0, falls ungerade Anzahl von 1. 1, falls gerade Anzahl von 1.
NULL	Parity zero	immer Null
EINS	Parity one	immer Eins
KEINE	Parity none	fehlt

Bei vielen Geräten wird jedoch die Paritätsprüfung nicht verwendet. Zusammengefaßt wird der Datentransfer einer seriellen Schnittstelle nochmals in der Abbildung 157 dargestellt.

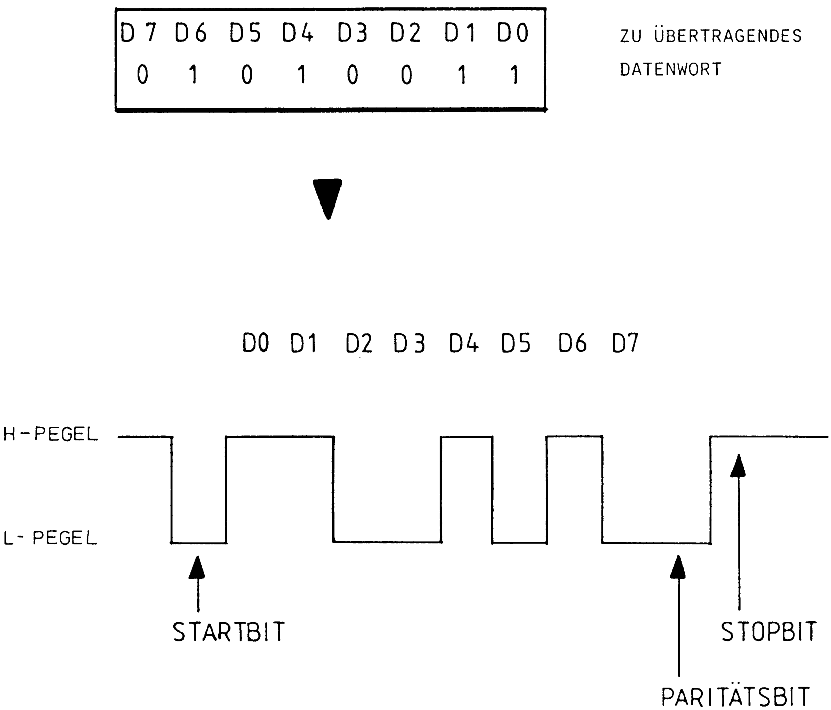


Abb. 157:
Schematische Darstellung einer seriellen Datenübertragung

Funktion der RS232-/V.24-Schnittstelle

Bereits 1969 wurde auf einer Konferenz der ELECTRONIC INDUSTRIES ASSOCIATION eine Norm bezüglich der physikalischen und elektrischen Eigenschaften einer seriellen Schnittstelle verabschiedet, die den Namen EIA RS 232 trug.

Mit kleinen Änderungen versehen, wurde diese Schnittstellennorm als RS 232-C zum Standard erklärt.

In Europa griff die internationale Standardorganisation C.C.I.T.T. (Consultative Commitee on International Telegraphy and Telephony) diese amerikanische Norm auf, überarbeitete sie und nahm sie 1974 als V.24 bzw. V.28 für die Sende- bzw. Empfangsseite in die Norm auf.

In der Bundesrepublik sind die Kenndaten unter der DIN-Bezeichnung 66020 niedergelegt. Nur eine Schnittstelle, die sowohl V.24 wie auch V.28 oder DIN 66020 kompatibel ist, genügt den Anforderungen der RS 232-C-Schnittstelle.

Definition der V.24-Schnittstelle:

Die V.24-Schnittstelle ist eine serielle Spannungsschnittstelle, die bidirektional und mit negativer Logik arbeitet. Eine logische Null wird durch eine Spannung zwischen +3 Volt und +15 Volt dargestellt, eine logische Eins durch eine Spannung zwischen -3 Volt und - 15Volt. Die Datenübertragung erfolgt asynchron mit einem Startbit und einem oder zwei Stopbits. Die zu erzielende Entfernung der Datenübertragung ist von der eingestellten Baudrate (50 bis 19.200) abhängig und nimmt proportional zur Baudrate ab. Die Schnittstelle ist nicht TTL-kompatibel.

Kompliziert wird diese Schnittstelle dadurch, daß sich eine Vielzahl von Kombinationsmöglichkeiten ergibt, mit denen beide Geräte klarkommen müssen (siehe hierzu Kapitel 16.4):

- synchrone oder asynchrone Übertragung?
- welche Baudrate?
- wie viele Stopbits?
- wie viele Datenbits?
- mit/ohne Parität, gerade/ungerade?
- welches Protokollverfahren?

Darüber hinaus können alle Zeichen sowohl normal als auch in negierter Form gesendet bzw. empfangen werden. Die V.24-Schnittstelle benutzt in der Regel einen 25-poligen Normstecker, dessen Bedeutung und Belegung Sie im Kapitel 16.4 nachlesen können.Zwei Punkte, die oft zu Schwierigkeiten führen, sollten noch vorab geklärt werden. Zum einen ist dies das Protokollverfahren, d.h., wie die unterschiedlichen Steuerleitungen bedient werden müssen, und zum anderen tauchen bei der seriellen Datenübertragung besondere Fachbegriffe auf, die einer Erklärung bedürfen.

16.1 Pegelwandler für die serielle Datenübertragung

Der C64/C128-Rechner ist bereits mit einer programmierbaren, seriellen Schnittstelle ausgerüstet, allerdings ohne die Anpassung auf den erforderlichen Pegel. Wie bereits im Kapitel 16 dargelegt, sind zum Betrieb von V.24-/RS232-Geräten Signalpegel erforderlich, die zwischen +/-3 Volt und +/-15 Volt liegen. Hierzu existieren spezielle ICs, die in der Lage sind, diese Pegelwandlung vorzunehmen; allerdings mit dem Nachteil, daß meistens eine zusätzliche Spannung von +/-12 Volt erforderlich wird.

Diese Schaltkreise sind im Handel unter der Bezeichnung SN 75189 (= MC 1489) und SN 75188 (= MC 1488) erhältlich, deren Anschlußbelegung Sie in der Abbildung 158 wiederfinden. Mit diesen beiden ICs, einem kleinen Zusatznetzteil und einer Minimalsoftware können Sie eine V.24-Schnittstelle bedienen. Die symmetrische Spannung von +/-12 Volt zum Betreiben des Pegelwandlers können Sie auf mehrere Arten erzeugen. Wenn Sie bereits die Netzteilkarte des Kapitels 17 aufgebaut haben, so erübrigt sich eine zusätzliche Spannungsversorgung. Ein kleiner Nachteil ist natürlich der, daß Sie per Leitung die Spannung von der Netzteilkarte zum Pegelwandler am User-Port legen müssen.

Eine weitere Möglichkeit ist, daß Sie die notwendige Spannung am User-Port erzeugen, da dort am Anschluß 11 die Wechselspannung von 9 Volt anliegt. Durch eine einfache Einweggleichrichtung erhalten Sie eine symmetrische Spannung von +/-12

Volt, die innerhalb des zulässigen Bereiches von +/-3...+/-15 Volt der V.24-Schnittstelle liegt. Weiterhin finden Sie in der Abbildung 158 unten die Anschlußbelegung eines relativ neuen ICs der Firma INTERSIL, der ohne jegliche Zusatzspannung die Pegelwandlung vornimmt. Im IC selbst sind bereits ein Spannungsverdoppler und ein Spannungsinverter integriert, so daß für das Betreiben der V.24-Schnittstelle +/-10 Volt zur Verfügung stehen.

Der Schaltungsaufbau für die V.24-Schnittstelle ist in der Abbildung 159 dargestellt.

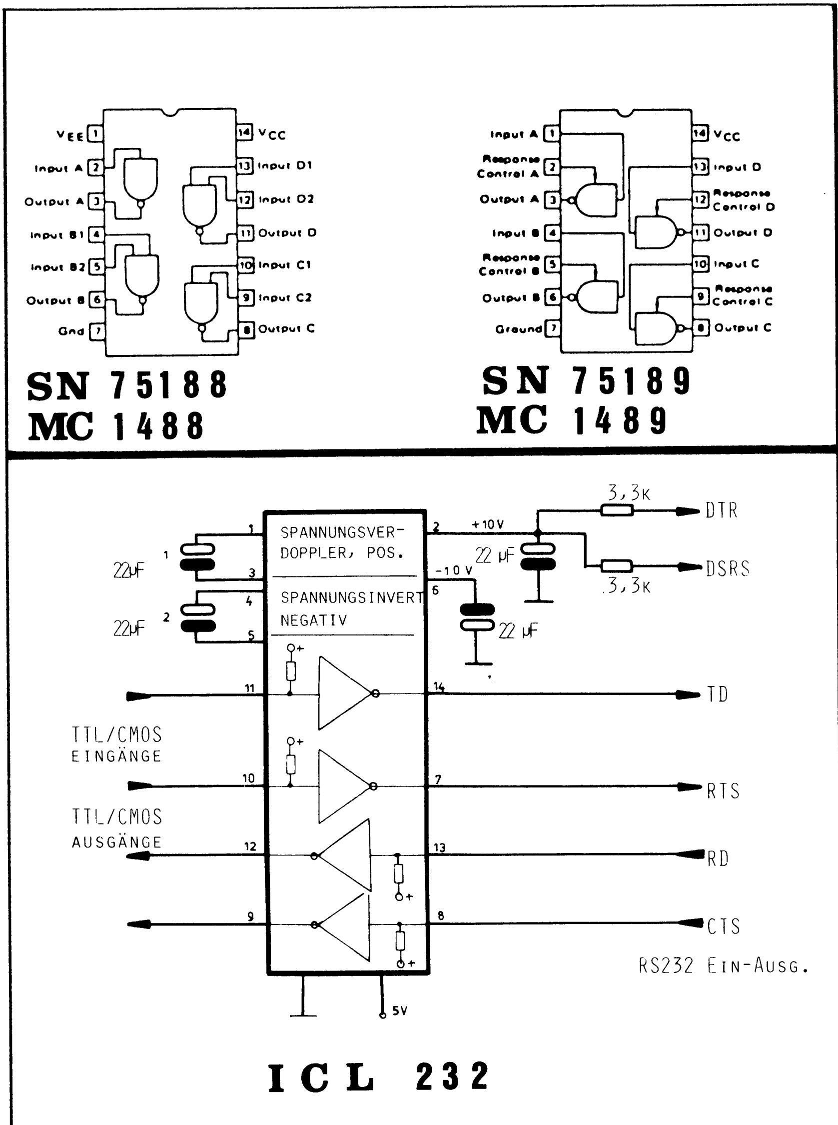


Abb. 158: Anschlußbelegung einiger Pegelwandler-ICs

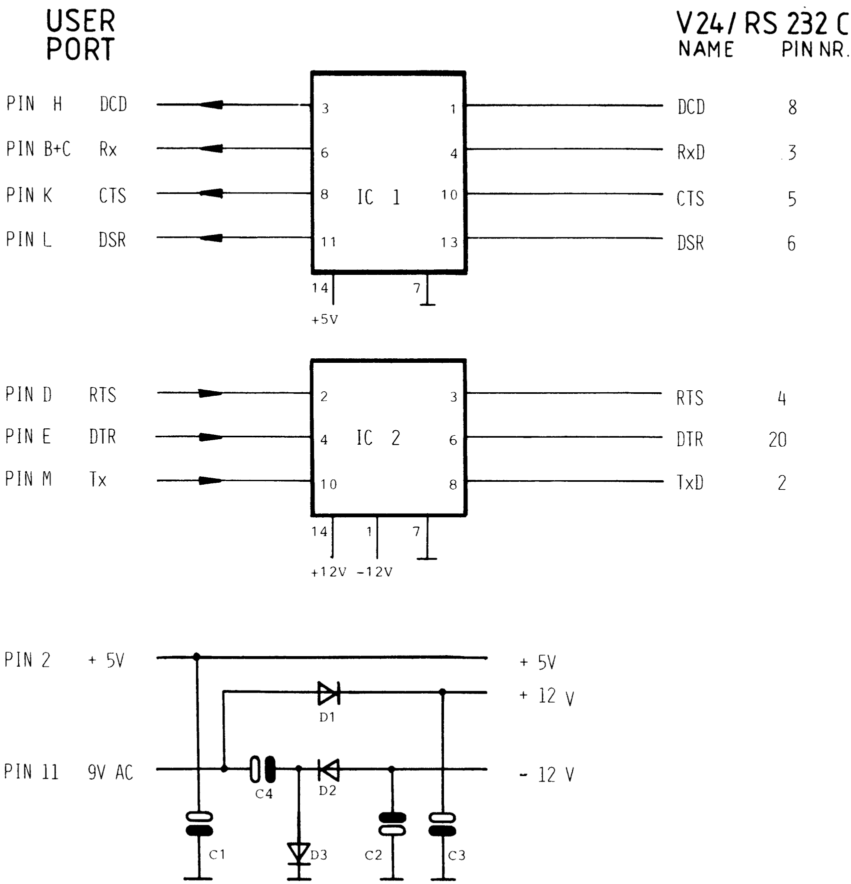


Abb. 159: Schaltplan des Pegelwandlers V24/RS 232 C

16.2 Schnittstellenbaustein 6551 (ACIA)

Der 6551, auch ACIA genannt (Asynchronous Communications Interface Adapter), beinhaltet eine vollständige parallel-serielle Schnittstelle einschließlich eines eingebauten programmierbaren Taktgebers zur Datenübertragung. Das Blockschaltbild des ACIA finden Sie in der Abbildung 160, die entsprechende Pinbelegung in der Abbildung 161.

Intern besitzt der IC vier verschiedene Register, die durch die logische Kombinationen der Steueranschlüsse RS1 und RS0 ausgewählt werden.

Die folgende Tabelle zeigt Ihnen diesen Registeraufbau in Abhängigkeit des Schreib-/Lesemodus.

RS1	RS0	R/-W = "L" = SCHREIBEN	R/-W = "H" = LESEN
L	L	Schreiben der Daten in das Senderegister	Lesen der Daten aus dem Empfangsregister
L	H	Software Reset	Lesen aus dem Statusregister
H	L	Schreiben in das Kommandoregister	Lesen aus dem Kommandoregister
H	H	Schreiben in das Kontrollregister	Lesen aus dem Kontrollregister

Betrachten wir nun die Aufgaben der einzelnen Register etwas näher!

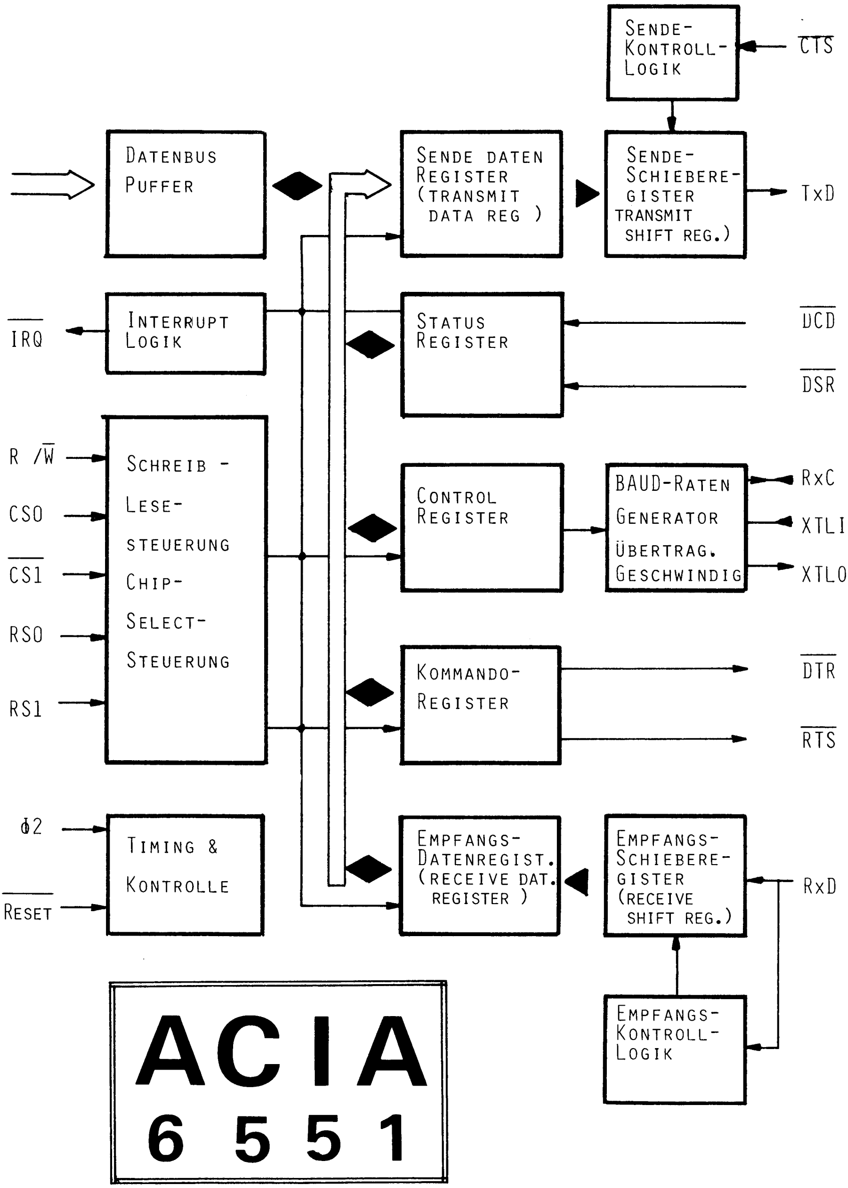
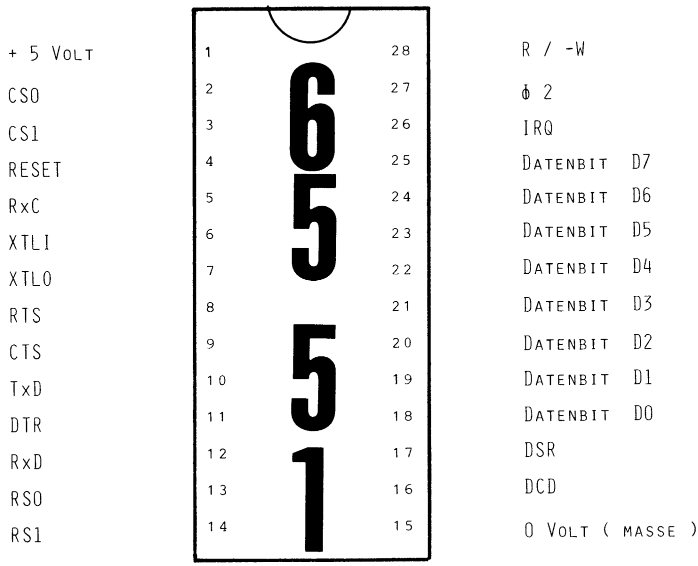


Abb. 160: ACIA 6551



Rockwell

R6551
ASYNCHRONOUS COMMUNICATIONS
INTERFACE ADAPTER (ACIA)

Abb. 161:
R6551, Asynchronous Communications Interface Adapter (ACIA), Rockwell

Kommandoregister

Die Aufgabe dieses Registers ist es, die Betriebsarten der seriellen Schnittstelle für die Anwendung festzulegen. Betrachten Sie hierzu den allgemeinen Aufbau dieses Registers sowie die Bedeutung der einzelnen Registerbits in der Abbildung 162, Teil 1.

Bit 0 bestimmt den logischen Pegel im Empfangsmodus, Bit 1 ist für die Interruptsteuerung bei vollem Empfangsdatenregister zuständig. Die Registerbits 2 und 3 bedienen das RTS-Signal.

Durch entsprechendes Setzen von Bit 4 kann der Anwender zwischen Normal- und Echobetrieb wählen. Die obersten 3 Bits des Kommandoregisters bestimmen die Paritätsprüfung. Die höchsten Kombinationen dieser Register erzeugen MARK (log.1) und SPACE (log.0). Dieses ist keine echte Parität, sondern es wird nur das eine Bit bei der Übertragung mit verwendet.

Kontrollregister

Das Kontrollregister ist ausschließlich für den Aufbau des zu übertragenden Datensatzes verantwortlich. Hierbei sind alle denkbaren Kombinationen möglich. Die untersten vier Bits bestimmen die Taktgeschwindigkeit (Baudrate). Durch Bit 4 kann gewählt werden, ob mit einem externen Taktgeber gearbeitet werden soll. Die Registerbits 5 und 6 legen die zu übertragende Wortlänge zwischen 5 und 8 Bit fest. Mit dem Bit 7 wird die Anzahl der Stopbits festgelegt. Den allgemeinen Aufbau dieses Registers sehen Sie in tabellarischer Form in der Abbildung 162, Teil 2.

KOMMANDO REGISTER

7	6	5	4	3	2	1	0

DATA TERMINAL READY (Bit 0)

0 = DTR AUF 'H'
1 = DTR AUF 'L'

RECEIVER INTERRUPT ENABLE (Bit 1)

0 = INTERRUPT AUS BIT 3 DES STATUS-REGISTER
1 = INTERRUPT UNTERBUNDEN

TRANSMITTER (SENDER) STEUERUNG (Bits 3, 2)

BITS: 3	2	RTS =	BEDEUTUNG
L	L	H	INTERRUPT NICHT DURCHFÜHRBAR
L	H	L	INTERRUPT DURCHFÜHRBAR
H	L	L	INTERRUPT NICHT DURCHFÜHRBAR
H	H	L	INTERRUPT NICHT DURCHFÜHRBAR

EMPFÄNGER / NORMAL-ECHO MODUS (Bit 4)

0 = NORMALBETRIEB
1 = ECHOBETRIEB

PARITÄTSEINSTELLUNG (Bits 7, 6, 5)

BITS: 7	6	5	BEDEUTUNG
X	X	L	KEINE PARITÄTSPRÜFUNG
L	L	H	UNGERADE PARITÄT FÜR SENDER UND EMPFÄNGER
L	H	H	GERADE PARITÄT FÜR SENDER UND EMPFÄNGER
H	L	H	PARITÄT 1 (MARK) FÜR SENDER, OHNE PRÜFUNG
H	H	H	PARITÄT 0 (SPACE) FÜR SENDER, OHNE PRÜFUNG

Abb. 162/1: ACIA 6551 Kommandoregister

KONTROLL REGISTER

7	6	5	4	3	2	1	0

EINSTELLUNG DER BAUDRATE

BITS: 3	2	1	0	BAUDRATE (INTERN ERZEUGT)
L	L	L	L	16 X EXTERNER TAKT
L	L	L	H	50
L	L	H	L	75
L	L	H	H	109,32
L	H	L	L	134,58
L	H	L	H	150
L	H	H	L	300
L	H	H	H	600
H	L	L	L	1200
H	L	L	H	1800
H	L	H	L	2400
H	L	H	H	3600
H	H	L	L	4800
H	H	L	H	7200
H	H	H	L	9600
H	H	H	H	19200

TAKT QUELLE

L = EXTERNER TAKT
H = INTERNER BAUDRATENGENERATOR

ZU ÜBERTRAGENDE WORTLÄNGE

BITS: 6	5	LÄNGE
L	L	8 BIT
L	H	7 BIT
H	L	6 BIT
H	H	5 BIT

ANZAHL STOP - BITS

L = EIN STOP-BIT
H = ZWEI STOP BITS

EIN STOP-BIT WENN 8 BIT DATEN + PARITY
1,5 STOP-BIT WENN 5 BIT DATEN OHNE PARITY

Abb. 162/2: ACIA 6551 Kontrollregister

Statusregister

Das Statusregister legt das Quittungsverfahren (Handshaking) zwischen der seriellen Schnittstelle und der angeschlossenen Peripherie fest. Im Gegensatz zu den anderen Registern kann das Statusregister nur ausgelesen werden. Jeder gesetzte H-Pegel im Statusregister deutet auf eine "Unregelmäßigkeit" bei der seriellen Datenübertragung hin. Daher muß dieses Register ständig vom Steuerprogramm abgefragt werden. Für die "normale" Anwendung sind nur die Bits 4 und 3 im Statusregister von Interesse, da die übrigen besondere Fehlerzustände darstellen. Das Registerbit 4 erhält dann einen H-Pegel (log. 1), wenn das Senderegister (Transmit-Data-Register) leer ist und neue Zeichen in das Datenregister eingeschrieben werden können. Was Registerbit 4 für die Sendebereitschaft darstellt, ist Registerbit 3 für den Empfang von Daten.

Sobald eine Dateninformation empfangen wurde und diese im Empfangsdatenregister bereitsteht, erhält dieses Bit einen H-Pegel. Nach dem Auslesen der Daten wird das Registerbit 3 wieder auf einen L-Pegel zurückgestellt und zwar so lange, bis wieder neue Daten empfangen werden. Die Abbildung 162, Teil 3 gibt Ihnen den allgemeinen Aufbau des Statusregisters wieder.

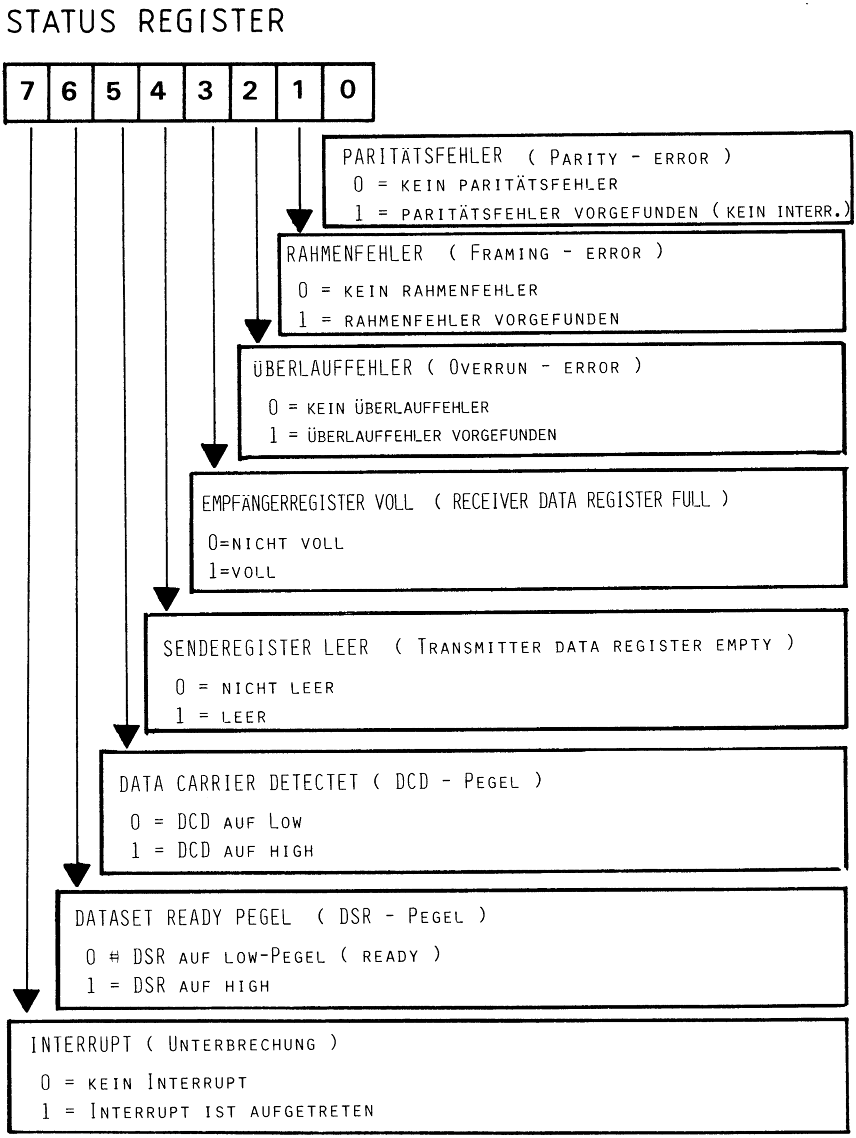


Abb. 162/3: ACIA 6551 Statusregister

16.3 Aufbau einer ACIA-Karte

Bedingt durch den hochintegrierten Schaltkreis 6551 benötigt man nur relativ wenige externe Bauteile, um die ACIA-Karte aufzubauen. Den Schaltplan hierzu sehen Sie in der Abbildung 163. Die erforderliche Pegelwandlung übernehmen IC2 und IC3 (75188 bzw. 75189), auf deren Funktionsweise bereits eingegangen wurde. Die programmierbare Baudrate wird durch den Quarz bestimmt. Besondere Beachtung sollte man dem Takteingang widmen, da auch dieser Baustein nicht direkt mit dem C64-Takt (O2) angesteuert werden kann. Aus diesem Grund wird dieser Eingang mit dem erzeugten "Takt-Synchron" der Adapterplatine verbunden. Die Adreßauswahl geschieht wiederum durch das Aktivieren eines der acht DIL-Schalter für den gewünschten Adreßbereich.

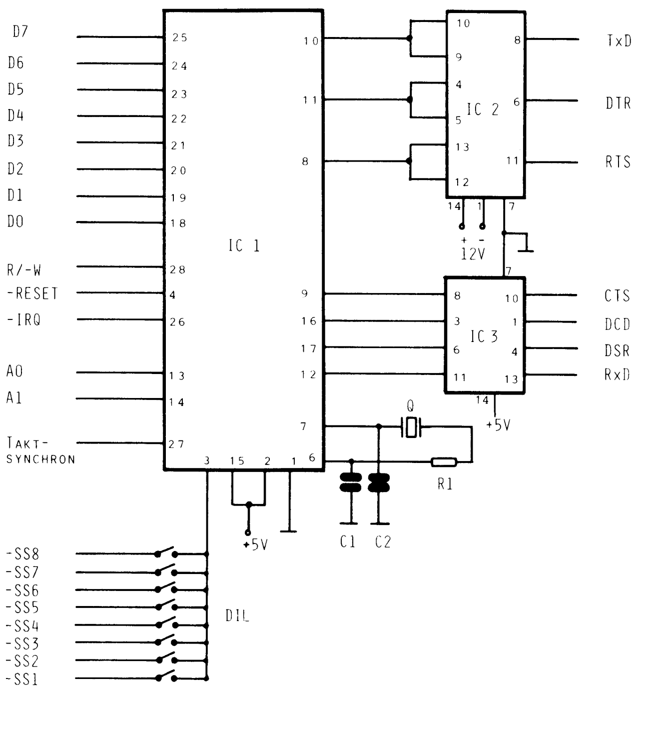


Abb. 163: Schaltplan der ACIA-Karte

Bauteile:

IC1	=	6551 (ROCKWELL)
IC2	=	75188
IC3	=	75189
C1,2	=	56 pF
R1	=	10 M
DIL	=	8-fach DIL-Schalter
Q	=	Quarz 1,8432 MHz HC18U

Sonstiges: 2x32-poliger Winkelstecker, Bauform a+c
Steckerleiste für den seriellen Ausgang
(8-polig, Raster 2,54 mm)

Das Platinenlayout der ACIA-Karte finden Sie in der Abbildung 164, den dazugehörigen Bestückungsplan in der Abbildung 165. Die Platine bietet Ihnen die Möglichkeit, die erforderlichen Versorgungsspannungen sowohl extern wie auch über die Netzteilkarte zu beziehen. Hierbei sind dann folgende Drahtbrücken notwendig:

5V	---	int	5 Volt wird aus dem Rechner entnommen
5V	---	ext	5 Volt extern aus der Netzteilkarte
D	---	D	zwei Drahtbrücken, die mit "D" markierten Punkte sind per Drahtbrücke zu verbinden; d.h. -12 Volt extern aus der Netzteilkarte.
A	---	A	zwei Drahtbrücken die mit "A" markierten Punkte sind per Drahtbrücke zu verbinden; d.h. +12 Volt extern aus der Netzteilkarte.

Das Foto der Abbildung 166 zeigt Ihnen den Musteraufbau der ACIA-Karte.

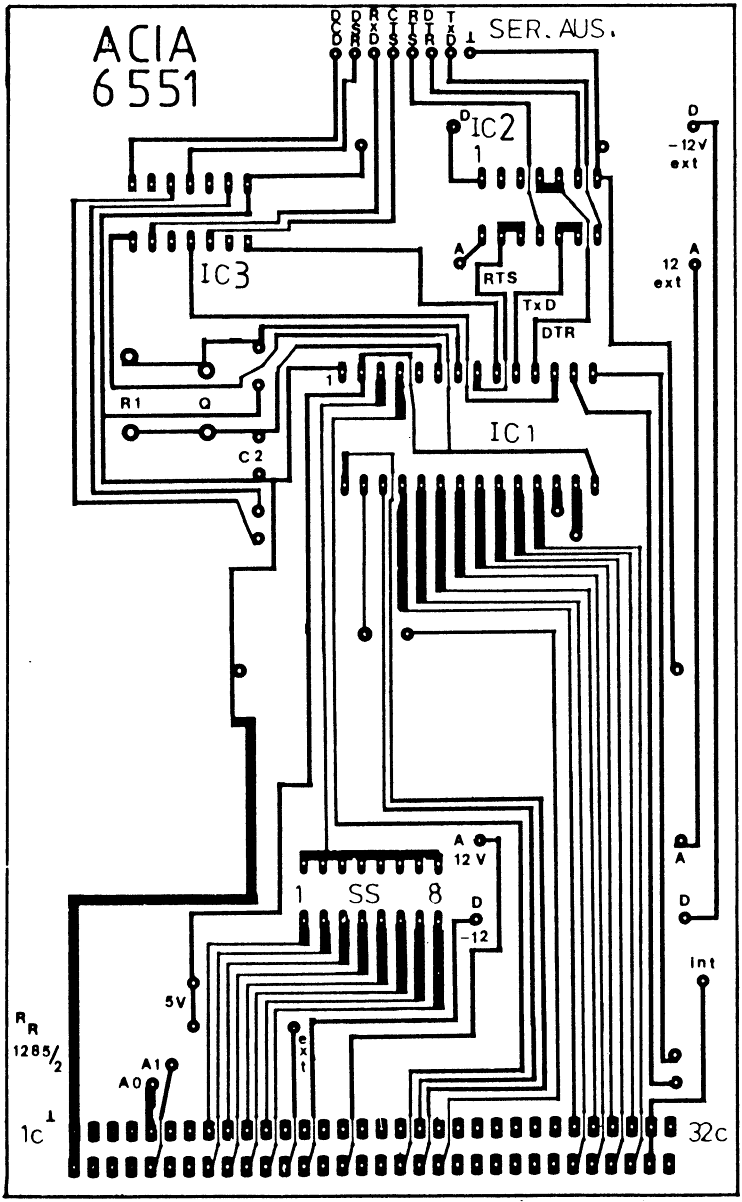


Abb. 164: Platinenlayout der ACIA-Karte

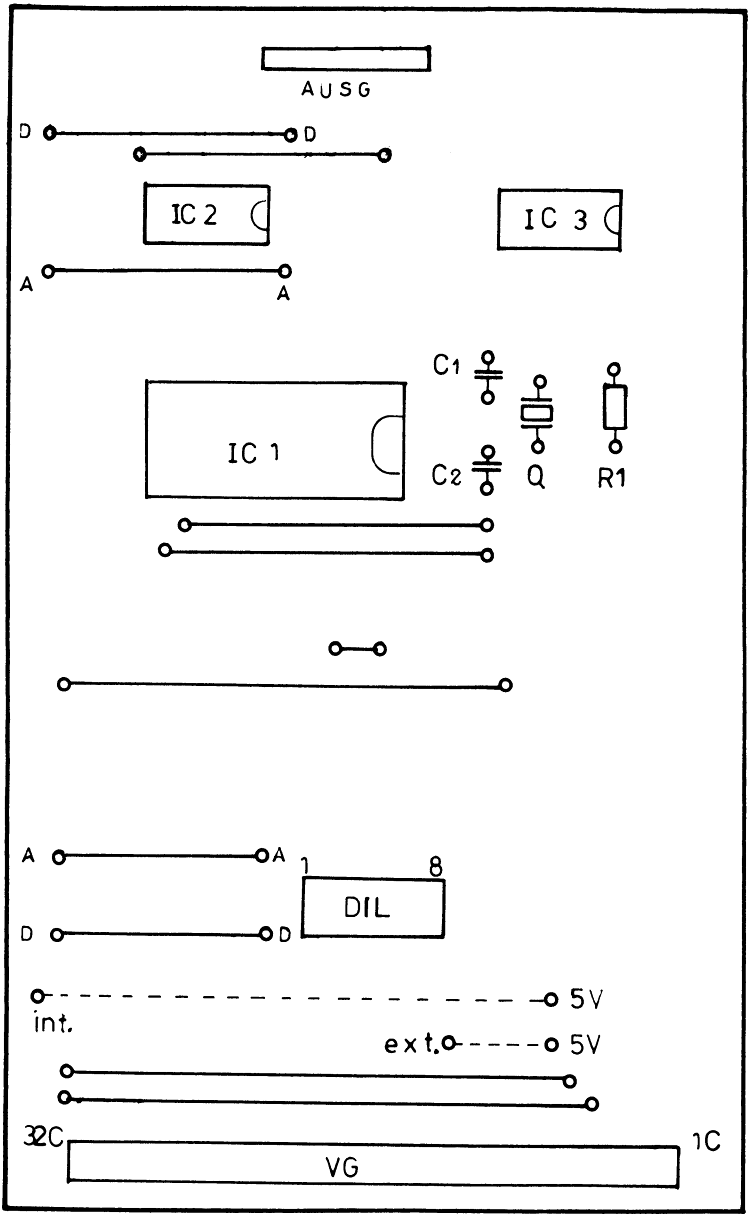


Abb. 165: Bestückungsplan der ACIA-Karte

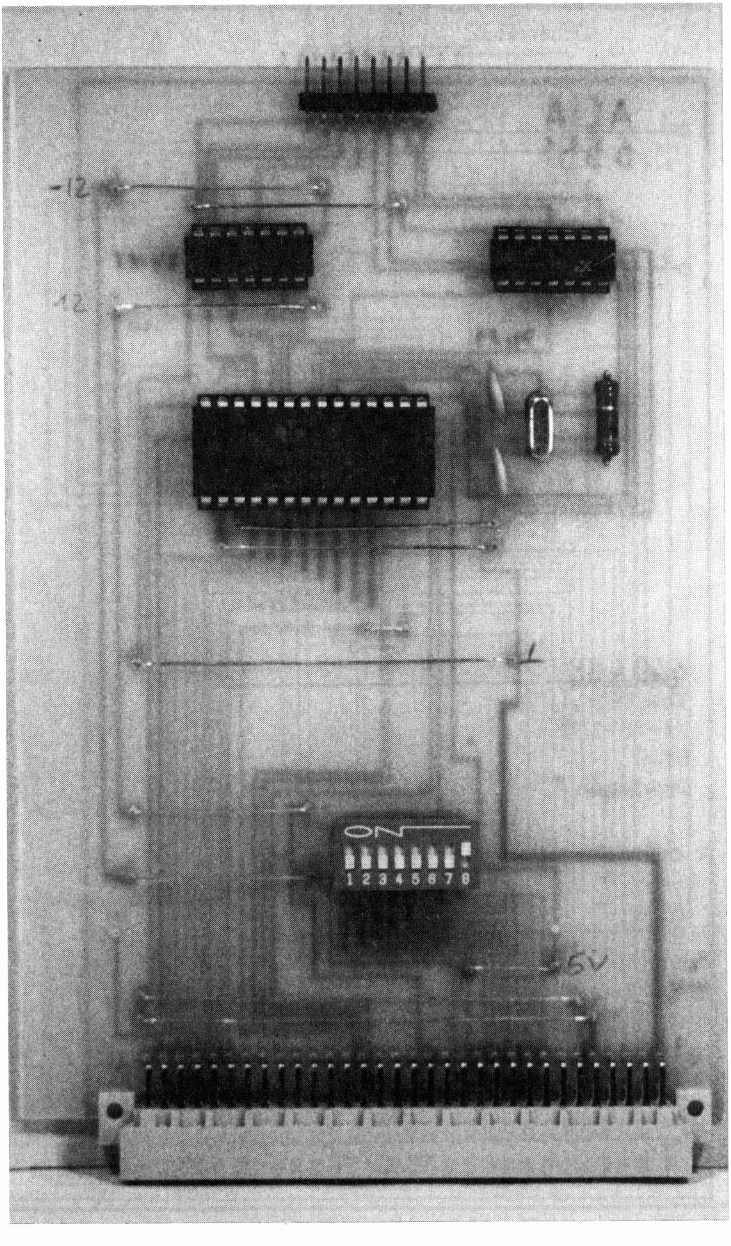


Abb. 166: Musteraufbau der ACIA-Karte

16.4 Verbindungen und Normen der seriellen Übertragung

Die V24 Schnittstelle benutzt in der Regel einen 25-poligen Normstecker, dessen Belegung Sie in der Abbildung 167 sehen. Das serielle Datenformat wird über die Pins 2 und 3 übertragen. Die Anschlüsse 4, 5, 6 und 20 werden für den Handshakingbetrieb benutzt und arbeiten mit dem gleichen Pegel wie Pin 2 und 3.

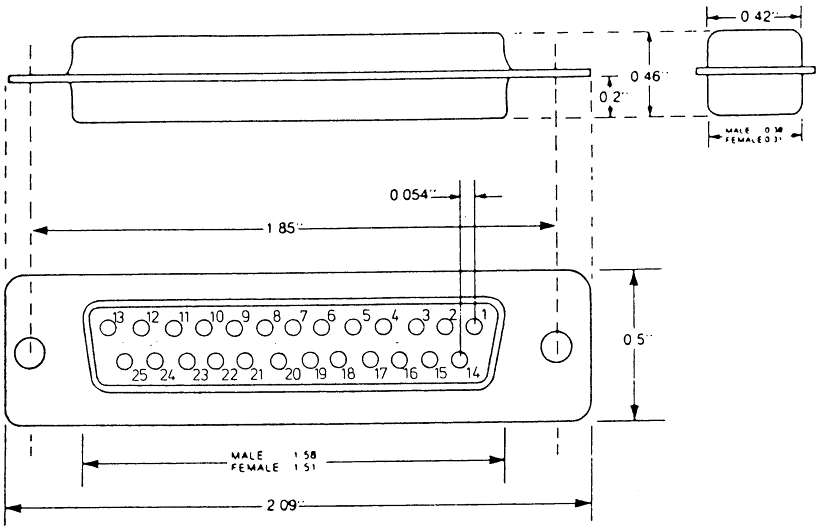
Nun muß man aber bedenken, daß der Sendeanschluß auf der einen Seite den Empfangsanschluß auf der anderen Seite darstellt, d.h. die Leitungen sind zu kreuzen. Will man somit Geräte mit der gleichen Schnittstelle verbinden, so müssen die Leitungen der Pins:

2 und 3
4 und 5
6 und 20

gekreuzt werden, damit ein Ausgangsanschluß auf der einen Seite auf den dazugehörigen Eingangsanschluß auf der anderen Seite treffen kann.

Deshalb unterscheidet man zum besseren Verständnis zwischen einer *Datenübertragungseinrichtung* (DÜE), die den Datenfluß steuert und einer *Datenendeinrichtung* (DEE), welche gesteuert wird. Ebenso verbreitet sind hierfür auch die beiden Begriffe: *Data Terminal Equipment* (DTE), womit der Rechner bezeichnet wird und *Data Communication Equipment* (DCE), womit die angeschlossene Peripherie, wie Drucker, Modem, Terminal usw., bezeichnet wird.

V 24 BELEGUNG



PINBELEGUNG

1 = SCHUTZERDE
2 = SENDEDATEN
3 = EMPFANGSDATEN
4 = SENDETEIL EINSCHALTEN
5 = SENDEBEREITSCHAFT
6 = BETRIEBSBEREITSCHAFT
7 = BETRIEBSERDE
8 = EMPFANGSSIGNALPEGEL
9 = NICHT GENORMT -FREI
10 = NICHT GENORMT -FREI
11 = HOHE SENDEFREQUENZ EINSCHALTEN
12 = EMPFANGSSIGNALPEGEL
13 = SENDEBEREITSCHAFT
14 = SENDEDATEN
15 = SENDESCHRITTAKT VON DER DÜE
16 = EMPFANGSDATEN
17 = EMPFANGSSCHRITTAKT V.D. DUE
18 = NICHT GENORMT -FREI
19 = SENDETEIL EINSCHALTEN
20 = ENDGERÄT BETRIEBSBEREIT
21 = EMPFANGSGÜTE
22 = ANKOMMENDER RUF
23 = HOHE ÜBERTRAGUNGSGESCHW.
24 = SENDESCHRITTAKT ZUR DUE
25 = NICHT GENORMT -FREI

Abb. 167: V.24-Belegung

Um Verwechselungen zu vermeiden, wird der DÜE eine Federleiste und der DEE eine Buchsenleiste zugeordnet. Aber die V.24-Schnittstelle besitzt neben der großen Übertragungsentfernung auch noch den Vorteil, daß beispielsweise zum Ansteuern eines Druckers nur drei Leitungen erforderlich sind, nämlich:

Empfangsdaten	Pin 3
Betriebserde	Pin 7
Endgerät betriebsbereit	Pin 20

Die Abbildung 168 zeigt Ihnen einige Möglichkeiten der seriellen Datenverbindung. Im Teil A der Abbildung ist die normale Art der seriellen Datenübermittlung dargestellt, Teil B und C zeigen Ihnen den Standardanschluß einer Kreuzverbindung, wobei hier weitaus weniger Leitungen zur Übermittlung erforderlich sind.

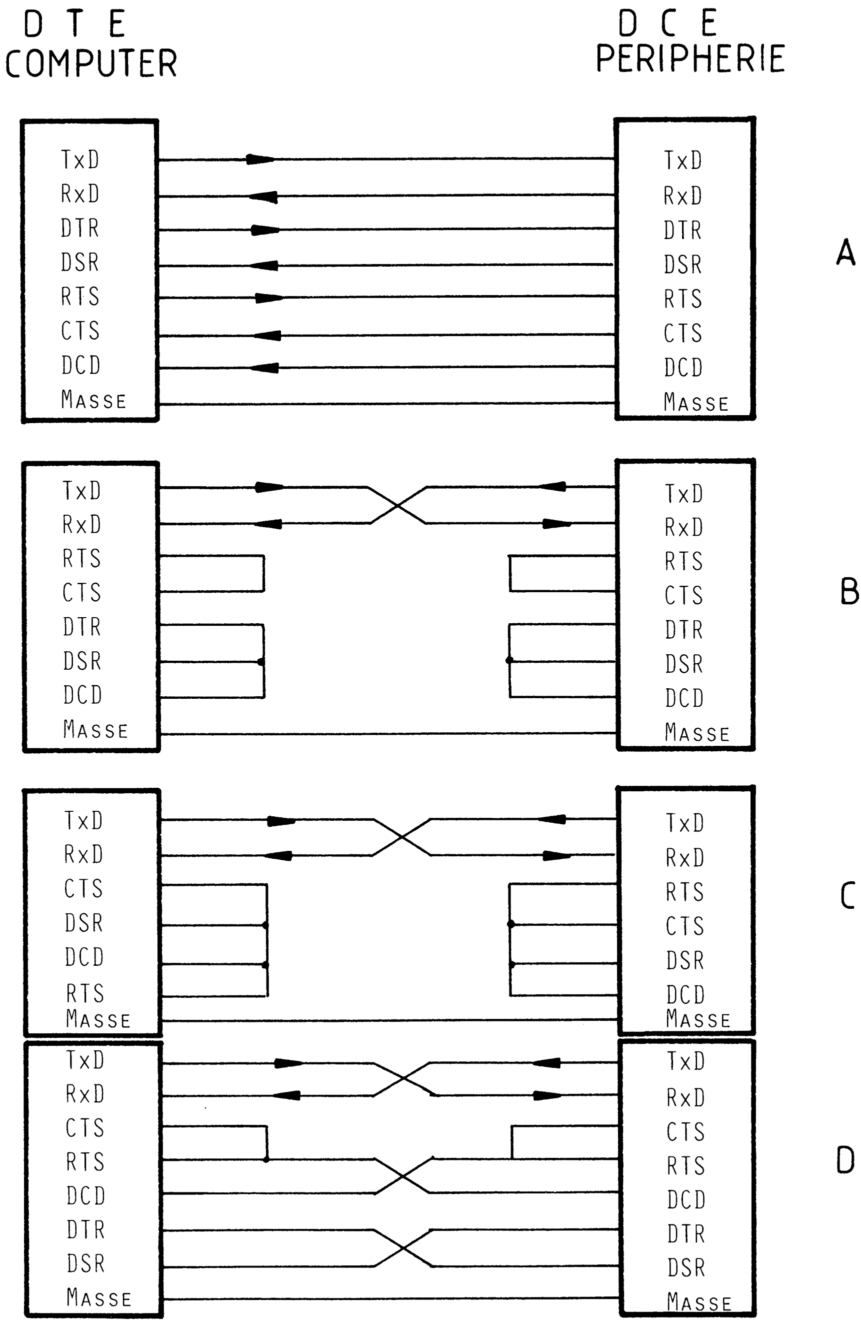


Abb. 168: Serielle Datenverbindungen

17. Netzteilkarte

Bei höheren Anforderungen gerät man unweigerlich an die Kapazitätsgrenze des internen Netzteils, aber auch beim Anschließen von Operationsverstärkern oder A/D-Wandlern vermißt man die erforderlichen symmetrischen Betriebsspannungen. Die I/O-Adapterkarte bietet darüber hinaus auch die Möglichkeit, verschiedene externe Spannungen zuzuführen. Das in diesem Kapitel beschriebene Zusatznetzteil ist entweder auf einen beliebigen freien Slot aufzustecken oder auf den hierfür besonders reservierten Steckplatz Z der erweiterten Adapterkarte und liefert folgende Spannungen:

+ 5 Volt, max. 3,0 Ampere
- 5 Volt, max. 0,5 Ampere
+12 Volt, max. 1,0 Ampere
-12 Volt, max. 0,5 Ampere

Der Schaltplan der Abbildung 169 zeigt Ihnen den Aufbau dieses Netzteils, das weitgehend mit Festspannungsreglern aufgebaut ist. Lediglich für die +5 Volt kommt ein uA 723 zum Einsatz. Die erforderliche Maximalleistung wird durch den Darlington-Transistor T1 erreicht. Beachten Sie bitte die Kapazitäten der Siebelkos, die nicht unterschritten werden sollten. Mit dem Trimmpotentiometer P wird später die 5 Volt Betriebsspannung eingestellt. Als Trafo eignet sich jeder Typ, der in der Lage ist, mindestens eine Ausgangsspannung von 7,5 Volt bei maximal 4 Ampere zu liefern. Für die übrigen Spannungen ist ein eigener Transformator TF2 erforderlich. Dieser muß eine Ausgangsspannung von 2x15 Volt bei jeweils 1 Ampere liefern. Die negative Spannung von 5 Volt wird über den IC 3 am IC 4 gewonnen. Zur Reduzierung der Eingangsspannung ist der Widerstand R9 vorgesehen, der eine Belastbarkeit von 2 Watt aufweisen soll. An allen Ausgängen der Netzteilkarte liegen entsprechende Leuchtdioden über Begrenzungswiderstände an, die Ihnen das Vorhandensein der jeweiligen Spannungen anzeigen. Zur besseren Übersicht können Sie für die beiden positiven Spannungen grüne LEDs und für die beiden negativen gelbe LEDs verwenden.

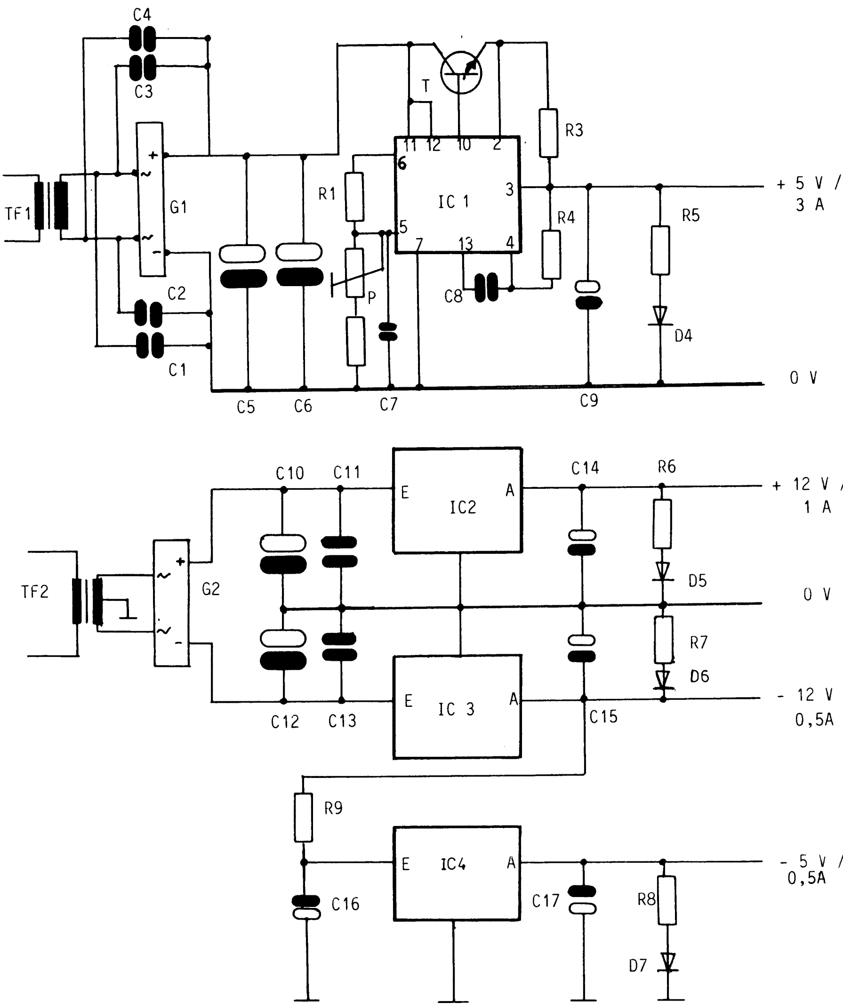


Abb. 169: Schaltplan der Netzteilkarte

Das Platinenlayout der Netzteilkarte ist wieder im EURO-Format gehalten und in der Abbildung 170 dargestellt. Den zugehörigen Bestückungsplan finden Sie in der Abbildung 171.

Die beiden Begrenzungswiderstände R3 und R9 sollten in einem Abstand von ca. 0,5 cm über der Platine angebracht werden. Bei den Festspannungsreglern gilt es, unbedingt die richtige Pinbelegung zu beachten, da die positiven eine andere Belegung aufweisen als die negativen. Bevor Sie allerdings mit den Bestückungsarbeiten beginnen, müssen Sie zuerst die Drahtbrücken einlöten, da diese teilweise unter Bauelementen verlaufen. Verwenden Sie zur Sicherheit isolierten Draht, damit kein Kurzschluß entstehen kann. Für den Trimmpotentiometer kann sowohl eine liegende wie eine stehende Ausführung eingebaut werden, da die entsprechenden Bohrungen vorhanden sind. Achten Sie auch beim Einbau auf die Polarität der Elkos. Sowohl der Leistungstransistor wie die Festspannungsregler werden mit einem aufsteckbaren Kühlblech versehen, wobei aber zu beachten ist, daß sich die Kühlkörper von IC 2 und IC 3 nicht berühren. Die Leuchtdioden werden so montiert, daß ihre Leuchtkörper nach vorne über den Platinenrand herausragen, damit das Vorhandensein der Spannungen auch beim Einstecken auf die Adapterkarte zu sehen ist. Die Abbildung 172 zeigt den Musteraufbau einer solchen Netzteilkarte. Die beiden Transformatoren müssen in jedem Fall extra aufgebaut werden. Die Zuführung der Wechselspannung ist auf dem Bestückungsplan mit TF1 bzw. TF2 markiert. Bevor Sie die Netzteilkarte in einen Slot einstecken, müssen Sie zuerst mit dem Trimmpotentiometer die Ausgangsspannung auf 5 Volt im unbelasteten Zustand einstellen.

ACHTUNG!

Wenn Sie mit dieser Netzteilkarte arbeiten, muß sichergestellt sein, daß die interne 5-Volt-Versorgungsspannung aus dem Rechner nicht ebenfalls an die Schaltungen gelangt!

Bauteile:

IC 1	=	uA 723
IC 2	=	7812
IC 3	=	7912
IC 4	=	7905
C 1-4	=	470 nF
C 5	=	Elko 4700 uF/25 V liegend
C 6	=	Elko 2200 uF/25 V liegend
C 7	=	220 nF
C 8	=	470 pF
C 9	=	Elko 470 uF/10 V liegend
C 10	=	Elko 2200 uF/25 V liegend
C 11	=	100 nF
C 12	=	Elko 2200 uF/25 V liegend
C 13	=	100 nF
C 14,15	=	Elko 220 uF/16 V liegend
C 16	=	Elko 10 uF/16 V liegend
C 17	=	Elko 220 uF/10 V liegend
R 1	=	1,5 k
R 2	=	4,7 k
R 3	=	0,18 Ohm/5 Watt
R 4	=	1,5 k
R 5	=	330 Ohm
R 6,7	=	560 Ohm
R 8	=	330 Ohm
R 9	=	10 Ohm/2 Watt
P	=	Trimmpotentiometer 1 k
D 4,7	=	LED, grün 5 mm
D 5,6	=	LED, gelb 5 mm
G 1	=	Gleichrichter B40 C 5000
G 2	=	Gleichrichter B40 C 2000
T	=	Transistor TIP 142 o.ä.
TF 1	=	Transformator 220 V, mind. 7,5 Volt, ca. 4 A
TF 2	=	Transformator 220 V, 2x15 Volt, 1,5 A
Sonstiges:		X1 = Steckerleiste gewinkelt, 2x32 polig, a+c
		Kühlkörper für IC 2-4, ca. 15K/W
		Kühlkörper für T, ca. 1,5 K/W

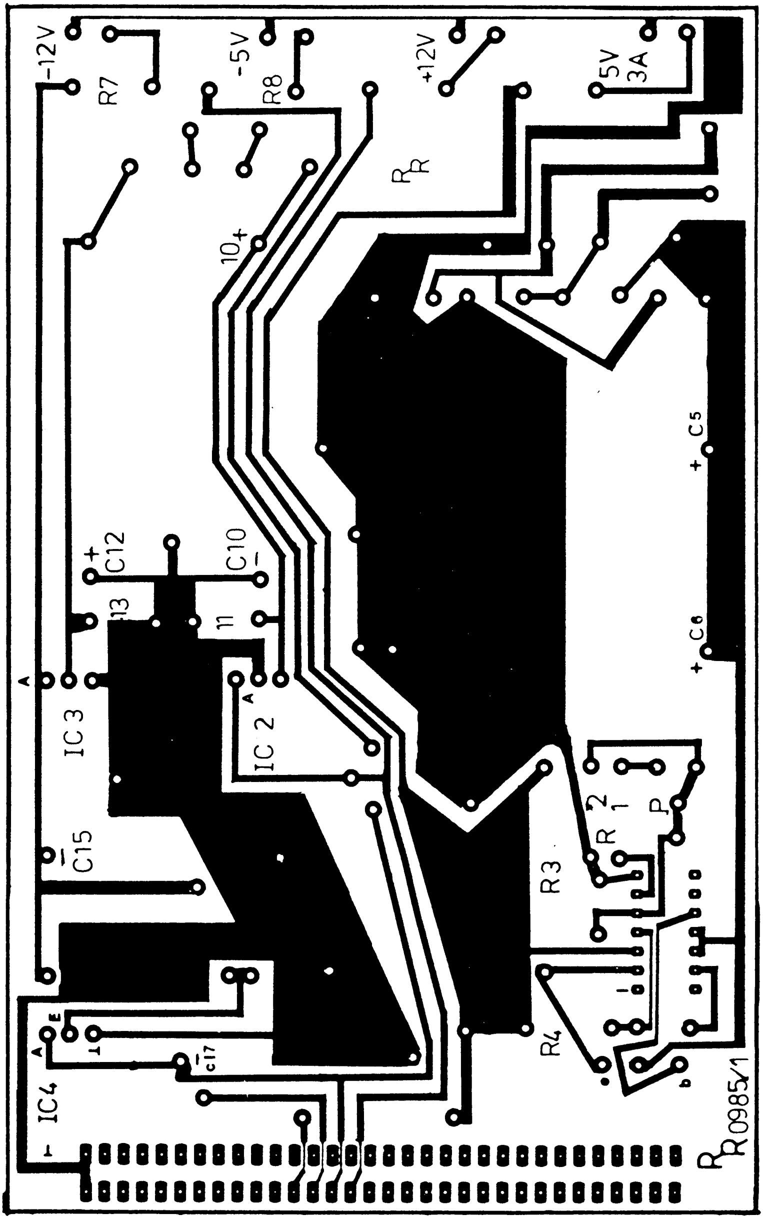


Abb. 170: Platinenlayout der Netzteilkarte

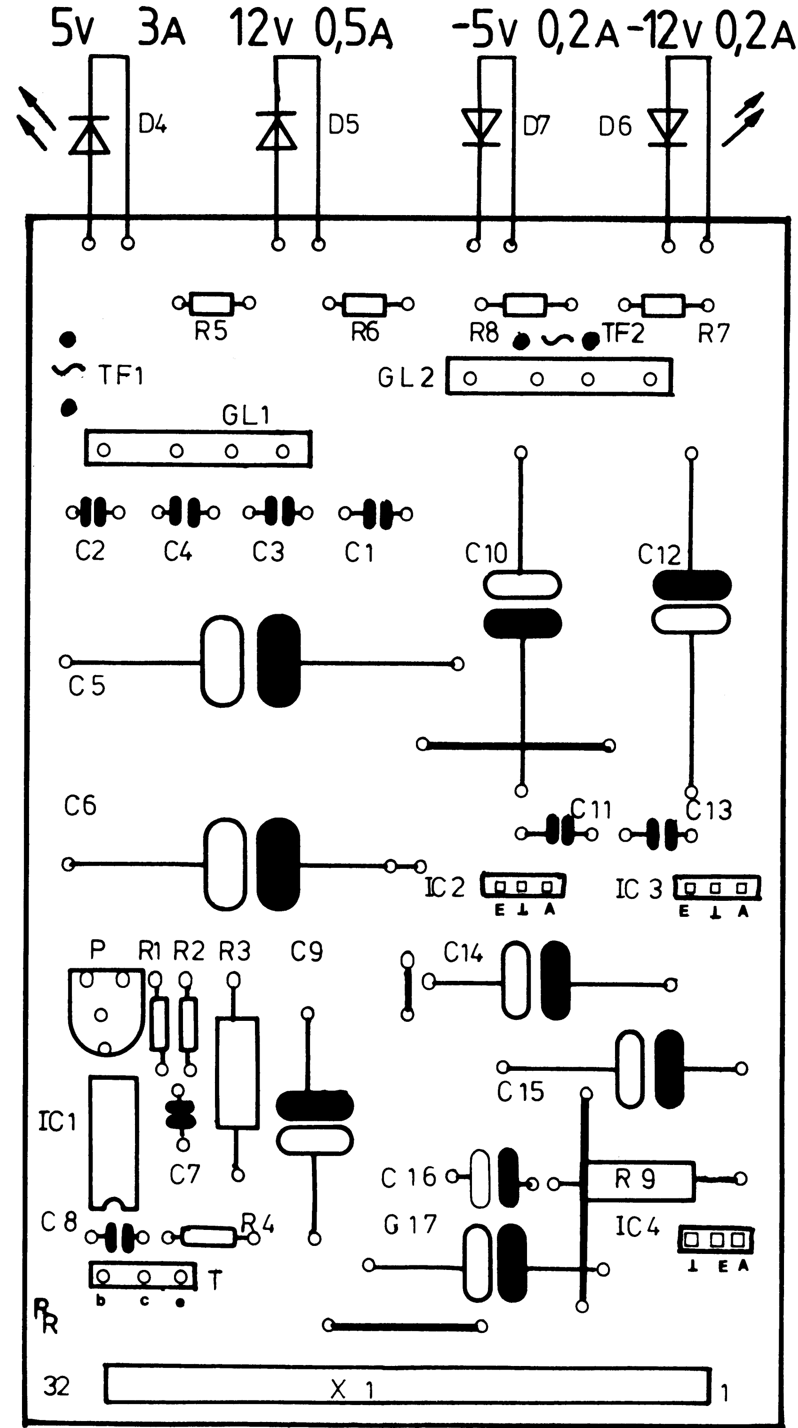


Abb. 171: Bestückungsplan zur Netzteilkarte

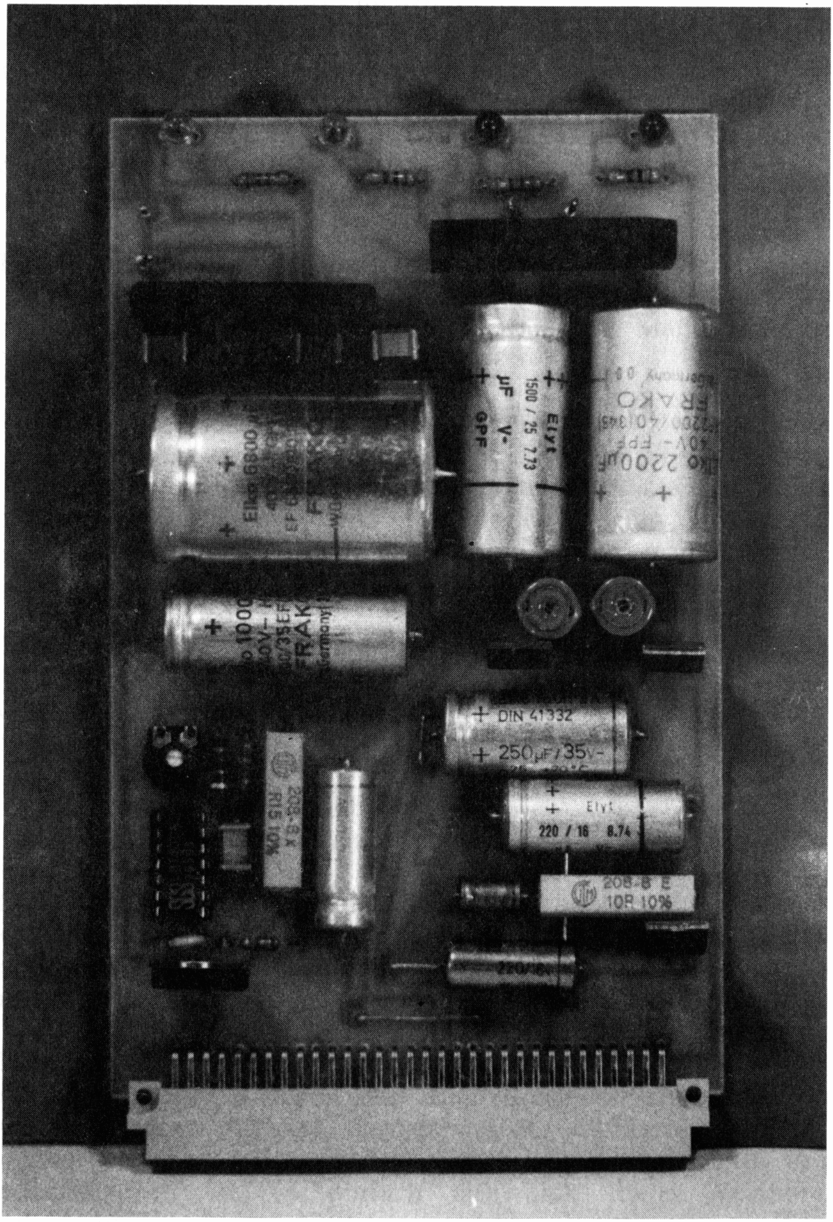


Abb. 172: Netzteilkarte zur externen Spannungsversorgung

18. Analog-Digital-Wandlung

Im täglichen Leben sind wir überall von analogen Werten, von der einfachen Armbanduhr, der Temperatur oder der Geschwindigkeit eines Fahrzeugs, umgeben. Unser Rechner allerdings vermag mit diesen Größen nichts anzufangen, er arbeitet auf digitaler Basis im binären Zahlensystem.

Ein interessantes Aufgabengebiet stellt die Verbindung zur analogen "Rechenwelt" dar, damit man in der Lage ist, die zahllosen Problemstellungen der allgemeinen Meßtechnik zu verarbeiten und zu speichern.

Da aber die analogen Größen unendlich viele Zwischenwerte annehmen können, ist durch die Begrenzung des Speicherplatzes einerseits und durch die Umwandlung in die binäre Darstellung andererseits immer mit Rundungsfehlern zu rechnen. Allerdings ist für unsere Belange dieser Fehlerquotient zu vernachlässigen.

18.1. Verfahren der Analog-Digital-Wandlung

Grundsätzlich lassen sich zwei Verfahren bezüglich der Datenausgabe der A/D Wandlung unterscheiden:

- serielle Datenausgabe
- parallele Datenausgabe

Für unsere Anforderungen kommt die serielle Datenausgabe nicht in Frage, da einerseits die Datenübertragung zu langsam und andererseits die Handhabung der parallelen Datenausgabe mit dem Rechner wesentlich einfacher ist.

Innerhalb der parallelen Datenausgabe existieren mehrere Verfahren, wobei sich neben dem *Dual-Slope-Verfahren*, auf das wir noch näher eingehen werden, das der *sukzessiven Approximation* weitgehend durchgesetzt hat. So kompliziert dieses Wort auszusprechen ist, so einfach läßt sich dieses Verfahren erläutern:

> **Sukzessive Approximation** *bedeutet nichts anderes, als ein dauerndes Annährungsverfahren einer Vergleichsspannung an den zu bestimmenden Eingangswert.*

Das zu bestimmende Eingangssignal wird zunächst einem Komparator zugeführt, der es mit einer definierten Referenzspannung vergleicht. Wichtig hierbei ist, daß diese Referenz- oder Vergleichsspannung der Hälfte der maximalen Eingangsspannung entspricht.

Der Komparator vergleicht nun beide Spannungen miteinander und teilt das Ergebnis dem Ausgang mit. Hierbei können nun zwei Meßergebnisse auftreten:

1. Die anliegende Eingangsspannung ist **kleiner** als die Referenzspannung. Für diesen Fall wird der Komparator sein Ausgangssignal ändern.

2. Die anliegende Eingangsspannung ist **größer** als die Referenzspannung. Für diesen Fall wird der Komparator sein Ausgangssignal nicht ändern.

Beim ersten Fall wird die Referenzspannung um die Hälfte verringert, beim zweiten Fall um die Hälfte erhöht. Danach werden wiederum die beiden Spannungen miteinander verglichen und je nach Ergebnis die Vergleichsspannung wieder um die Hälfte erhöht oder reduziert. Führt man diese Meßmethode oftmals durch, so erreicht man eine dauernde Annäherung, d.h. sukzessive Approximation, der Vergleichsspannung an die zu messende Eingangsspannung.

Da dieses Verfahren einer Waage sehr ähnelt, mit der man eine unbekannte Größe abwiegen will und solange auf der anderen Seite die unterschiedlichen Gewichte auflegt, bis die Waage in der Schwebe bleibt, wird das Verfahren dieser sukzessiven Approximation auch oft in der Literatur als "Wägeverfahren" bezeichnet.

Schnelle Wandler dieser Art können über 100 000 solcher Vergleichsmessungen pro Sekunde ausführen und sind somit in der

Lage, in weniger als 10 Microsekunden eine Spannung in einen 8 Bit Digitalwert umzusetzen. Typische Vertreter dieser Methode sind die beiden von FERRANTI angebotenden ICs ZN 427 und ZN 428.

Dieses eben geschilderte Verfahren läßt sich natürlich noch wesentlich beschleunigen, wenn man nämlich das Eingangssignal auf eine ganze Kette von Komparatoren legt und so eine Parallelumsetzung durchführt. Schaltkreise dieser Art sind sehr teuer, da sie für eine 8-Bit-Darstellung 255 Komparatoren benötigen. Allerdings können sie in weniger als 50 Nanosekunden das gewünschte Ergebnis liefern. Ihr Hauptanwendungsgebiet liegt in der schnellen Meßwerterfassung und im Digitalisieren von Fernsehbildern.

Neben dem Verfahren der sukzessiven Approximation finden Sie in der Praxis auch Wandler-ICs, die nach dem DUAL SLOPE Verfahren den anliegenden analogen Meßwert in eine digitale Information umformen.

Das Funktionsprinzip des *Dual-Slope-Verfahrens*, was soviel bedeutet wie *Zwei-Rampen-Verfahren*, soll nun etwas näher erläutert werden. Hierzu betrachten Sie bitte die Abbildung 173.

Eine bestimmte Eingangsspannung, U_{ein} bezeichnet, wird von einem Spannungs-Strom-Wandler in den entsprechenden (proportionalen) Strom, I_{ein}, umgesetzt. Mit diesem Strom wird ein Kondensator C aufgeladen. Dieses Aufladen benötigt eine genau definierte Zeitspanne (T_1). Hierdurch sinkt auch die Spannung (U_c) am Komparator gegenüber der Masse.

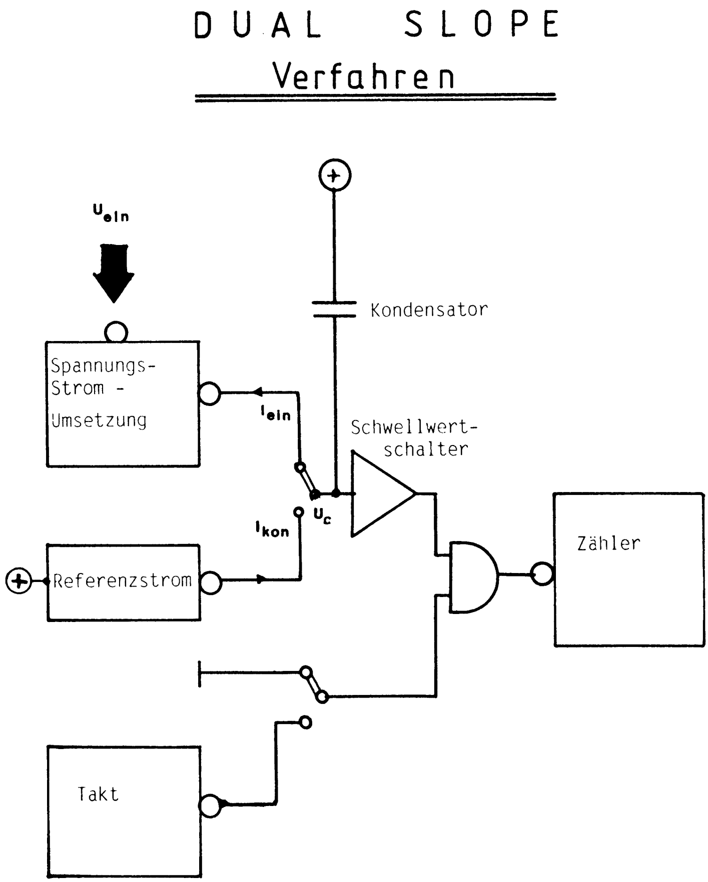


Abb. 173: DUAL-SLOPE-Verfahren

Nach dem Ablauf der Entladezeit T_1 wird der Kondensator an eine Referenzstromquelle mit einem konstanten Strom, I_{kon}, gelegt, und die Kondensatorspannung U_c steigt linear an. Dieser Entladevorgang dauert gerade so lange, bis die Spannung wieder den ursprünglichen Wert erreicht hat. Die hierfür erforderliche

Zeit ist zur anliegenden Eingangsspannung U_{ein} direkt proportional. Während des Entladevorgangs des Kondensators setzt ein Oszillator relativ hoher Frequenz ein, dessen Signal durch einen Teiler herabgesetzt wird. Der Zählerstand nach der Dauer des Entladevorgangs gibt die gewünschte digitale Information über die Höhe der Eingangsspannung wieder, da der Kondensator C beim Anliegen einer geringen Spannung schneller entladen wird, als bei höheren Spannungen. Das Dual-Slope-Verfahren bietet neben einigen Nachteilen auch gewisse Vorteile gegenüber der sukzessiven Approximation:

\+ An den Kondensator C werden bezüglich der Toleranz und Temperaturfestigkeit keine großen Anforderungen gestellt, da dieser nicht frequenzbestimmend ist.

\+ An die Stabilität im Langzeitverhalten der Taktfrequenz wird kein erhöhter Anspruch gestellt. Diese muß nur während der einzelnen Wandlerzyklen konstant bleiben.

\+ ICs, die mit dem Dual-Slope-Verfahren messen, z.B. der CA 3162E von RCA, kosten nur die Hälfte derer, die mit der sukzessiven Approximation arbeiten.

Allerdings sollen die Nachteile dieses Verfahrens auch dargelegt werden:

- Die Wandelgeschwindigkeit ist wesentlich langsamer und liegt bei maximal 96 Messungen pro Sekunde.

- Die softwaremäßige Handhabung ist wesentlich umständlicher, und es wird ein eigenes Maschinenprogramm zum Einlesen benötigt.

Im Verlauf dieses Kapitels wird Ihnen noch eine Schaltung mit dem CA 3162E vorgestellt werden.

18.2. ZN 427 als A/D-Wandler

Der ZN 427 von FERRANTI ist als A/D-Wandler vom Preis-Leistungsverhältnis optimal, da er sich durch folgende Vorzüge auszeichnet:

+ äußerst schneller Komparator
+ einfache Handhabung in Mikrocomputersystemen
+ sowohl TTL-, als auch CMOS-kompatibel
+ Tri-state Ausgangspuffer
+ A/D-Wandlung nach der Methode der sukzessiven Approximation mit einer sehr kurzen Wandlungszeit
+ äußerst präzise, temperaturstabile Referenzspannung

Allerdings liegt der Preis dieses Schaltkreises bei ca. DM 30,- und zusätzlich ist eine negative Versorgungsspannung von -5 V erforderlich.

Das Blockschaltbild des ZN 427 ist in der Abbildung 174 dargestellt, die entsprechende Pinbelegung finden Sie in der Abbildung 175. Für diejenigen, die sich mit den technischen Daten des ZN 427 etwas näher beschäftigen wollen, sind diese in den Abbildungen 176-178 zusammengestellt.

Der ZN 427 wird in einem 18-poligen DIL-Gehäuse gefertigt. Der Anschluß 6 ist der Eingang für den darzustellenden analogen Meßwert. Ausgangsseitig kann an den Pins 18-11 der digitalisierte Wert als Eingang für den Datenbus abgenommen werden, wobei der Pin 18 das niederwertigste Datenbit (D0) und der Pin 11 das höchstwertigste Datenbit (D7) darstellt. Die Referenzspannung von 2,475 Volt bis 2,625 Volt, die intern erzeugt wird, ist am Anschluß 8 verfügbar. Außerdem steht dem Anwender noch die Möglichkeit offen, über den Pin 7 dem IC eine externe Vergleichsspannung (Referenz) zuzuführen.

Werden diese beiden Anschlüsse miteinander verbunden, so ergibt sich hieraus der mögliche Meßbereich von +/-2,56 Volt.

Andere Meßbereiche können durch entsprechende Widerstandsteiler realisiert werden.

Die Anschlüsse 1, 2, 3 und 4 dienen als Steuersignale für die Verbindung zum Rechner. Die eigentliche Wandlung eines analogen Signals ist als Zeitdiagramm in der Abbildung 176 zu sehen. (Literaturhinweis: FERRANTI, Datenblatt ZN 427)

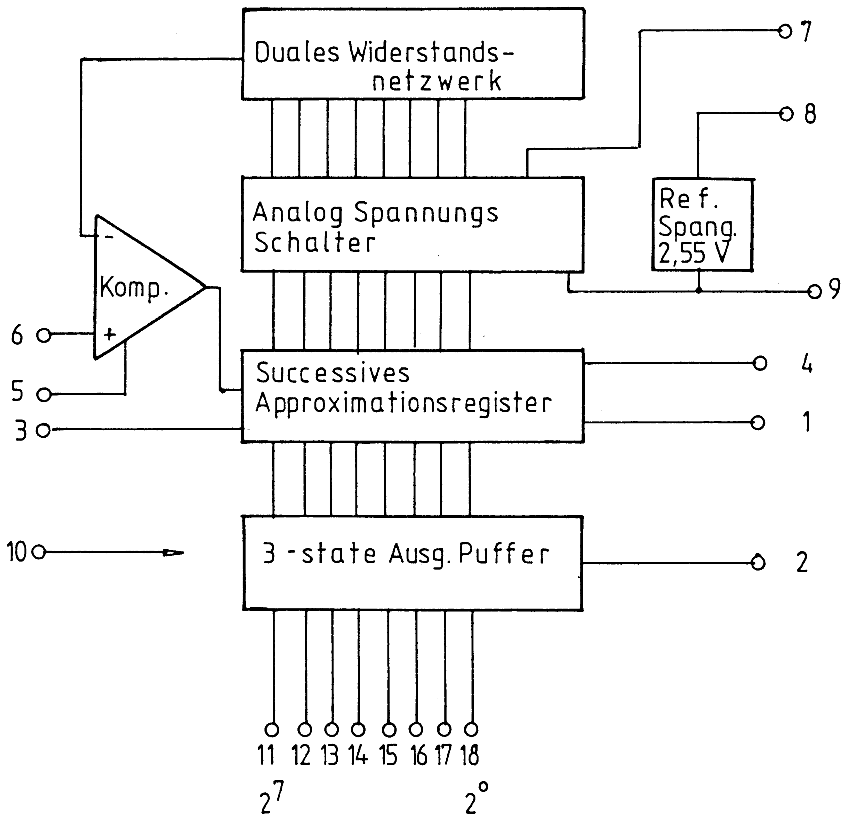


Abb. 174: ZN 427 8-Bit A/D-Wandler (Ferranti)

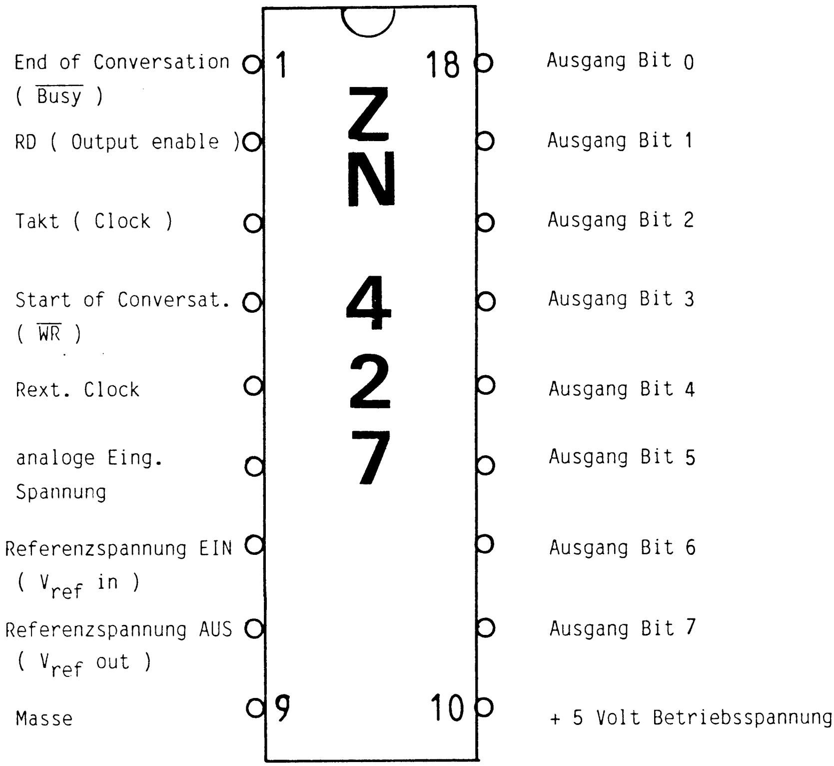
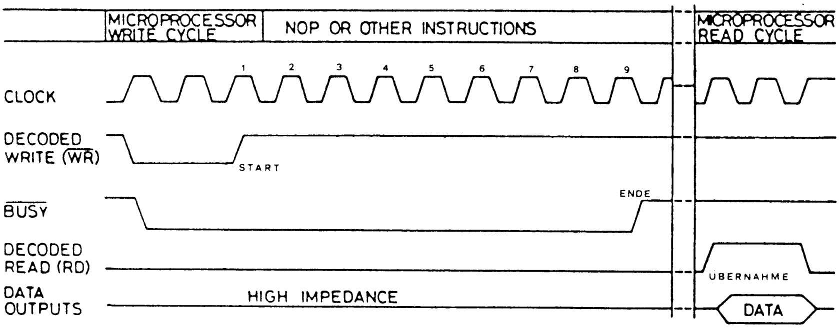
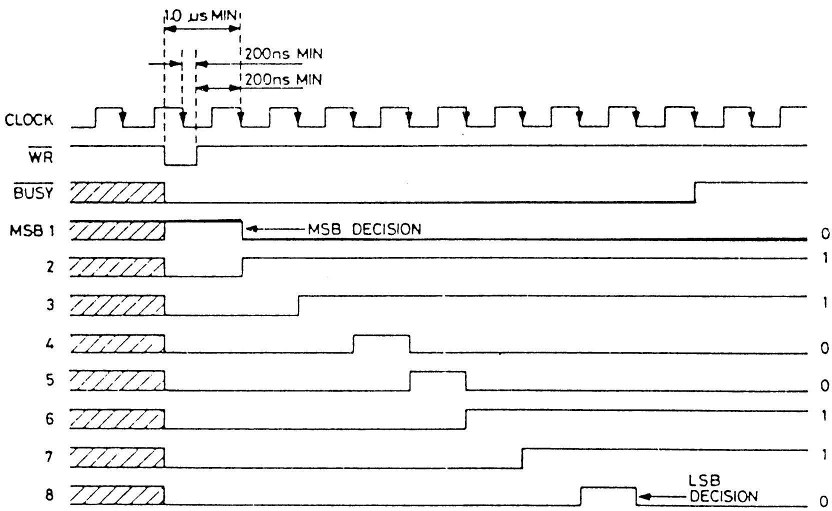


Abb. 175:
Anschlußbelegung des A/D-Wandlers ZN 427 (Ferranti)





Quellenhinweis: ZN 427, Datenblatt FERRANTI

Abb. 176:
Zeitdiagramm zur Meßwandlung des ZN 427 von Ferranti

Über die aufsteigende Flanke eines L-Pegels am Anschluß 4 (Start of Conversion) wird die Wandlung aktiviert. Gleichzeitig wird für die Dauer der Wandelzeit der Anschluß 1 "BUSY" auf einen L-Pegel gelegt, damit dem Rechner mitgeteilt werden kann, daß augenblicklich keine gültigen Daten an den Ausgängen 18-11 zur Verfügung stehen. Im oberen Teil des Diagramms der Abbildung 176 werden die Taktimpulse (Clock) aufgeführt, die an den Anschluß 3 gelegt werden. Eine Meßperiode dauert genau 9 Taktimpulse; danach erhält Pin 1 "BUSY" wieder einen H-Pegel, und der Rechner erkennt, daß gültige, gewandelte Daten an den Ausgängen (18-11) anliegen, die nun verarbeitet werden können. Gleichzeitig wird der Anschluß 2 (RD / OUT-ENABLE) auf einen H-Pegel gelegt, damit die Daten übernommen werden können. Für die Dauer des Einlesens verbleibt der RD-Anschluß auf einem H-Pegel. Am Anschluß 5 ist eine negative Spannung zwischen -3 Volt und -30 Volt erforderlich.

Abb. 177/1: Technische Daten des ZN 427 (FERRANTI)

Bemerkung	min.	typ.	max.	Einheit
Referenzspannung:				
Ausgangsspannung	2,475	2,560	2,625	V
Temperaturdrift	-	50	-	ppm/C
Referenzstrom	4	-	15	mA
Komparator:				
Eingangsstrom	-	1	-	uA
Eingangswiderstand	-	100	-	kOhm
Negative Spannung -3	-	-30	V	
Eingangsspannung -0,5	-	3,5	V	
Konverter:				
Betriebsspannung	4,5	-	5,5	V
Stromaufnahme	-	25	40	mA
Leistungsaufnahme	-	125	-	mW
Wandlungszeit	-	-	10	us
digitale Auflösung	8	-	-	Bits
Linearitätsabweichung	-	-	+/-0,5	LSB

Abb. 177/2: Logische Daten des ZN 427 (FERRANTI)

Bemerkung	min.	typ.	max.	Einheit
H-Pegel Eingangsspannung	2	-	-	V
L-Pegel Eingangsspannung	-	-	0,8	V
H-Pegel Eingangsstrom	-	-	50	uA
WR zu BUSY Verzugszeit	-	-	250	ns
Taktimpulsbreite	500	-	-	ns
Maximale Taktfrequenz	900	1000	-	kHz

Schaltungsbeschreibung

Das Schaltbild des A/D-Wandlers ist in der Abbildung 178 wiedergegeben. Auch bei dieser Schaltung ist die freie Adressierbarkeit durch die DIL-Schalter möglich.

Der IC 2 speichert die einzelnen Analogkanäle, damit festgestellt werden kann, an welchem Eingang der zu messende Wert anliegt. Bei diesem IC handelt es sich um zwei 2-Bit-D-Zwischenspeicher mit eigener Freigabe. Gleichzeitig steuert der Ausgang 4, Pin 9, den Start des Wandelvorgangs. IC 4 ist ein 1 aus 8 Analogdaten-Demultiplexer, der speziell für die A/D- bzw. D/A-Wandlung eingesetzt werden kann. Der Anschluß 3 dieses Schaltkreises kann sowohl als Eingang wie als Ausgang verwendet werden, je nachdem ob die acht Informationen von acht Eingängen zu sammeln oder an acht Stellen zu verteilen sind. In Abhängigkeit von der Spannung am Pin 7 wird der Eingangsbereich bestimmt. Ist dieser Anschluß mit -5 Volt verbunden, so wie es im Schaltplan eingezeichnet ist, ergibt sich ein Meßbereich von +/-10 Volt bzw. +/-5 Volt.

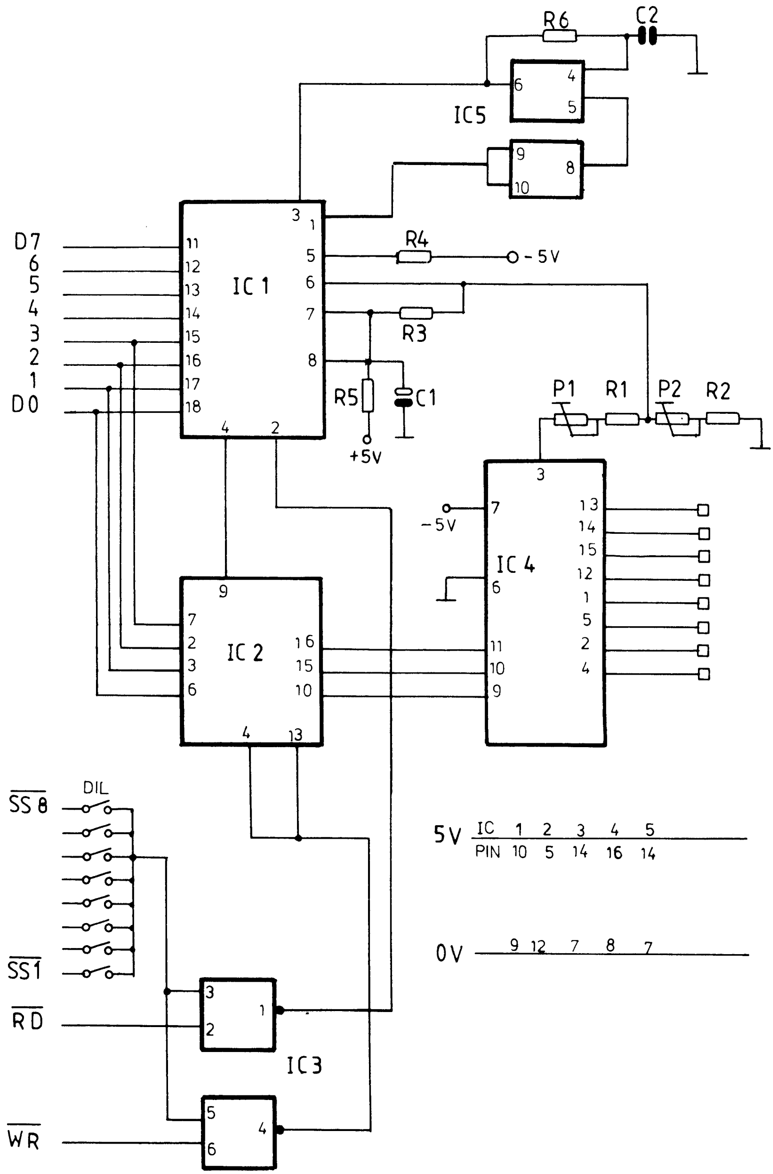


Abb. 178: Schaltplan des A/D-Wandlers ZN427 (Ferranti)

Ein etwas kritischer Teil der Schaltung ist der Taktgeber, der mit dem IC 5, einem 74 LS 132, aufgebaut ist. Dieser Baustein enthält vier NAND-Gatter mit je zwei Eingängen und Schmitt-Trigger Funktion. Von diesem IC werden nur zwei Gatter benötigt. Mit dem RC-Glied, R6 und C2 wird die eigentliche Taktfrequenz gebildet. Sie darf keinesfalls größer als 600 kHz sein und auch nicht geringer als 400 kHz, da sonst Schwierigkeiten mit der Wandelzeit auftreten können. Bei einer Frequenz von 600 kHz ist zwischen Start der Wandlung und dem Lesebefehl für die gewandelten Daten soviel Zeit, daß der Wandelvorgang ordnungsgemäß abgeschlossen werden kann. Bei niedrigeren Frequenzen müßten Sie sonst in Ihrem Programm noch zusätzlich eine Warteschleife einbauen, damit sichergestellt wird, daß der richtige gewandelte Wert auch eingelesen wird. Umgekehrt kommt Ihr Rechner mit dem Einlesen der gewandelten Daten nicht mehr nach.

Durch den DIL-Schalter können Sie die Adressierung der Wandlerkarte in gesamten I/O-1-Bereich vornehmen. Achten Sie aber darauf, daß sich nur ein einziger DIL-Schalter in der Stellung ON befindet. Zum Lesen bzw. Schreiben wird das erzeugte -RD- bzw. -WR-Signal verwendet, da beide low-aktiv sein müssen. IC3 als NOR-Gatter sorgt dafür, daß nur zusammen mit dem Slot-Select-Signal der Wandelvorgang gestartet werden kann.

Aufbau des A/D-Wandlers

Das Platinenlayout des A/D-Wandlers ist in den Abbildungen 179 und 180 dargestellt. Hierbei handelt es sich um eine doppelseitige Platine. Den dazugehörigen Bestückungsplan finden Sie in der Abbildung 181. Die Stellen, die von Ihnen durchkontaktiert werden müssen, sind entsprechend markiert. Die Bohrungen für diese Verbindungen richten sich im wesentlichen nach dem verwendeten Draht. Da es leicht vorkommen kann, daß beim Durchkontaktieren sich eine Seite beim Löten wieder löst oder der Draht infolge der Wärme auf der anderen Seite wieder hinausfällt, sollte man die Bohrungen nur unwesentlich dicker machen, als der Durchmesser des verwendeten Drahtes ist.

Prüfen Sie zur eigenen Sicherheit nach Abschluß der Arbeit alle Durchkontaktierungen mit einem Ohmmeter auf Durchgang nach! Die Verwendung von Hohlnieten ist besonders für Anfänger nicht zu empfehlen.

Es versteht sich von selbst, daß für alle ICs entsprechende Fassungen zu verwenden sind. Die Spannungsversorgung der Karte kann auf zweierlei Arten erfolgen: Zum Betrieb ist eine symmetrische Spannung von +/-5 Volt erforderlich. Zum einen lassen sich beide Spannungen aus der netzteilkarte entnehmen, hierzu müssen dann die Drahtbrücken +5Volt und -5Volt mit der Bezeichnung "Netzk." auf der Platine verbunden werden.

Steht Ihnen die Netzteilkarte des Kapitels 17 noch nicht zur Verfügung, so ist die positive Spannung aus dem Rechner zu entnehmen, indem Sie eine Drahtbrücke zwischen den Bezeichnungen "+5V" und "intern" legen. Die negative Versorgungsspannung ist durch die Drahtbrücke "-5V" und "extern" durchzuführen. In diesem Fall müssen Sie am oberen Ende der Karte (Stiftleiste) eine externe -5 Volt Versorungsspannung einspeisen. Vergessen Sie nicht die Masse an die der Netzteilkarte zu legen.

Die Werte der diskreten Bauelemente, Widerstände und Kondensatoren müssen unbedingt eingehalten werden!

Das Foto der Abbildung 182 zeigt Ihnen einen Detailausschnitt der Wandlerkarte. Beachten Sie, daß der Widerstand R5 sowohl auf der Platinenoberseite, wie auch auf der Unterseite angelötet wird. Die Abbildung 183 zeigt Ihnen die Drahtbrücken der Spannungsversorgung, wenn die Wandlerkarte aus der externen Netzteilkarte des Kapitels 17 versorgt werden soll. Den Musteraufbau einer fertigen Wandlerkarte ist im Foto der Abbildung 184 wiedergegeben.

Bauteile:

IC 1	=	ZN 427 (Ferranti)
IC 2	=	74 LS 75
IC 3	=	74 LS 02
IC 4	=	4051 (CMOS)
IC 5	=	74 LS 132
R 1	=	13 k
R 2	=	13 k
R 3	=	7,5 k
R 4	=	82 k
R 5	=	390 Ohm
R 6	=	330 Ohm
C 1	=	Elko 10uF/16 V
C 2	=	4,7 nF
P 1,2	=	5 k Potentiometer, liegend
DIL	=	8-fach DIL-Schalter
Sonstiges:		2x32-polige VG-Steckerleiste a+c, gewinkelt. Stifleiste insgesamt 11-polig im Rastermaß 2,54 mm

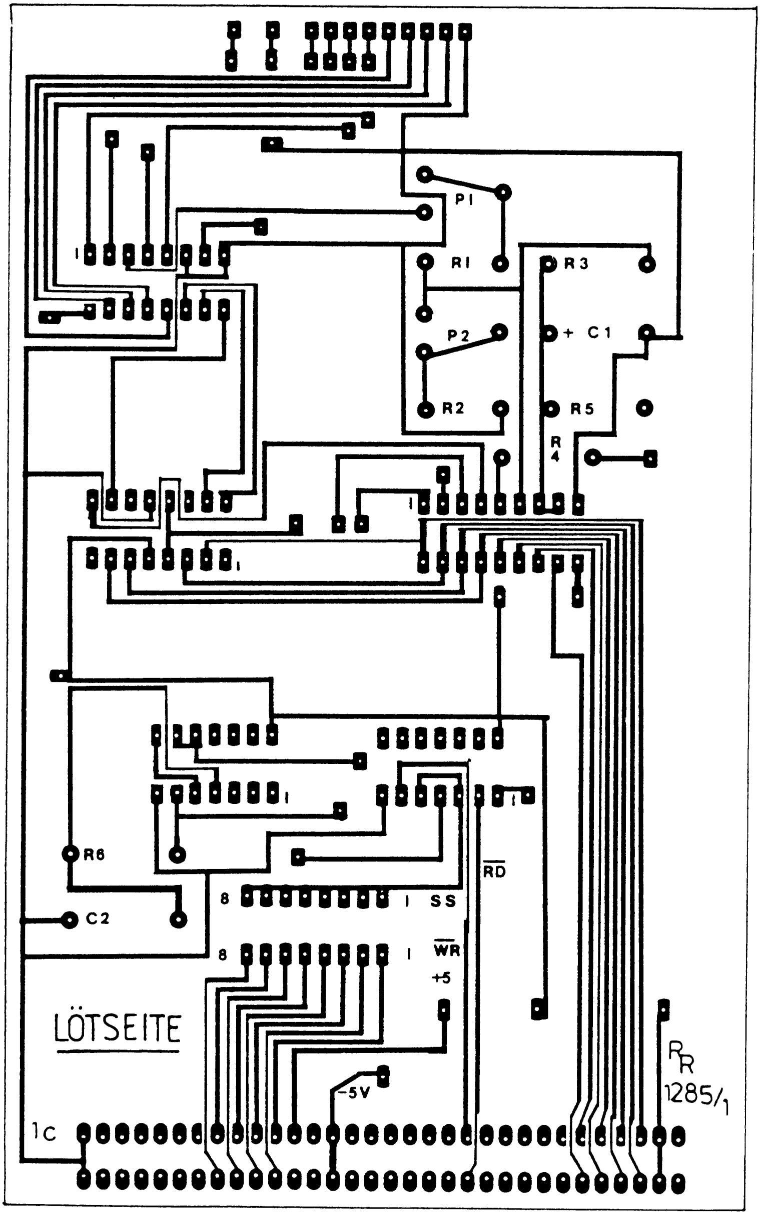


Abb. 179:
Platinenlayout "Lötseite" der A/D-Wandlerkarte mit dem ZN 427

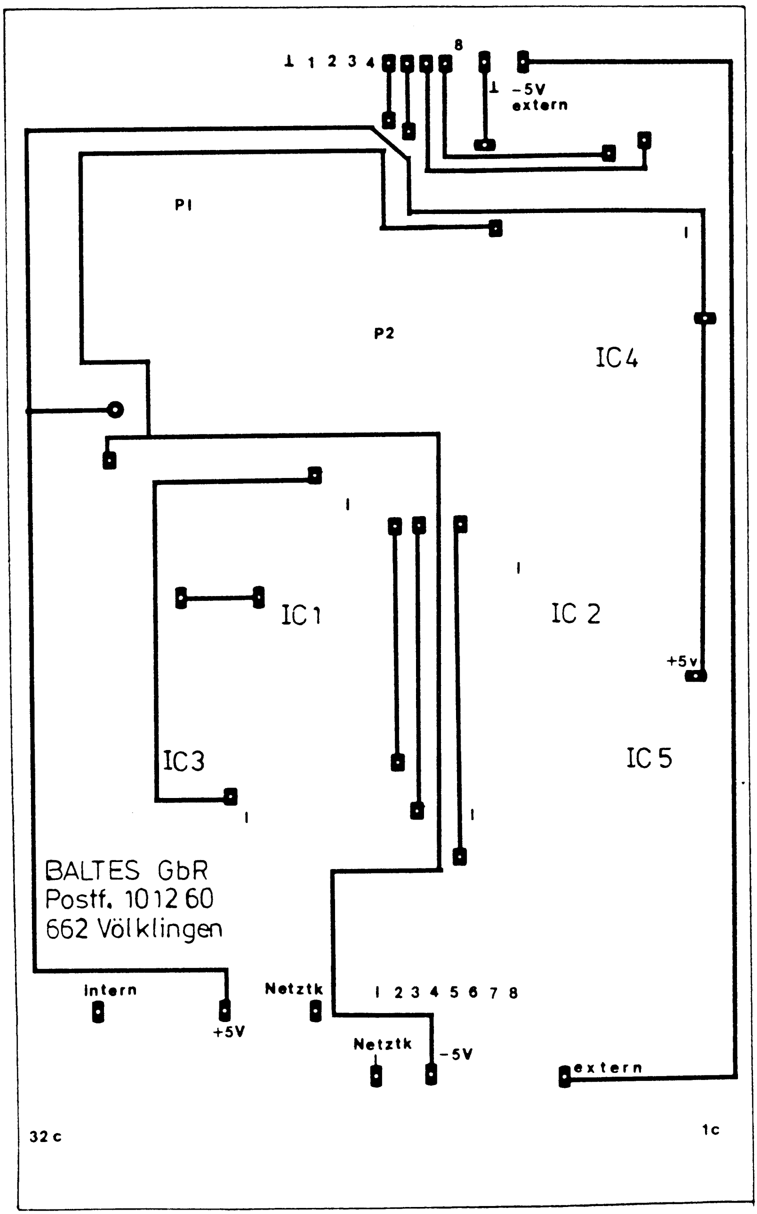


Abb. 180:
Platinenlayout "Bestückungsseite" der A/D-Wandlerkarte mit dem ZN 427

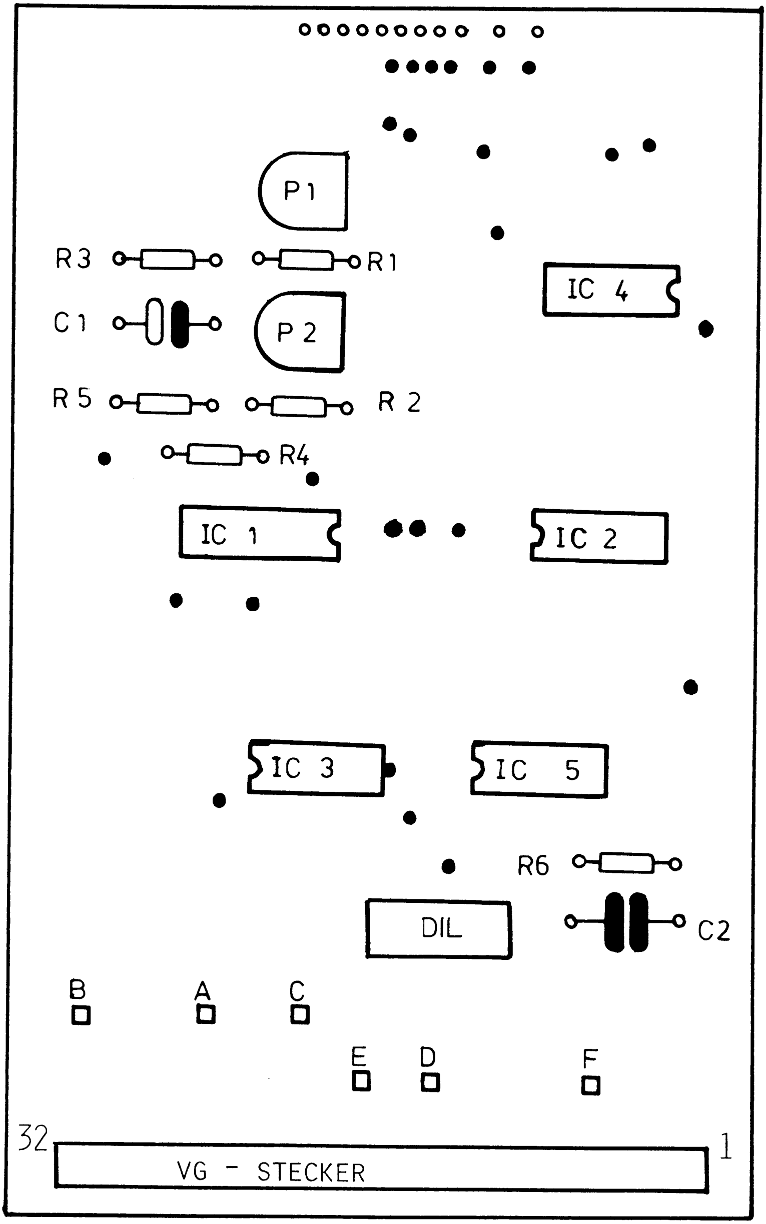


Abb. 181: Bestückungsplan des A/D-Wandlers

Hinweis zu Abbildung 181:

● sind Durchkontaktierungen
Drahtbrücke A-B = 5V Versorgung aus dem Rechner
Drahtbrücke A-C = 5V Versorgung aus der Netzteilkarte
Drahtbrücke D-E = - 5V Versorgung aus der Netzteilkarte
Drahtbrücke D-F = - 5V Versorgung aus externer Spannungsquelle

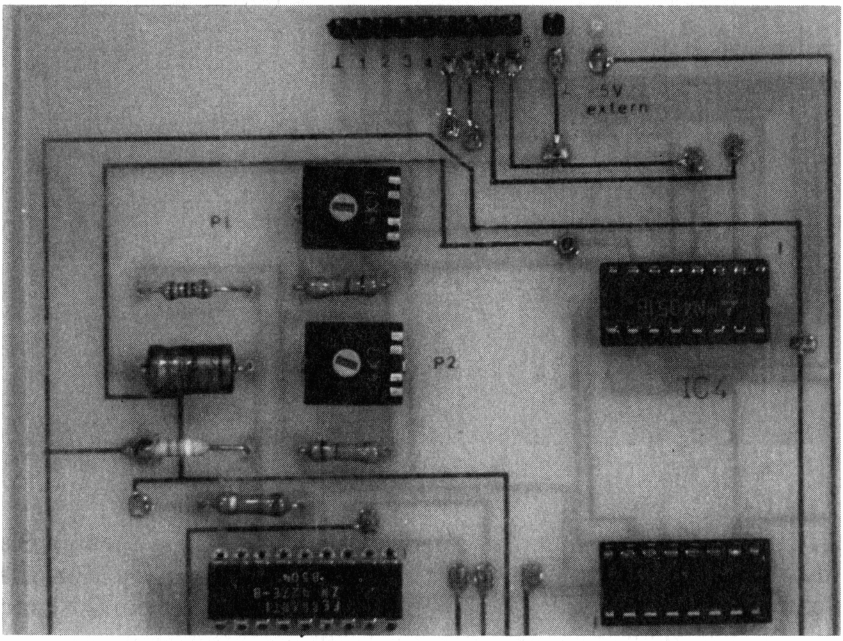


Abb. 182:
Teilausschnitt der A/D-Wandlerkarte mit den acht Eingängen und den beiden Potentiometern zum Abstimmen

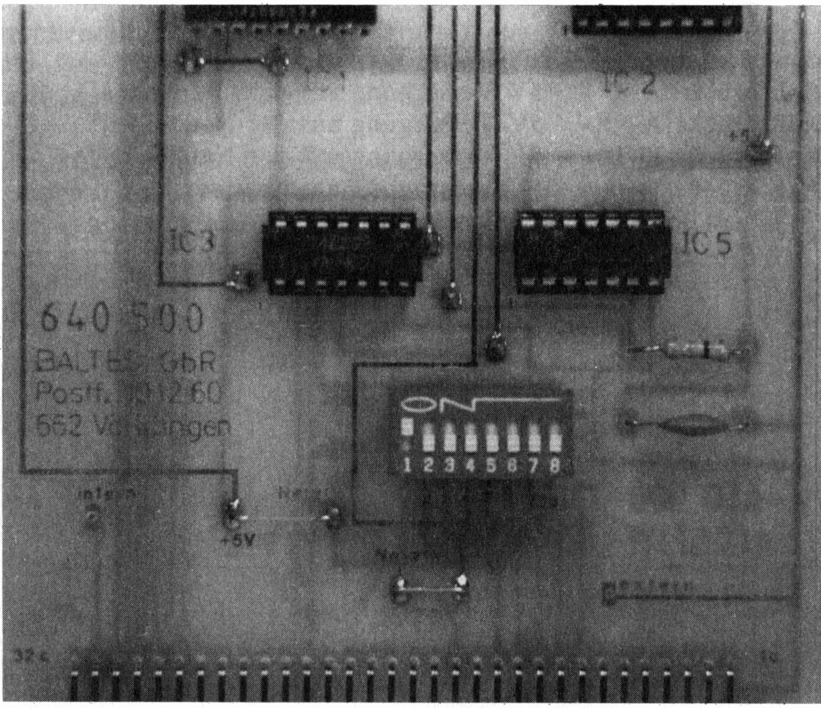


Abb. 183:
Teilausschnitt des A/D-Wandlers mit dem ZN 427. Beachten Sie unbedingt die korrekte Einbaulage der Drahtbrücken für die Spannungsversorgung. Die 5 Volt Versorgungsspannung kann sowohl aus dem Rechner wie auch aus der Netzteilkarte entnommen werden (+5V intern oder extern). Die negative Versorgungsspannung kann aus einer externen Spannungsquelle stammen oder aus der Netzteilkarte genommen werden (-5V Netztk-extern).

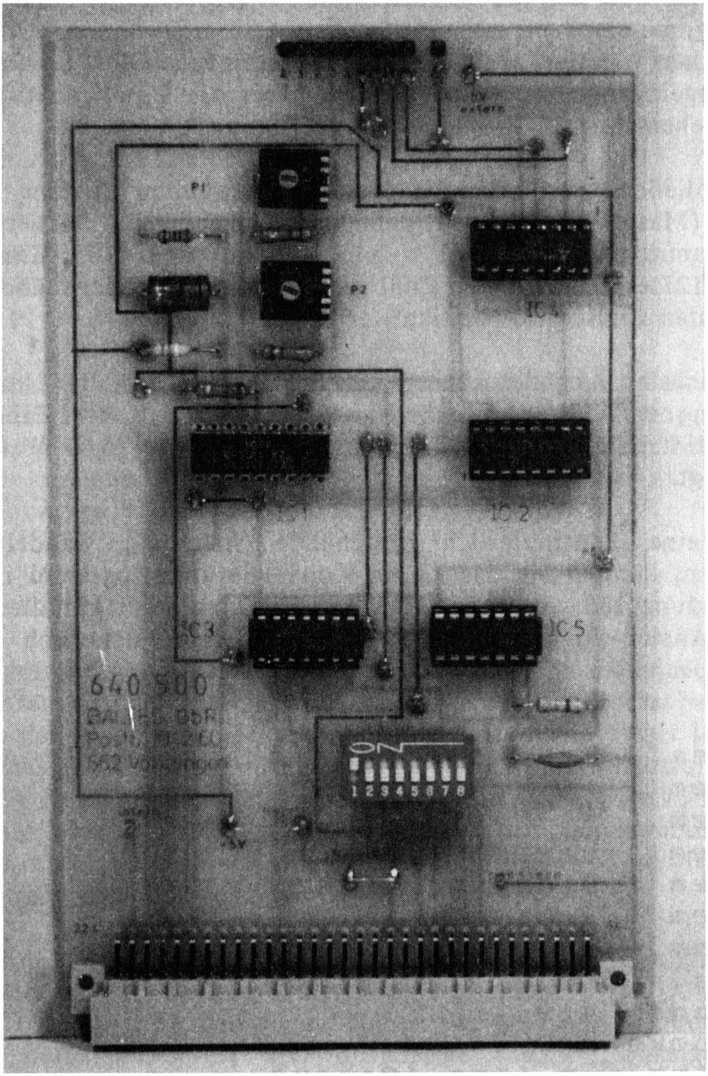


Abb. 184:
A/D-Wandler mit dem ZN 427. Die Spannungsversorgung ist durch die Drahtbrücken so gelegt, daß sie über die externe Netzteilkarte läuft.

Abgleich und Inbetriebnahme

Um den Wandler abzugleichen, muß zunächst der gewünschte Analogeingang ausgewählt werden. Über die 9-polige Stiftleiste X2 stehen Ihnen 8 Eingänge zur Verfügung.

Anschließend verbinden Sie diesen ausgewählten Eingang mit 0 Volt (Masse). Sie starten dann das folgende Konvertierungsprogramm und stellen P1 so ein, daß auf dem Bildschirm die Zahl 127 erscheint. Diese Zahl sollten Sie durchlaufend über den gesamten Bildschirm (vertikal) erhalten.

Im nächsten Abgleichschritt legen Sie den ausgewählten Analogeingang an +5Volt und stellen P2 so ein, daß die Zahl 255 erscheint. Hiermit ist der gesamte Abgleich des A/D-Wandlers erledigt.

Um eine kontinuierlich anstehende Spannung wandeln zu können, können Sie das kleine Konvertierungsprogramm in der Abbildung 185 verwenden. Dieses Programm stellt nur die Basis der Analog-Digital-Wandlung dar und muß sicherlich Ihren Gegebenheiten angepasst bzw. erweitert werden.

```
2 rem   wandlerprogramm   zn 427
3 rem        konvertierung
4 rem   ss-2 signal  im  slot  2
5 rem   basisadresse = dez 56832
6 rem   eingang 8 wird verwendet
7 rem
8 rem
10 a = 56832
20 poke a,8
30 poke a,0
35 for i = 1 to 10:next
40 print peek(a)
50 goto 20
```

Abb. 185: A/D-Wandler ZN 427, Konvertierung

Durch eine einfache Bestückungsänderung können Sie den Meßbereich des A/D-Wandlers ändern. Mit den im Bestückungsplan angegebenen Werten erhalten Sie einen Meßbereich von +/-5 Volt.

Erweiterung des Meßbereiches auf +/-10Volt:

R1 = 8,2 k
R2 = 27 k
R3 = 8,2 k
P1 = 10 k

Halten Sie unbedingt diese Widerstandswerte ein. Selbstverständlich muß für diesen Fall nun eine negative Versorgungsspannung von -10 Volt zugeführt werden, die in jedem Fall von außen kommen muß, da sie aus der Netzteilkarte nicht zur Verfügung gestellt wird.

18.3. CA 3162E als A/D-Wandler

Ein typischer Vertreter des schon erwähnten Dual-Slope-Meßverfahrens ist der CA 3162E von RCA, dessen Blockschaltbild Sie in der Abbildung 186 sehen. Entwickelt wurde dieser IC für den Einsatz in Digitalmultimetern. In der Grundausbaustufe hat der CA 3162E einen Meßbereich von -99mV bis 999mV, wobei nur eine einzige Versorgungsspannung von 5 Volt notwendig ist. Die Pinbelegung sowie die technischen Daten sind in der Abbildung 187 zusammengefaßt.

Die Anschlüsse 1, 2 sowie 15 und 16 beinhalten die digitale Information der zu messenden Eingangsspannung (V_{ein}), allerdings in gemultiplexter Form. Haben Sie beim ZN 427 den zu messenden Analogwert als vollständige binäre Informationseinheit erhalten, so stellt der CA 3162E diese zeitlich nacheinander versetzt zur Verfügung.

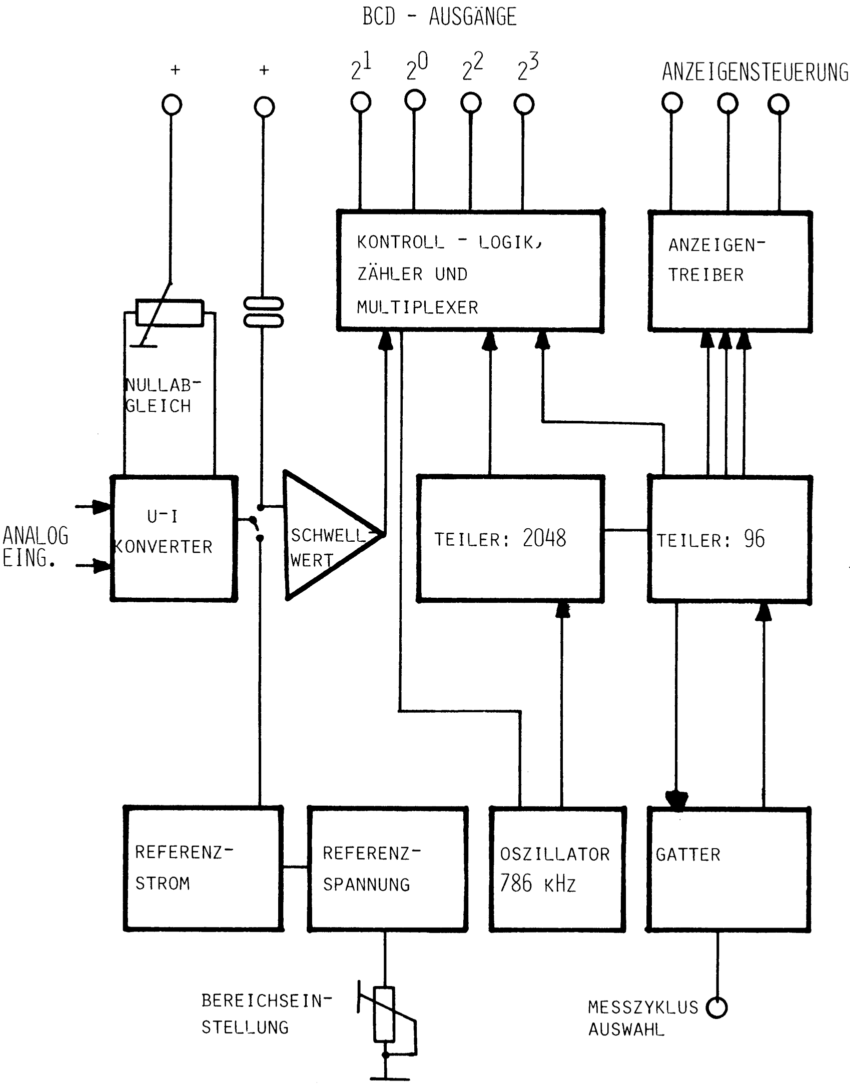
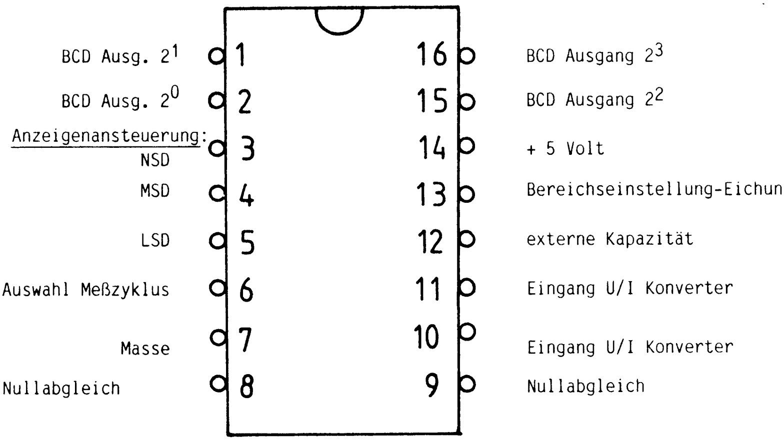


Abb. 186: CA 3162E



Technische Daten des CA 3162 E

Versorgungsspannungsbereich	4,75 5,25	Volt
Stromaufnahme	35	mA
Alle Eingänge H-Pegel Ausgangsstrom	15	mA
Eingangsspannung für H-Pegel	2	Volt
Eingangsspannung für L-Pegel	0,8	Volt
Temperaturdrift	0,005 % /°C	Prozent je Grad Celsius
Eingangsimpedanz	100	MOhm
Eingangsstrom (Pin 10 u. 11)	80	nA

Abb. 187: Technische Daten und Pinbelegung des CA3162E

Zunächst wird die höchste Anzeigestelle (Hunderter) an den Pins 1, 2, 15 und 16 ausgegeben. Während dieser Zeit liegt der Anschluß 4 auf einem L-Pegel, damit angezeigt werden kann, daß die höchstwertigste Informationseinheit (most significant digit = MSD) auf dem Ausgang liegt. Nach etwa 5 Millisekunden wird Pin 4 wieder "High" und Pin 5 wird auf einen Low-Pegel gelegt. Dann steht an den Ausgängen die niederwertigste Infor-

mationseinheit (Einer), d.h. das least significant digit (LSD) zur Verfügung. Nach weiteren 5 Millisekunden erhält der Pin 3 Low-Pegel, und die Zehnerstelle (next significant digit = NSD) steht an den Ausgängen.

Dieses Verfahren des nacheinander getrennten Ausgebens von zusammengehörigen Informationen nennt man *Multiplexverfahren.* Schon jetzt dürfte klar sein, daß zum Zusammensetzen der vollständigen Information ein erhöhter Softwareaufwand notwendig ist.

Die Zeiten des Meßprozesses und der Multiplexauslesung werden durch den internen 786 kHz Oszillator gesteuert. Nach der Teilung durch 2048 entsteht eine Multiplexfrequenz von 384 Hz (786000:2048). Ein weiterer Teiler von 96 ergibt einen Meßzyklus von 4 Messungen pro Sekunde, wenn der Anschluß 6 unbeschaltet bleibt oder auf L-Pegel (Masse) gelegt wird. Wird jedoch Pin 6 auf einen H-Pegel gelegt, d.h. mit +5 V verbunden, so ist ein Teil des Zählers außer Betrieb gesetzt und der Zyklus beträgt 96 Messungen je Sekunde; die Multiplexrate bleibt hiervon unberührt.

Der für das Dual-Slope-Verfahren erforderliche Kondensator wird zwischen die Anschlüsse 12 und der Versorgungsspannung gelegt. Die Genauigkeit des CA 3162E beträgt 0,1 %, d.h. +/-1 least significant digit, was gleichzusetzen ist mit einem Meßfehler von ca. +/-2 mV. Zwei Trimmpotentiometer P1 (Nullpunkt) und P2 (Meßbereich) sind für den Abgleich zuständig. Das Überschreiten des positiven Meßbereiches wird durch die Kombination ":::" angezeigt, eine zu niedrige Spannung durch "---".

Schaltungsbeschreibung

Die vollständige Schaltung eines A/D-Wandlers mit dem CA3162 ist in der Abbildung 188 wiedergegeben. Im Gegensatz zur vorhergehenden benötigt diese Schaltung weitaus weiniger Bauelemente, aber die erforderliche Software ist wesentlich komplizierter und umfangreicher.

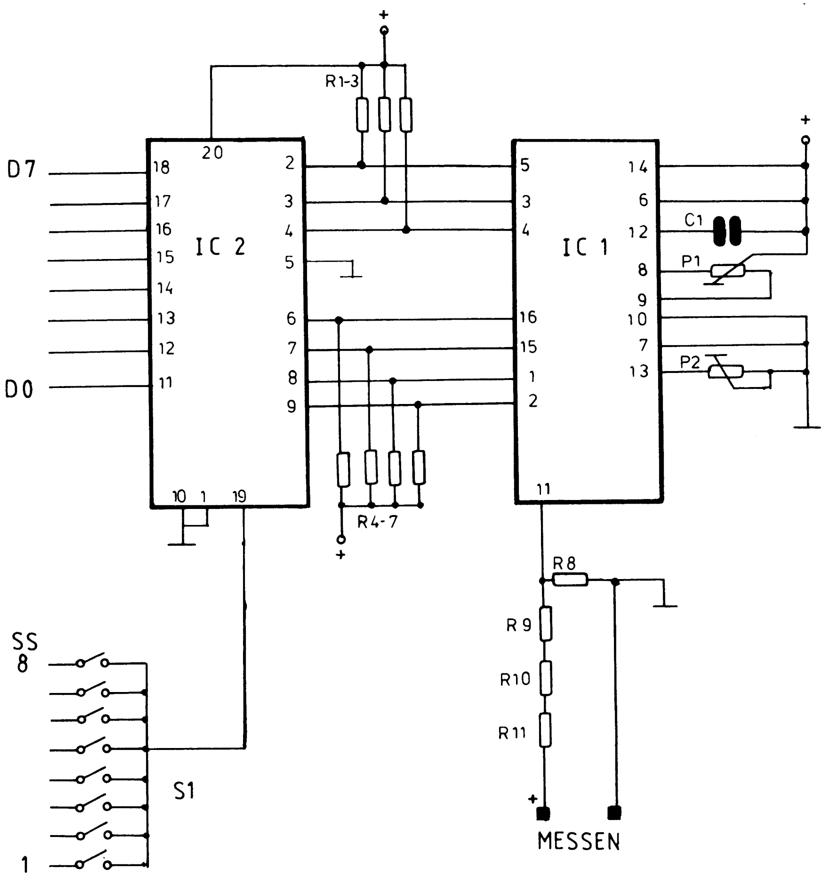


Abb. 188: A/D-Wandler CA 3162E, Schaltplan

Da der CA 3162 keinen eigenen Chip-Select-Anschluß besitzt, ist IC2, ein 74LS541, erforderlich, mit dessen Hilfe der Wandler adressiert werden kann. Das Prinzip des 74LS541 wurde bereits bei der I/O-Adapterkarte im Kapitel 6.1 ausführlich erläutert. Die Pull-up Widerstände R1-R7 haben die Aufgabe, für den erforderlichen Pegel auf den gemultiplexten Datenleitungen zu sorgen. Die Trimmpotentiometer P1 und P2 dienen für den Nullpunkt bzw. für den Endabgleich.

Der Anschluß 11 des CA 3162 ist der eigentliche Meßeingang. Je nach der Beschaltung der Spannungsteiler R8 bis R11 können die unterschiedlichen Spannungen bzw. Ströme gemessen werden.

Die in der folgenden Bauteilliste aufgeführten Kondensatoren C 2 und C 3 dienen der Entstörung und Glättung und werden im Bedarfsfalle einfach parallel zur Versorgungsspannung geschaltet. Im Schaltplan der Abbildung 188 wurden C 2 und C 3 nicht eingetragen.

Bauteile:

IC 1	=	74 LS 541
IC 2	=	CA 3162E (RCA)
R 1-7	=	4,7 k
C 1	=	0,22-0,27 uF
C 2	=	0,1 uF
C 4	=	Elko 10 uF/16 V
P 1	=	Trimmpotentiometer 50 k
P 2	=	Trimmpotentiometer 10 k, liegend
DIL	=	8-fach DIL Schalter
Sonstiges:		2x32-poliger VG-Stecker, a+c, gewinkelt.
		Spannungsteiler R8 bis R9 je nach Erfordernis.

Mit Hilfe der Spannungsteiler nach der folgenden Tabelle wird der maximal zulässige Meßbereich festgelegt:

Meßbereich		R 8	R 9	R 10	R 11
1	V	-	-	-	-
10	V	1 M	9 M	-	-
100	V	100k	900k	9 M	-
1000	V	10k	90k	900k	9 M
10	mA	100	-	-	-
100	mA	10	-	-	-
1	A	1/1W	-	-	-
10	A	0,1/10W	-	-	-

Abgleich und Inbetriebnahme

Das Platinenlayout dieser Karte ist in der Abbildung 189 wiedergeben, den Bestückungsplan finden Sie in der Abbildung 190.

Bedingt durch die geringe Anzahl der Bauelemente dürfte der Aufbau der Schaltung problemlos sein. Wenn Sie die Drahtbrücke am Anschluß 6 des CA 3162 legen, so arbeitet der Wandler mit maximal 96 Messungen pro Sekunde. Ohne diese Drahtbrücke arbeitet die Karte mit 4 Messungen pro Sekunde. Auf dem Bestückungsplan ist diese Drahtbrücke mit dem Buchstaben "A" gekennzeichnet.

Auch bei dieser Karte haben Sie durch das Legen einer Drahtbrücke die Möglichkeit, die Karte entweder intern über den Rechner mit der Betriebsspannung zu versorgen oder extern über die Netzteilkarte.

Achten Sie beim Einbau der Meßwiderstände darauf, daß Sie die nicht erforderlichen durch eine Drahtbrücke ersetzen.

In der Abbildung 191 Teil 1 und Teil 2 finden Sie das erforderliche Konvertierungsprogramm für den A/D-Wandler. Dieses Programm wird Ihnen sowohl in Assembler als auch in DATA-Anweisungen vorgestellt.

Das Foto der Abbildung 192 zeigt Ihnen den Musteraufbau dieses A/D-Wandlers.

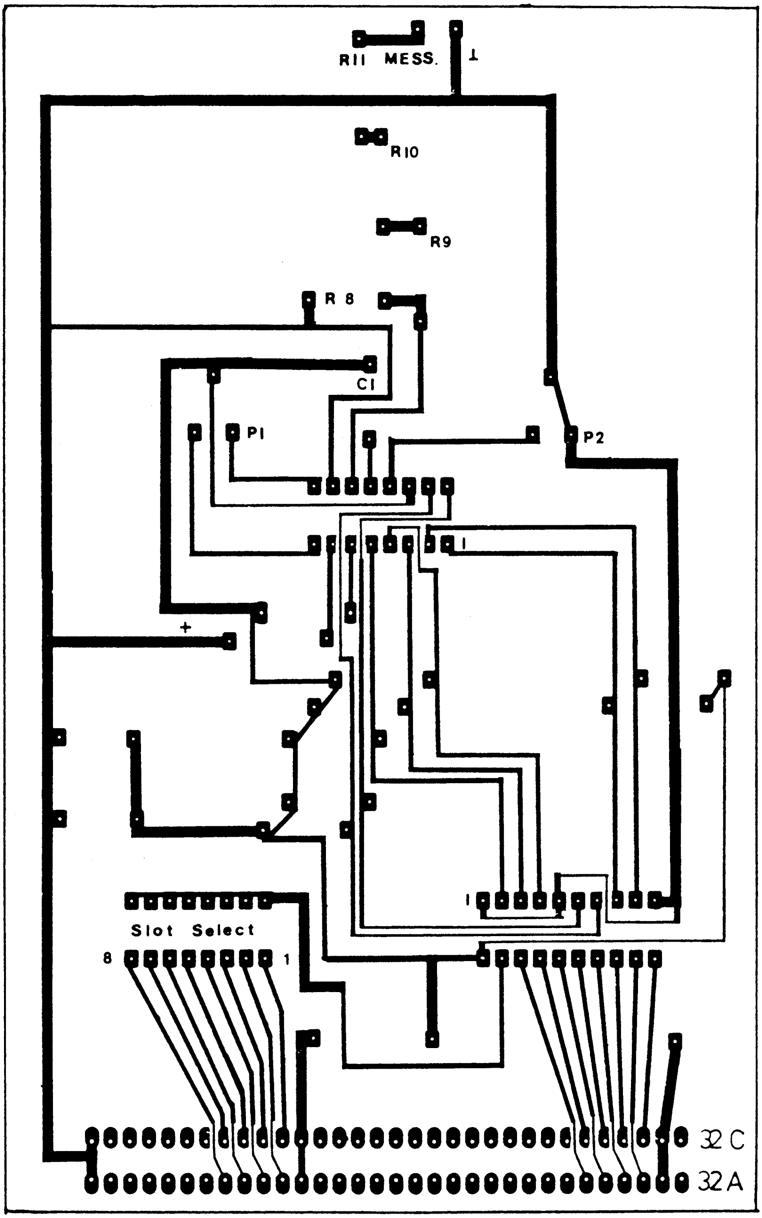


Abb. 189:
Platinenlayout der A/D-Wandlerkarte mit dem CA 3162E

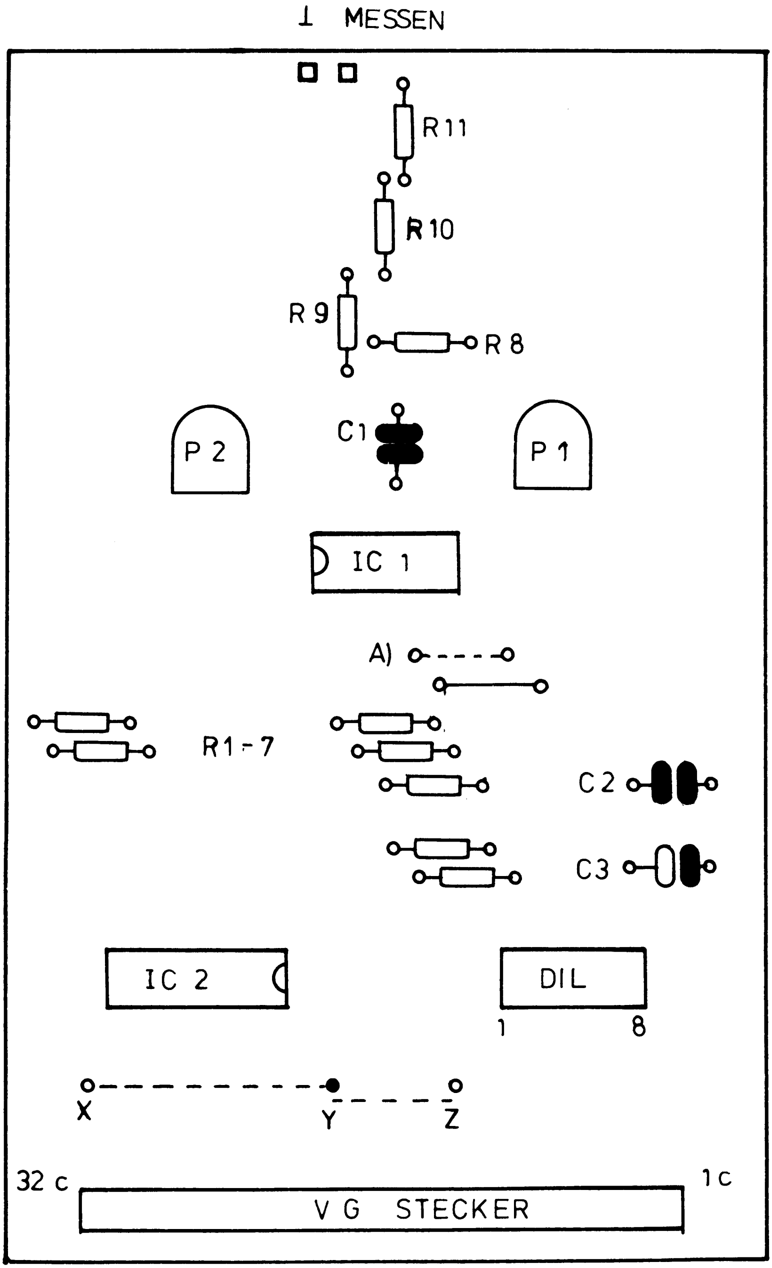


Abb. 190: Bestückungsplan des A/D-Wandlers (CA 3162E)

Hinweis zu Abbildung 190:

A) Drahtbrücke 96 Messungen/Sekunde
offen 4 Messungen/Sekunde
Y-X Drahtbrücke
5V Spannungsversorgung aus dem Rechner
Y-Z Drahtbrücke
5V Spannungsversorgung aus externer Netzteilkarte

```
100 open1,4
110 sys9*4096
120 .opt p1,oo
125 *= $c000
130 einlesen sei
140 w1 lda $de00
150 and #$20
160 bne w1
170 w2 lda $de00
180 and #$40
190 bne w2
200 lda $de00
210 and #%00001111
220 sta $02
230 w3 lda $de00
240 and #$40
250 bne w3
260 lda $de00
270 and #%00001111
280 sta $03
290 w4 lda $de00
300 and #$20
310 bne w4
320 lda $de00
330 and #%00001111
340 sta $04
350 cli
360 rts
370 .end
380 print chr$(147)
390 sys 49152
400 a = peek(2)*1 + peek(3)*10 + peek(4)*100
410 print a;
420 goto390
```

Abb. 191A:
A/D-Wandler (CA 3162E), Konvertierung (Assembler)

```
120:   c000                      .opt p1,oo
130:   c000 78          einlesen sei
140:   c001 ad 00 de w1          lda  $de00
150:   c004 29 20                and  #$20
160:   c006 d0 f9                bne  w1
170:   c008 ad 00 de w2          lda  $de00
180:   c00b 29 40                and  #$40
190:   c00d d0 f9                bne  w2
200:   c00f ad 00 de             lda  $de00
210:   c012 29 0f                and  #%00001111
220:   c014 85 02                sta  $02
230:   c016 ad 00 de w3          lda  $de00
240:   c019 29 40                and  #$40
250:   c01b d0 f9                bne  w3
260:   c01d ad 00 de             lda  $de00
270:   c020 29 0f                and  #%00001111
280:   c022 85 03                sta  $03
290:   c024 ad 00 de w4          lda  $de00
300:   c027 29 20                and  #$20
310:   c029 d0 f9                bne  w4
320:   c02b ad 00 de             lda  $de00
330:   c02e 29 0f                and  #%00001111
340:   c030 85 04                sta  $04
350:   c032 58                   cli
360:   c033 60                   rts
```

Abb. 191B:
A/D-Wandler (CA 3162E), Konvertierung (Assembler-übersetzt)

```
100 for i = 0 to 51
110 read a:poke 49152+i,a: next
120 data120,173,0,222,41,32,208,249,173,0,222,41,64,208,249,173,0,
222,41,15
130 data133,2,173,0,222,41,64,208,249,173,0,222,41,15,133,3,173,0,
222,41,32
140 data208,249,173,0,222,41,15,133,4,88,96
```

Abb. 191C:
A/D-Wandler (CA 3162E), Konvertierung (DATA-Zeilen)

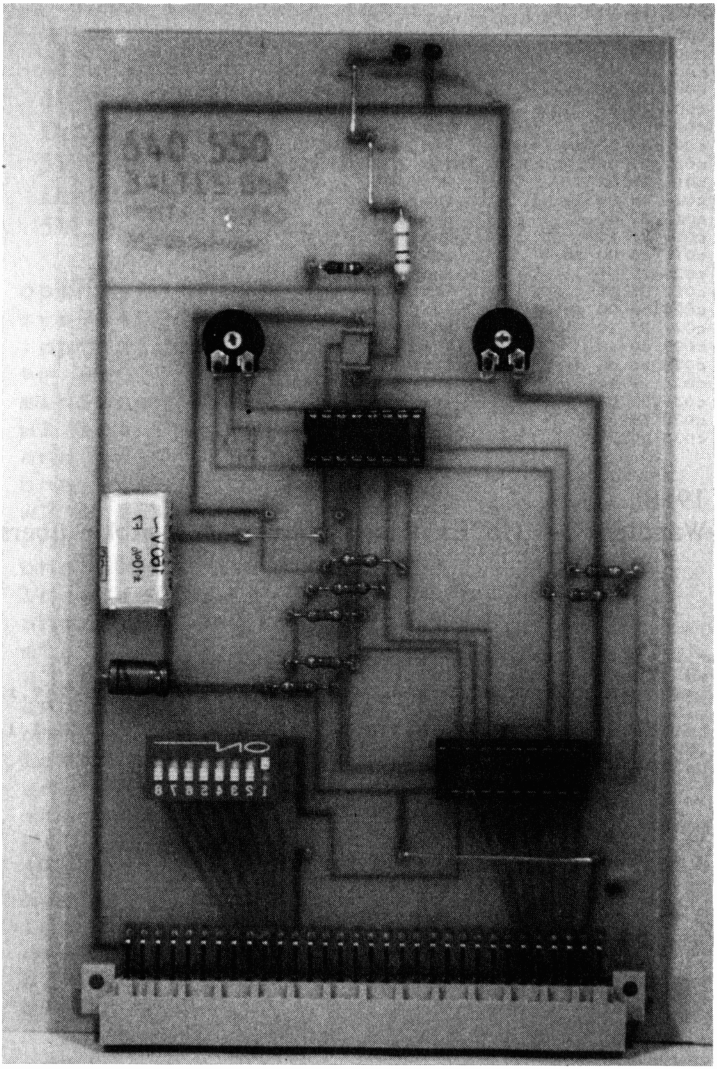


Abb. 192:
A/D-Wandler mit dem CA 3162E. Im oberen Bildteil sind die beiden Meßwiderstände zu erkennen. Nicht erforderliche Meßwiderstände müssen durch eine Drahtbrücke ersetzt werden.

19. Netzentstörung

Alle modernen Rechner reagieren äußerst empfindlich auf Netzstörungen, und bei den geringsten Unregelmäßigkeiten sind alle eingegebenen Daten unwiderruflich verloren. Schon Spannungseinbrüche von 1/50 Sekunden reichen aus, die Spannungszufuhr kurzzeitig zu unterbrechen. Zwar bemühen sich die Elektrizitätswerke, die 220 Volt Wechselspannung ziemlich konstant zu halten, aber in Spitzenbelastungszeiten kann es durchaus vorkommen, daß Netzschwankungen von über +/-15 % auftreten. Aber die fortschreitende Technisierung des Haushalts ist ein weiterer ernstzunehmender Störfaktor. Alle Schaltungen, die auf hochfrequenter Basis arbeiten, sind potentielle Störfaktoren, aber auch digitale Schaltkreise, die mit einer hohen Schaltgeschwindigkeit arbeiten und besonders Triacs und Thyristoren, die nicht exakt im Nulldurchgang schalten, senden Störungen über das Netz aus.

Die Abbildung 193 zeigt Ihnen den schematischen Verlauf einiger typischer Netzstörungen. Als erstes sehen Sie Störungen, die durch HF-Überlagerungen hervorgerufen werden, darunter eine Verzerrung durch eine starke Belastungsänderung. Teil 3 der Abbildung zeigt den Verlauf einer Störung, die durch eine plötzliche Spitzenspannung auftritt. Als letztes sehen Sie eine typische Oberwellenverzerrung.

Ein Entstörfilter, wie es die Abbildung 194 zeigt, hat nun die Aufgabe, weitgehend alle Störungen für das angeschlossene Gerät fernzuhalten. Da die Schaltung vollkommen symmetrisch aufgebaut ist, spielt es keine Rolle, an welcher Seite Sie das Gerät bzw. das Netz anschließen. Die Drosseln D1-D4 sind handelsübliche Typen, die besonders bei Lichtgeräten Gebrauch finden. Sie weisen eine durchschnittliche Induktivität von 20...50 uH bei einer Belastbarkeit von 3..5 A auf. Eine solche Drossel zeigt Ihnen die Abbildung 195.

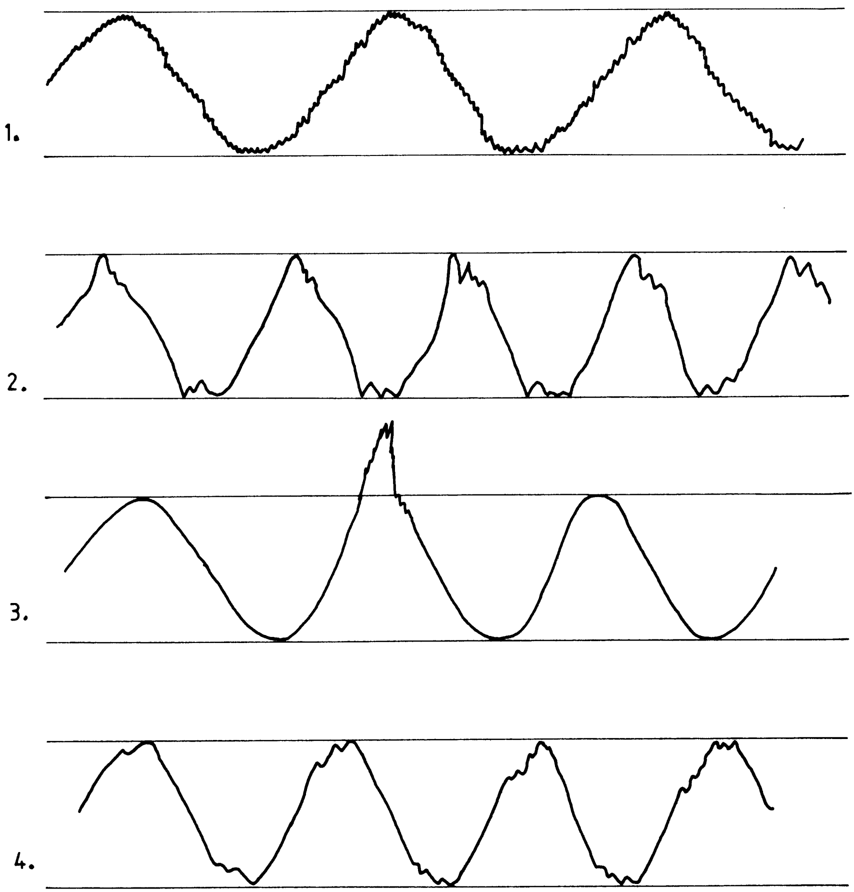


Abb. 193: Schematische Darstellung von Netzstörungen

Den Aufbau des Filters nehmen Sie am besten auf einer Varioboardplatte vor, wobei Sie darauf achten müssen, daß überall 220 Volt Netzspannung anliegt, und die Leiterbahnen nicht zu dicht nebeneinander liegen dürfen. Die angegebene Spannungsfestigkeit der Kondensatoren C1-C3 von 630 Volt muß unbedingt eingehalten werden. Solche Typen sind am besten in Fernsehreperaturwerkstätten zu erwerben.

Das fertige Filter bauen Sie in ein entsprechendes Kunststoffgehäuse ein. Auf der einen Seite versehen Sie die Platine mit einem Netzkabel sowie Stecker, und zum Anschließen des Verbrauchers empfiehlt sich direkt im Gehäuse eine Einbausteckdose. Es muß in jedem Fall gewährleistet sein, daß jedes unbeabsichtigte Berühren der Schaltung ausgeschlossen wird.

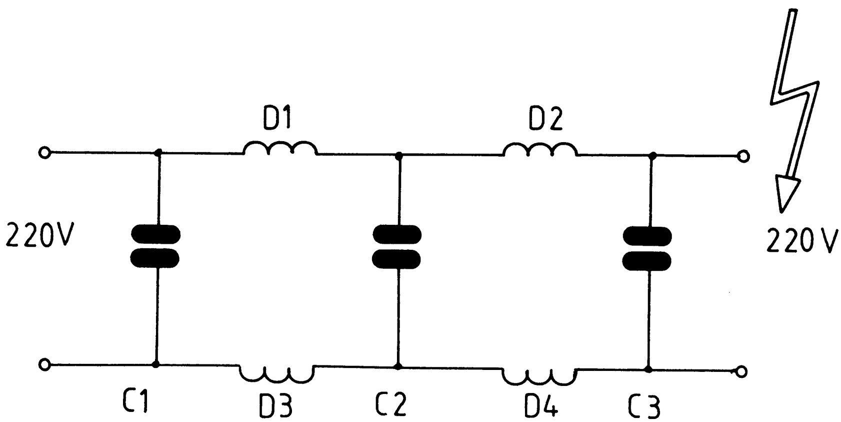


Abb. 194: Filter zur Netzenstörung

Bauteile:

D 1-4 = Netzdrossel 220 V/5 A, ca. 30-40 uH
C 1-3 = 470 nF/630 V

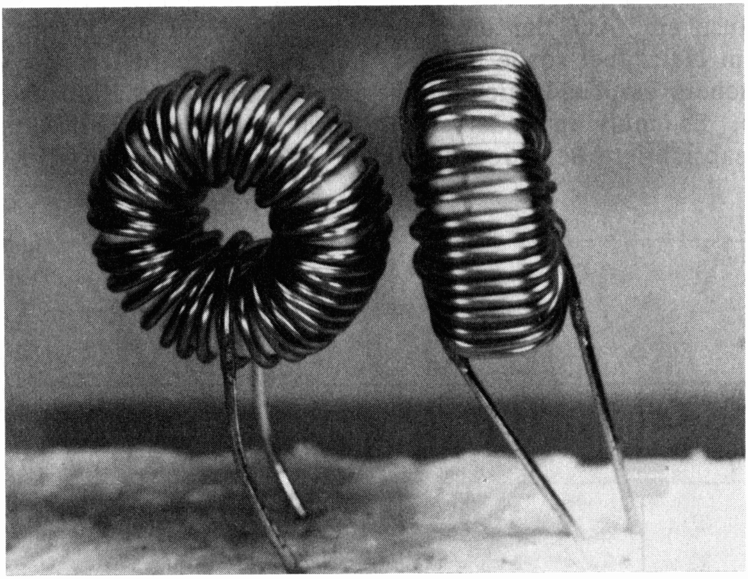
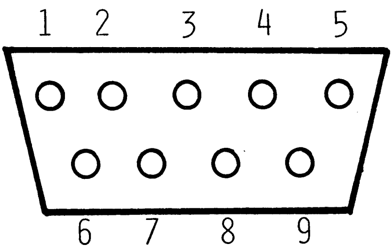


Abb. 195: Netzdrossel zum Entstörfilter

20. Joysticks und Paddles

Sowohl der C64 wie auch der C128 besitzen jeweils zwei Anschlußmöglichkeiten für Joysticks, die Controlports genannt werden. Die Abbildung 196 zeigt Ihnen die Steckerbelegung dieser Anschlüsse, die sich an Ihrem Rechner auf der rechten Seite neben dem Ein-Aus-Schalter befinden.



1 = Joystick-A0
2 = Joystick-A1
3 = Joystick-A2
4 = Joystick-A3
5 = Potentiometer Y-Wert
6 = Feuerknopf (Lichtgriffelanschluß)
7 = +5 Volt
8 = Masse
9 = Potentiometer X-Wert

Abb. 196: Joystick-Port (Control-Port)

Leider befinden sich in den Handbüchern der Rechner so gut wie keine Hinweise auf den Einsatz und die Programmierung unterschiedlicher Joysticks. Dieses Kapitel soll Ihnen beim Eigenbau von Joysticks und Paddles behilflich sein und Sie darüberhinaus bei der Auswahl der unterschiedlichen Typen und deren Programmierung unterstützen, denn nicht alle eignen sich gleich gut für die verschiedenen Anwendungen.

20.1 Joysticks

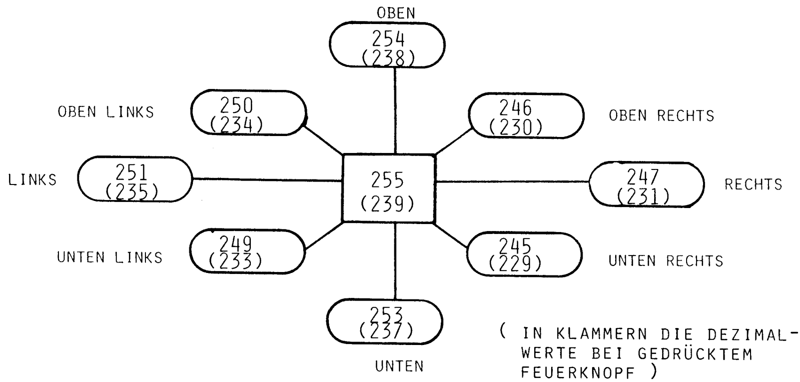
Sicherlich gehört ein Joystick, auch Steuerknüppel genannt, zu den ersten Erweiterungen des Rechners. Der Selbstbau einfacher Joysticks lohnt sich in der Regel kaum, da schon für ca. 30,-- DM brauchbare Ausführungen auf dem Markt sind. Außerdem wäre der mechanische Aufwand beim Selbstbau wesentlich höher. Das einzige Argument für den Selbstbau wären besondere Ausführungen, wie "Dauerfeuer", auf die wir noch zu sprechen kommen.

Der Steuerknüppel eines Joysticks schließt je nach Richtung einen bzw. max. zwei der im Inneren angebrachten Mikroschalter kurz. Da die Schalter nur den Wert Null (offen) oder Eins (geschlossen) an den Rechner liefern können, spricht man in diesem Fall von einem digitalen Joystick. Die Schalter sind um die Achse des Steuerknüppels wie die Nord-Süd- bzw. Ost-West-Richtung einer Windrose angelegt. Aus diesem Prinzip erklärt sich auch die Tatsache, warum nur maximal zwei Schalter geschlossen sein können, nämlich gerade dann, wenn der Steuerknüppel beispielsweise die Richtung NNW (Nord-Nord-West) einnimmt. Die durch den Joystick erzeugten Signale werden parallel getrennt dem Rechner über den Controlport zugeführt. Der Rechner ordnet intern jeder Leitung einen Binärwert zu und speichert diesen in besonderen Adreßbereichen. Beide Adressen werden von der CIA/1 neben der Tastatur verwaltet:

CONTROLPORT-1	belegt das CIA-Register Nr.2 mit der Adresse dez. 56321, hex. DC01.
CONTROLPORT-2	belegt das CIA-Register Nr.1 mit der Adresse dez. 56320, hex. DC00.

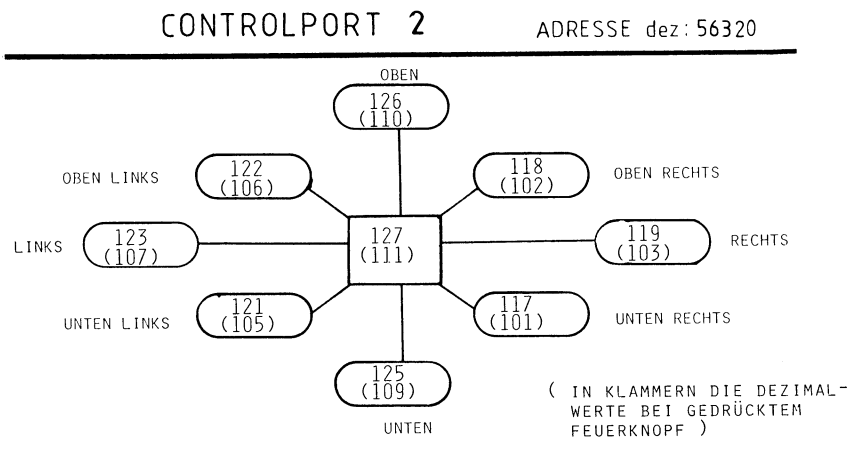
Besondere Aufmerksamkeit ist dem Feuerknopf des Joysticks entgegenzubringen. Wird dieser nämlich gedrückt, so reduzieren sich alle festgelgten Richtungswerte um 16. Die Abbildungen 197 und 198 verdeutlicht Ihnen die Joystick-Positionen einschließlich der entsprechenden Registerwerte je Richtung für die Control-Ports 1 und 2.

CONTROLPORT 1 ADRESSE dez: 56321



STELLUNG STEUERKNÜPPEL	FEUERKNOPF GEDRÜCKT ?	DEZ. WERT	HEX. WERT	BINÄR WERT
MITTE	NEIN	255	FF	1111 1111
MITTE	JA	239	EF	1110 1111
OBEN	NEIN	254	FE	1111 1110
OBEN	JA	238	EF	1110 1111
OBEN RECHTS	NEIN	246	F6	1111 0110
OBEN RECHTS	JA	230	E6	1110 0110
RECHTS	NEIN	247	F7	1111 0111
RECHTS	JA	231	E7	1110 0111
RECHTS UNTEN	NEIN	245	F5	1111 0101
RECHTS UNTEN	JA	229	E5	1110 0101
UNTEN	NEIN	253	FD	1111 1101
UNTEN	JA	237	ED	1110 1101
UNTEN LINKS	NEIN	249	F9	1111 1001
UNTEN LINKS	JA	233	E9	1110 1001
LINKS	NEIN	251	F6	1111 0110
LINKS	JA	235	E6	1110 0110
LINKS OBEN	NEIN	250	FA	1111 1010
LINKS OBEN	JA	234	EA	1110 1010

Abb. 197: Control-Port 1 (Adresse dez. 56321)



STELLUNG STEUERKNÜPPEL	FEUERKNOPF GEDRÜCKT ?	DEZ. WERT	HEX. WERT	BINÄR WERT
MITTE	NEIN	127	7F	0111 1111
MITTE	JA	111	6F	0110 1111
OBEN	NEIN	126	7E	0111 1110
OBEN	JA	110	6E	0110 1110
OBEN RECHTS	NEIN	118	76	0111 0110
OBEN RECHTS	JA	102	66	0110 0110
RECHTS	NEIN	119	77	0111 0111
RECHTS	JA	103	67	0110 0111
RECHTS UNTEN	NEIN	117	75	0111 0101
RECHTS UNTEN	JA	101	65	0110 0101
UNTEN	NEIN	125	7D	0111 1101
UNTEN	JA	109	6D	0110 1101
UNTEN LINKS	NEIN	121	79	0111 1001
UNTEN LINKS	JA	105	69	0110 1001
LINKS	NEIN	123	7B	0111 1011
LINKS	JA	107	6B	0110 1011
LINKS OBEN	NEIN	122	7A	0111 1010
LINKS OBEN	JA	106	6A	0110 1010

Abb. 198: Control-Port 2 (Adresse dez. 56320)

Bei bestimmten Anwendungen kann es möglich sein, daß der Weg des Steuerknüppels zu lang wird, um richtig und schnell reagieren zu können. Für diesen Fall können Sie sich mit geringem Aufwand einen eigenen Joystick aufbauen. Der Steuerknüppel entfällt in diesem Fall, und stattdessen kommen vier Ein-Aus-Taster zum Einsatz. Diese Taster werden untereinander nach dem gleichen Schema wie die Micro-Schalter eines Joysticks verdrahtet. Der Vorteil eines solchen Eigenbaus besteht darin, daß man, je nach Auswahl der Schalter und des Gehäuses, diese einerseits optimal der Hand anpassen und andererseits wesentlich schneller reagieren kann, da die Wegstrecke des Steuerknüppels entfällt.

Denken Sie beim Kauf daran, daß die Taster leichtgängig sind und eine ausreichend große Knopfauflage besitzen.

Die Joystickabfrage ist problemlos mit einigen Basiczeilen zu erreichen. Nehmen wir z.B. an, daß der Joystick den Controlport-2 belegt, also die Basisadresse dez. 56330 besitzt.
Mit den Zeilen:

```
10    A=PEEK(56320)
11    PRINT A
12    GOTO 10
```

erhalten Sie auf dem Bildschirm alle Zahlen angezeigt, je nach Stellung des Joysticks. Steht dieser in der Mitte, erscheint die Zahl 127, wenn dazu noch der Feuerknopf gedrückt wird, verringert sich die Anzeige um 16, und Sie erhalten als Anzeige 111. Durch Einsetzen der Basisadresse 56321 erhalten Sie die Werte des Controlports-1.

Die Joystick-Abfrage läßt sich per Programm deshalb so einfach gestalten, da die einzelnen Werte je Richtung bekannt sind:

```
10    REM JOYSTICK-ABFRAGE
15    REM JOYSTICK AUF PORT NR.2
20    IF PEEK(56320) = 126 PRINT "OBEN"
25    IF PEEK(56320) = 110 PRINT "OBEN + FEUER"
30    IF PEEK(56320) = 118 PRINT "OBEN RECHTS"
```

```
35    IF PEEK(56320) = 102 PRINT "OBEN RECHTS + FEUER"
40    IF PEEK(56320) = 119 PRINT "RECHTS"
45    IF PEEK(56320) = 103 PRINT "RECHTS + FEUER"
50    IF PEEK(56320) = 117 PRINT "RECHTS UNTEN"
55    IF PEEK(56320) = 101 PRINT "RECHTS UNTEN + FEUER"
60    IF PEEK(56320) = 125 PRINT "UNTEN"
65    IF PEEK(56320) = 104 PRINT "UNTEN + FEUER"
70    IF PEEK(56320) = 121 PRINT "UNTEN LINKS"
75    IF PEEK(56320) = 105 PRINT "UNTEN LINKS + FEUER"
80    IF PEEK(56320) = 123 PRINT "LINKS"
85    IF PEEK(56320) = 107 PRINT "LINKS + FEUER"
90    IF PEEK(56320) = 122 PRINT "LINKS OBEN"
95    IF PEEK(56320) = 106 PRINT "LINKS OBEN + FEUER"
```

20.2 Paddles

Unter dem Begriff "Paddles" sind besondere Joysticks zu verstehen, die im Gegensatz zu den vorher beschriebenen statt Microschalter zwei Potentiometer besitzen und damit eine veränderliche Spannung je nach Richtung des Steuerknüppels an den Rechner liefern. Man bezeichnet diese Paddles auch als analoge Joysticks. Der mechanische Aufwand der Paddles ist natürlich wesentlich höher als bei den digitalen Joysticks, was sich auch im Preis niederschlägt.

Grundbedingung für den Einsatz ist ein A/D-Wandler, der die analogen Paddledaten in digitale Impulse für den Rechner übersetzt. Ein solcher Anschluß ist durch die Pins 5 und 9 am Controlport gegeben. Der Rechner ist in der Lage, die an diesen Anschlüssen anstehenden analogen Werte in Zahlen zwischen 0 und 255 zu wandeln und diese in bestimmte Speicherplätze abzulegen. Je kleiner die Spannung an den Anschlüssen 5 und 9 ist, desto höher ist die ermittelte digitale Zahl. Wenn keine Paddles angeschlossen sind, beinhalten die Registerwerte die Zahl 255, was 0 Volt bedeutet. Die Auflösung, d.h. der mögliche digitale Wertebereich ist vom jeweiligen Wandlertyp abhängig.

Ein 8-Bit Wandler liefert Zahlen von 0 bis 255, also 256 Werte (2^8=256), welches im Vergleich zu den 16 Schaltermöglichkeiten

eines einfachen Joysticks enorme Vorteile bietet. Der preiswerte Selbstbau dieser Paddles kann für den Anwender auf zwei verschiedene Arten erfolgen.

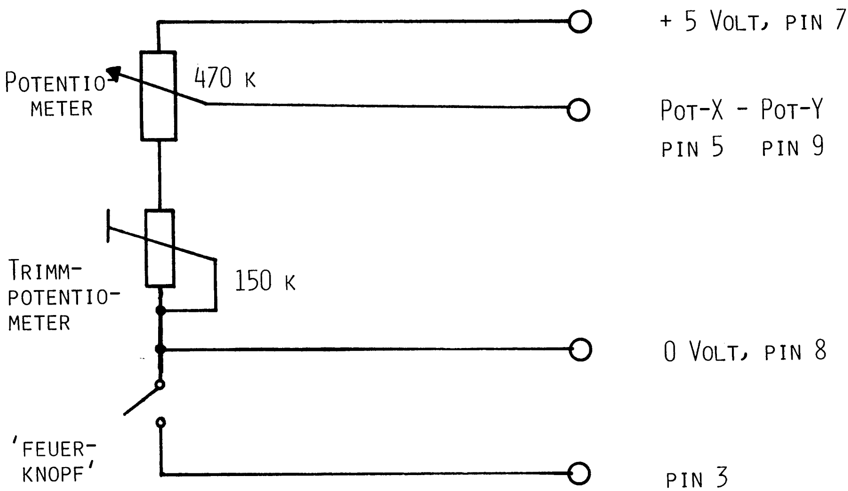


Abb. 199: Anschluß eines Paddles an den Control-Port

Im ersten Fall sind lediglich zwei Potentiometer und ein geeignetes Gehäuse erforderlich. Die Potentiometer werden gemäß der Abbildung 199 am Controlport des Rechners angeschlossen. Die Wahl bestimmter Potentiometer ist unkritisch; bei zu geringen Werten kann es vorkommen, daß Sie den Endwert nicht erreichen, bei zu hohen Werten erreichen Sie diesen zu schnell.

Allerdings sollten Sie auf eines achten: Der Widerstandswert sollte 500 Ohm nicht unterschreiten, damit der interne Wandler keinen Schaden davonträgt.

Die beiden Potentiometer für die A/D-Wandlung besitzen eigene Anschlüsse und Registeradressen:

Pot-X belegt die Speicheradresse dez. 54297, hex. D419.

Pot-Y belegt die Speicheradresse dez. 54298, hex. D41A.

Die Unterscheidung, in welchem Controlport sich der Paddle befindet, geschieht durch die Bits 6 und 7 der Speicheradresse 56320. Standardmäßig wird angenommen, daß sich der Paddle im Controlport-1 befindet.

ADRESSE: Bit 7	56320 Bit 6	Control-Port	WERTE dez.	hex.	binär
0	1	1	127	7F	0111 1111
1	0	2	191	BF	1011 1111

Wenn Sie also Controlport-2 verwenden, müssen Sie auf die Speicherstelle 56320 den dezimalen Wert 191 poken. Das Betriebssystem setzt jedoch diesen Wert nach Ihrer Abfrage wieder auf 127 zurück (= Controlport-1), so daß Sie vor jeder Abfrage des Controlports-2 den dezimalen Wert 191 wieder poken müssen.

21. Joystick-Dauerfeuer

Bei vielen Spielen ist es sehr von Vorteil, Dauerimpulse des Feuerknopfes zu erreichen, damit man einerseits schneller reagieren kann, und andererseits ist das dauernde Drücken auch nicht gerade schonend für den Joystick.

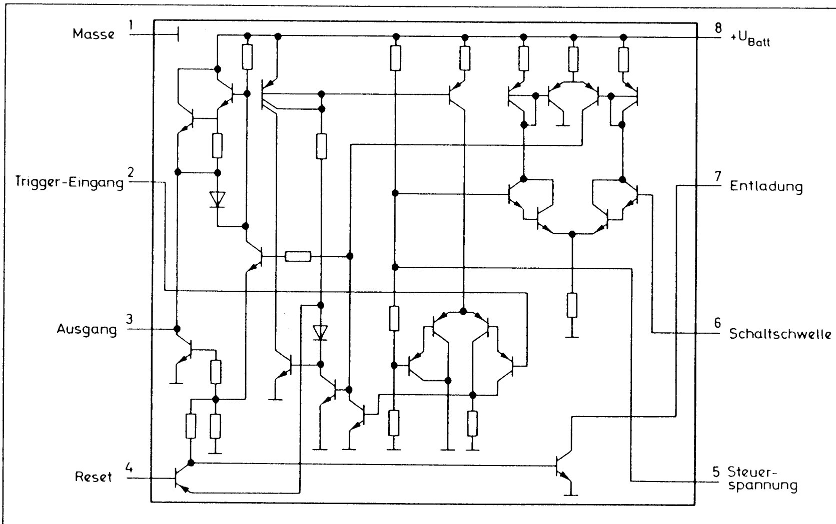
Die kleine Zusatzschaltung dieses Kapitels ermöglicht es Ihnen, variable Impulslängen des Feuerknopfes zu erzeugen. Kernstück der Schaltung ist ein programmierbarer Zeitgeber vom Typ NE 555, der überall preiswert erhältlich ist. Die Anschlußbelegung und Innenschaltung sehen Sie in der Abbildung 200.

Den Schaltplan dieses Zusatzgerätes finden Sie in der Abbildung 201. Die stufenlose Veränderung der Verweilzeit des Timers wird durch den Trimmpotentiometer P2 erreicht, durch P1 kann die Impulsfolge in einem weiten Rahmen selbst eingestellt werden. Die Häufigkeit dieser Impulsfolgen am Ausgangspin 3 wird durch die Leuchtdiode D2 sichtbar gemacht. Je schneller diese Diode blinkt, desto häufiger wechselt das Potential am Ausgangspin 3 von Low nach High und desto schneller können Sie "feindliche Raumschiffe abschießen".

Sobald Sie den Schalter S öffnen, bleibt die Zusatzschaltung ohne Wirkung auf den Feuerknopf, die Leuchtdiode dagegen blinkt nach wie vor in der eingestellten Geschwindigkeit. Erst dann, wenn Sie "S" schließen, wirkt der Timer auf den Joystick.

Das Platinenlayout ist als doppelseitige Ausführung mit dem Bestückungsplan zusammen in der Abbildung 202 wiedergegeben. Beachten Sie beim Bestücken, daß verschiedene Bauteile sowohl auf der Oberseite, wie auch auf der Unterseite angelötet werden müssen.

Der Dauerfeuerzusatz ist so konstruiert, daß er direkt mit der Seite "Control-Port" an den Rechner angeschlossen werden kann. Auf die gegenüberliegende Seite stecken Sie dann, wie gewohnt, Ihren Joystick. Das Foto der Abbildung 202 zeigt Ihnen den Musteraufbau dieser Schaltung.



Anschlußbelegung und Innenschaltung der integrierten Zeitgeberschaltung 555

Betriebsspannung	4,5...15	V
Ausgangsdauerstrom	max. 200	mA
Triggerstrom	0,5	uA
Triggerspannung	1/3 der Betriebsspannung	
Stromaufnahme ohne Last	3...15	mA

Abb. 200: NE 555, Pinbelegung und technische Daten

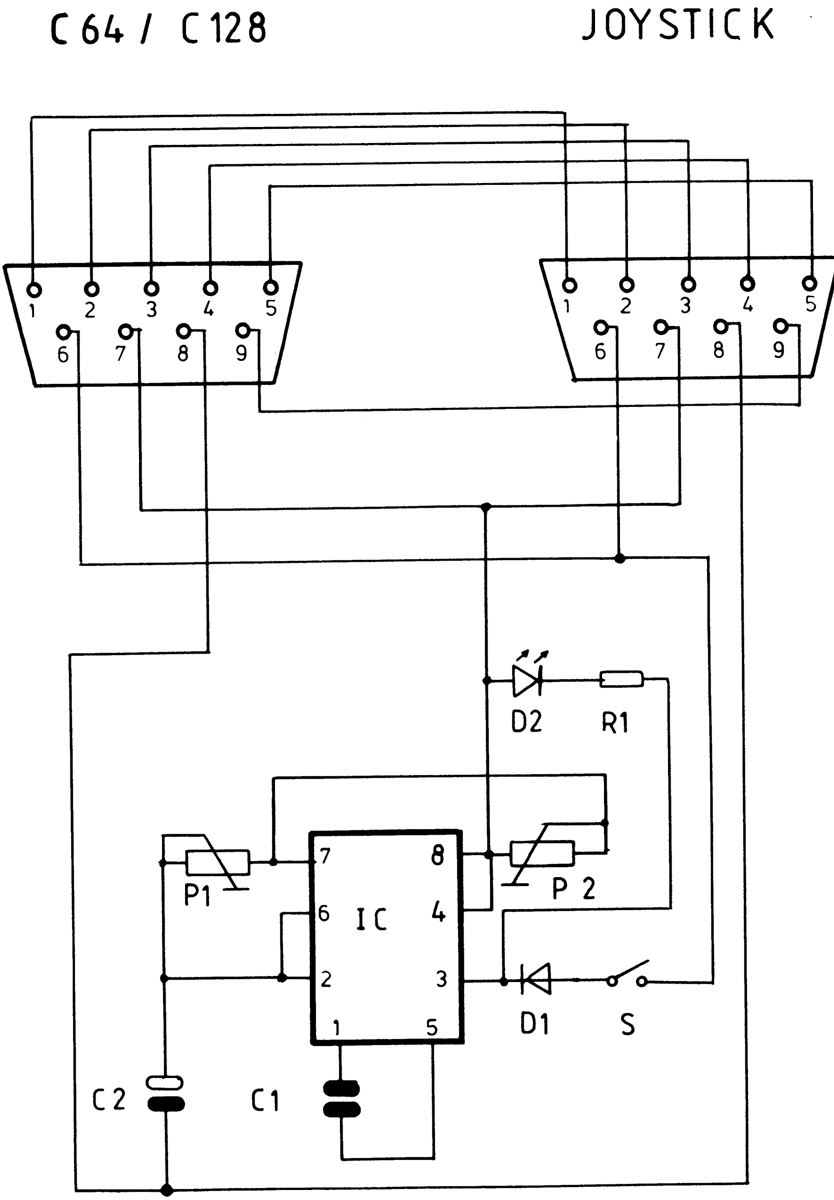


Abb. 201: Schaltplan des "Dauerfeuer-Zusatz" zum Joystick

Bauteile:

IC	=	NE 555
C 1	=	47 nF
C 2	=	Elko 10uF/16V, liegend
R 1	=	680 Ohm
P 1	=	Trimmpotentiometer 47 k, stehend
P 2	=	Trimmpotentiometer 10 k, stehend
D 1	=	1N4148
D 2	=	LED
Sonstiges:		jeweils ein Stecker und eine Buchse zum Anschluß an den Control-Port des Rechners

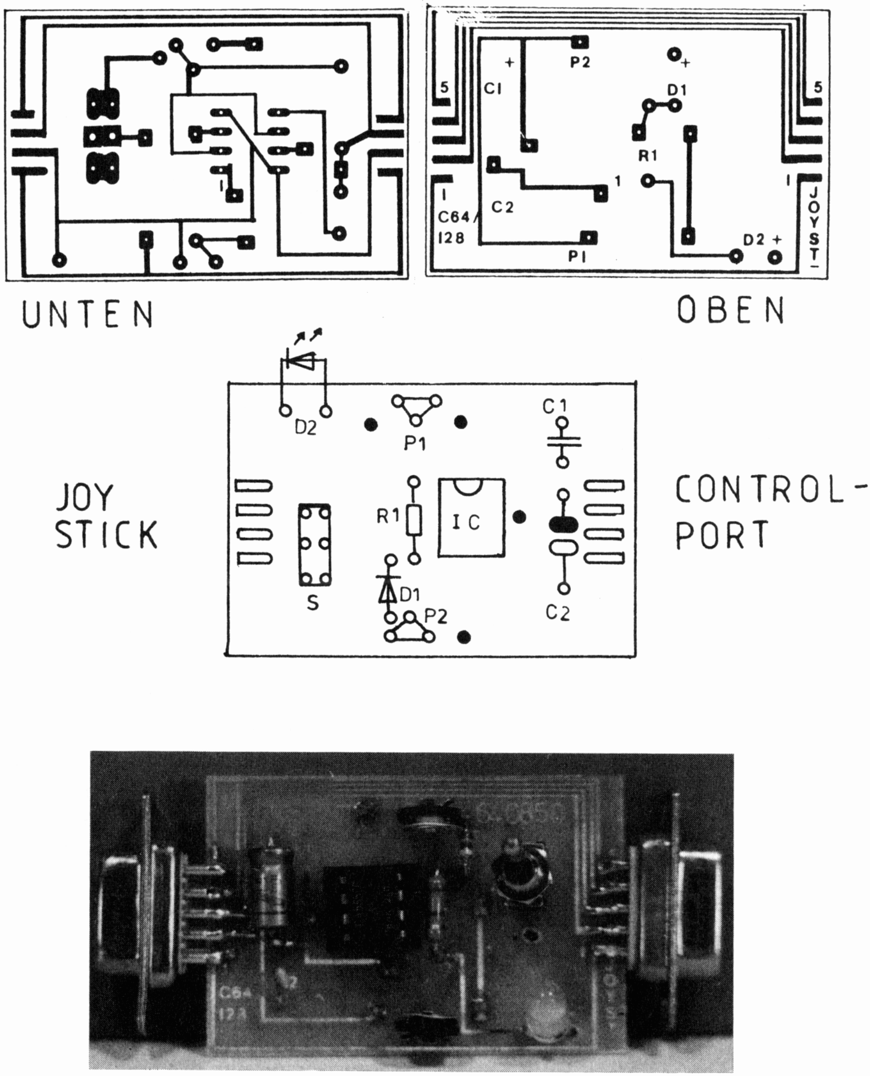


Abb. 202:
Platinenlayout, Bestückungsplan und Musteraufbau des "Dauerfeuer-Zusatz" zum Joystick

22. Centronics-Schnittstelle

Die Anzahl der unterschiedlichen Varianten paralleler Schnittstellen ist in der Praxis sehr vielfältig, eine standardmäßige Normung weist allerdings nur die sogenannte IEC-Schnittstelle (IEC BUS) auf. Alle parallelen Schnittstellen haben jedoch folgende Gemeinsamkeiten:

- Der Datenfluß erfolgt nur in eine Richtung.
- Es wird mit TTL-Spannungspegel gearbeitet.
- Die Übertragung erfolgt in einzelnen Zeichen zu 7 oder 8 Bit.

Die Unterschiede der einzelnen Schnittstellen sind in der Art des *Handshaking*, d.h. des Quittungsverfahrens zu suchen.

Wir wollen uns im folgenden lediglich auf die verbreitetste Form der parallelen Schnittstelle, der *Centronics* mit ihren Besonderheiten beschränken. Die Handshaking-Signale regeln den Datenverkehr zwischen der schnellen CPU und dem "langsamen" Drucker, es sind also Synchronisationssignale. Der Rechner erhält dadurch einen genauen Informationsstand, ob der Drucker noch arbeitet oder wieder neue Zeichen empfangen kann. Hierdurch wird verhindert, daß Daten bei der Übertragung zum Drucker verlorengehen oder mehrfach gedruckt werden. Generell lassen sich folgende Handshaking-Signale unterscheiden, die je nach Druckertyp sowohl low- als auch high-aktiv sein können:

- **DATA STROBE**
  Für jedes Signal, das ausgedruckt werden soll, muß ein DATA STROBE Signal vom Rechner gesendet werden, damit die auf dem Datenport anliegende Informationen gedruckt werden.

- **BUSY**
  Hat der Rechner mit DATA STROBE eine zu druckende Information gesendet, muß während des

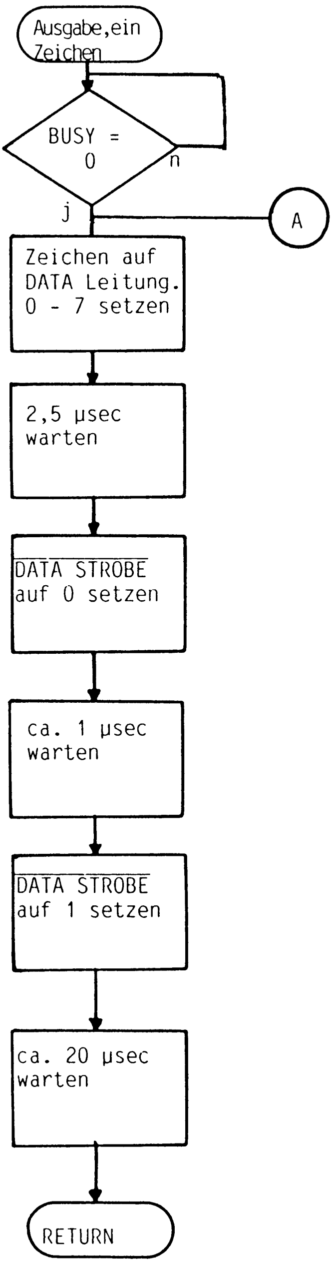
Druckens dieses Zeichen gewährleistet sein, daß keine weiteren zu druckenden Zeichen mehr gesendet werden. Dieses geschieht mit dem BUSY-Signal, das dem Rechner anzeigt, daß der Drucker zur Zeit arbeitet und nicht bereit ist, weitere Druckinformationen zu empfangen.

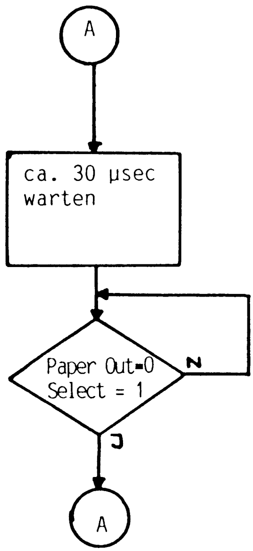
- **ACKNOWLEDGE**
  Nach dem erfolgreichen Drucken wird dem Rechner durch ACKNOWLEDGE (= Anerkennung) mitgeteilt, daß neue Informationen gesendet werden können.

Den Ablauf einer Centronics-Schnittstelle finden Sie im Diagramm der Abbildung 203.

Wie schon anfangs erwähnt, unterscheiden sich die Centronics-Schnittstellen durch die Auslegung verschiedener Sondersignale. Ein Zeitdiagramm einer solchen Schnittstelle sehen Sie in den Abbildungen 204 und 205.

Zunächst wird vom Drucker die zu druckende Information auf den Datenport D7-D0 gelegt. Mit einer kurzen Zeitverzögerung wird durch das DATA STROBE angezeigt, daß jetzt Daten zum Drucken bereitstehen. Diese werden nun entweder in einen internen Druckpuffer (Spolling-Verfahren) geschrieben oder aber direkt ausgedruckt. Für diesen Fall muß der Drucker ein BUSY-Signal senden, so wie es das Zeitdiagramm der Abbildung 203 darstellt. Beide Verfahren sind vom jeweiligen Druckertyp abhängig. Gleichgültig, welches Verfahren angewandt wird, der Drucker meldet in jedem Fall seine Bereitschaft, neue Zeichen zu empfangen, mit dem ACKNOWLEDGE Signal.





Zusatz für Drucker mit Erkennung von Papierende und Select

Abb. 203: Ablauf der Centronics-Datenübergabe

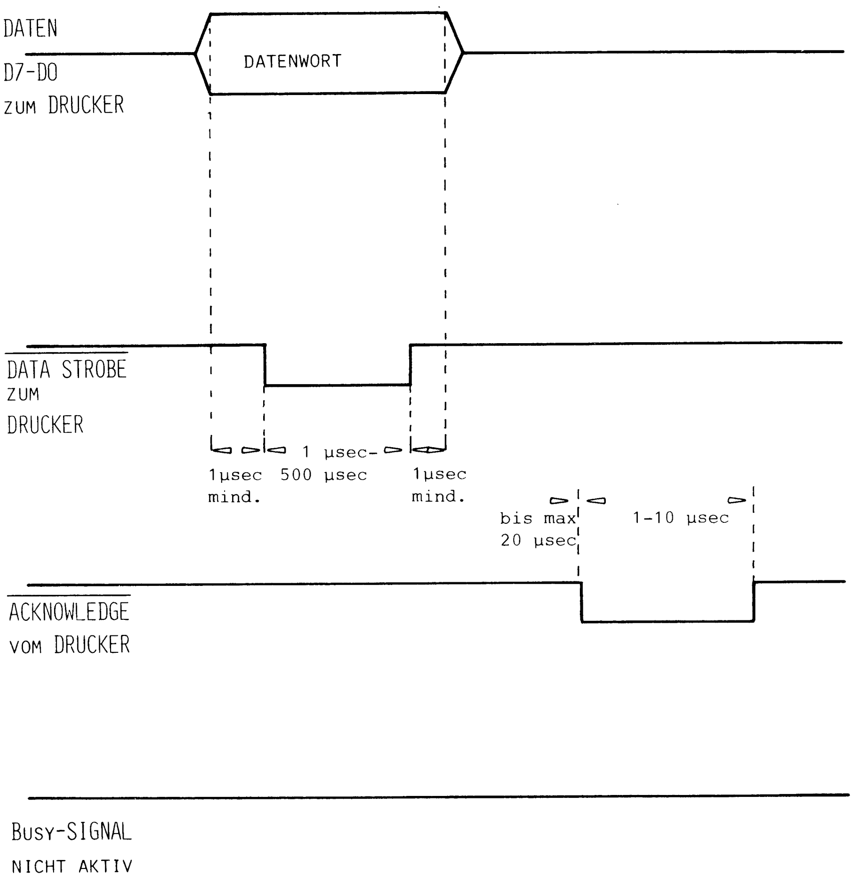


Abb. 204: Centronics-Zeitdiagramm ohne BUSY-Signal

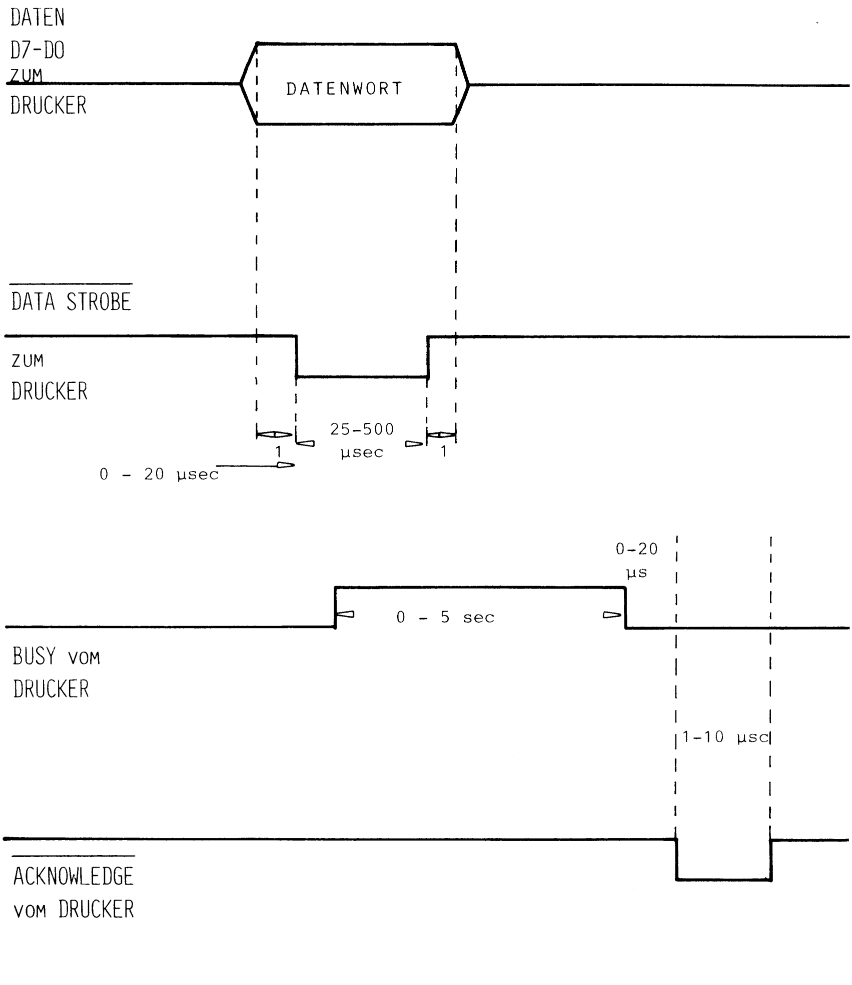


Abb. 205: Centronics-Zeitdiagramm mit BUSY-Signal

Die Datensignale D7-D0 und die "normalen" Handshaking-Signale liegen bei den Centronics Schnittstellen auf den Pins 1-14. Die darauffolgenden Signale sind vom Drucker abhängig und nicht genormt. Sie werden für Fehleranzeigen und Sonderquittungen verwendet. Von diesen sollen nur die beiden wichtigsten genannt werden:

- **PAPER OUT** oder auch **PAPER END**
  Erkennung von Papierende durch den Drucker

- **FAULT**
  Fehlererkennung im Drucker, z.B. Farbband gerissen, Druckschlitten klemmt oder auch Überhitzung des Druckkopfes

Mittlerweile existieren für den C64 wie auch für den C128 viele Softwareschnittstellen zum Ansteuern von Druckern gemäß der Centronicsnorm. In der Regel werden Sie auch mit diesen Programmen Erfolg haben, solange Sie Drucker verwenden, die im Bereich der Homecomputer zu suchen sind. Sollten Sie aber einmal die Gelegenheit haben, kommerzielle Drucker, insbesondere Typenraddrucker zu betreiben, so werden Sie bei vielen keinen Erfolg haben, obwohl diese auch eine Centronics-Schnittstelle aufweisen.

Der Grund hierfür liegt ist den meisten Fällen, daß die Softwareschnittstellen es mit dem Centronics-Timingverfahren nicht so genau nehmen. Die Abbildung 206 zeigt Ihnen den Assembler einer Centronics-Schnittstelle, die das erforderliche Timing gemäß den Herstellerangaben genau einhält. Im weiteren Verlauf finden Sie die Übersetzung des Programms und die Auflistung als DATA-Zeilen.

```
110 sys9*4096
120 .opt p,oo
130 *= $c000
200 ausgabe pha ;ausgabe eines zeichens auf drucker
210 sta $dd01
220 lda $dd0d
225 lda $dd00
226 and #$fb
230 sta $dd00
231 ora #4
232 sta $dd00
240 ausgabe1 lda $dd0d
241 and #$10
242 beq ausgabe1
250 pla
251 rts
340 init lda #$ff
341 sta $dd03
350 lda $dd02
351 ora #4
352 sta $dd02
360 rts
500 .end
510 sys49181
520 fori=65to96:poke780,i:sys49152:next
530 poke780,13:sys49152
```

Abb. 206A:

Centronics-Testprogramm C64/C128 (Assembler)

In der Zeile 110 wird der Assembler gestartet und mit der Option P,oo wird Ihnen die Assemblierung auch am Bildschirm angezeigt. Der Start des Programms liegt bei der hexadezimalen Adresse C000. In der Anweisung 225 wird das Flag für die Handshakingroutine (strobe) gesendet und auf das Signal "Acknowledge" gewartet. In der Zeile 240 wird gewartet bis der Drucker das Signal akzeptiert hat. Die Warteschleife dient dazu, das Acknowledge-Bit (=1) des Druckers abzufangen. Die Initialisierungsroutine beginnt ab der Zeile 340 und der Port DD01 des Richtungsregisters wird auf Ausgabe geschaltet. Das Assemblerprogramm endet bei der Zeile 500. Die Schleife in der Zeile 520 druckt Ihnen dann die zur Verfügung stehenden Zeichen aus.

Dieses Programm besitzt keine eigene Codewandlung, diese müßten Sie sich selbst in Form einer Tabelle anlegen.

```
110 sys9*4096
120 .opt p,oo
130 *= $c000
200 ausgabe pha ;ausgabe eines zeichens auf drucker2
120:    c000                     .opt p1,oo
130:    c000                     *=   $c000
200:    c000 48        ausgabe   pha            ;ausgabe eines zeichens auf drucker
210:    c001 8d 01 dd            sta  $dd01
220:    c004 ad 0d dd            lda  $dd0d
225:    c007 ad 00 dd            lda  $dd00
226:    c00a 29 fb               and  #$fb
230:    c00c 8d 00 dd            sta  $dd00
231:    c00f 09 04               ora  #4
232:    c011 8d 00 dd            sta  $dd00
240:    c014 ad 0d dd ausgabe1   lda  $dd0d
241:    c017 29 10               and  #$10
242:    c019 f0 f9               beq  ausgabe1
250:    c01b 68                  pla
251:    c01c 60                  rts
340:    c01d a9 ff     init      lda  #$ff
341:    c01f 8d 03 dd            sta  $dd03
350:    c022 ad 02 dd            lda  $dd02
351:    c025 09 04               ora  #4
352:    c027 8d 02 dd            sta  $dd02
360:    c02a 60                  rts
ABCDEFGHIJKLMNOPQRSTUVWXYZÄÖÜ^_`
```

Abb. 206B:
Centronics-Testprogramm C64/C128 (Assembler-übersetzt)

```
100 for i = 0 to 42
110 reada:poke49152+i,a:next
120 data72,141,1,221,173,13,221,173,0,221,41,251,141,0,221,9,4,141
,0,221,173
130 data13,221,41,16,240,249,104,96,169,255,141,3,221,173,2,221,9,
4,141,2,221
140 data96
```

Abb. 206C:
Centronics-Testprogramm C64/C128 (als DATA-Zeilen)

Die nachfolgende Darstellung zeigt Ihnen die Verbindung zwischen Drucker mit dem User-Port des Rechners.

C 64 - C 128 User-Port		Centronics Drucker	
Masse	1,12	19-30	Masse
PB 0	C	2	Data 1
PB 1	D	3	Data 2
PB 2	E	4	Data 3
PB 3	F	5	Data 4
PB 4	H	6	Data 5
PB 5	J	7	Data 6
PB 6	K	8	Data 7
PB 7	L	9	Data 8
PA 2	M	11	BUSY
-PC 2	8	1	-STROBE
-FLAG2	B	10	-ACKNOWLEDGE

23. Hardware-Uhr

Der von NATIONAL SEMICONDUCTOR hergestellte Uhrenbaustein MM58174 zeichnet sich durch eine geringe Anzahl externer Bauelemente und einer Vielfältigkeit der Anwendungsmöglichkeiten aus. Der MM58174 besitzt intern 16 Register, die durch die Adreßleitungen A3-A0 direkt angesprochen werden können und die Aufgabe haben, die entsprechenden Daten zum Stellen der Uhr aufzunehmen.

Alle Register befinden sich im Adreßraum von 0 bis F (hex.). Die nachfolgende Tabelle gibt Ihnen Aufschluß über die Belegung der Registeradressen und deren Bedeutung.

Reg.	A3	A2	A1	A0	Bedeutung
0	0	0	0	0	Test-Register, nur schreiben
1	0	0	0	1	Low-Order Sekunden, nur lesen
2	0	0	1	0	High-Order Sekunden, nur lesen
3	0	0	1	1	Low-Order Sekunden, nur Lesen
4	0	1	0	0	High-Order Minuten, lesen/schreiben
5	0	1	0	1	Low-Order Minuten, lesen/schreiben
6	0	1	1	0	High-Order Stunden, lesen/schreiben
7	0	1	1	1	Low-Order Stunden, Lesen/schreiben
8	1	0	0	0	High-Order Tag, lesen/schreiben
9	1	0	0	1	Low-Order Tag, lesen/schreiben
A	1	0	1	0	Tag der Woche, lesen/schreiben
B	1	0	1	1	High-Order Monat, lesen/schreiben
C	1	1	0	0	Low-Order Monat, lesen/schreiben
D	1	1	0	1	Schaltjahr, schreiben
E	1	1	1	0	Start/stop schreiben
F	1	1	1	1	Interrupt-Status, lesen/schreiben

Alle Register können beliebig oft mit Daten gefüllt werden, solange das Start/Stop-Register nicht aktiviert wurde. Durch Setzen einer log.1 in diesem Register beginnt die Uhr mit den

geladenen Daten zu laufen. Eine log.0 im Register stoppt die Uhr, und der Anwender kann sie wieder stellen.

Als Datenbus werden nur die vier niederwertigsten Datenleitungen dem IC zugeführt; das bedeutet, daß die Eingabe in Form von einzelnen Dezimalziffern durchgeführt werden muß. Eine zweistellige Zahl wird je Ziffer in einem eigenen Register abgespeichert, wobei der Begriff "High-Order" die erste Stelle und "Low-Order" die niedrigste Stelle bedeutet.

Eine Ausnahme bildet das Schaltjahrregister (D), bei dem es sich um ein einfaches 4 Bit Schieberegister handelt, welches die Position des aktuellen Jahres zum Schaltjahr anzeigt. Wenn in diesem Schieberegister beispielsweise Bit 3 gesetzt ist, so bedeutet dies, daß das laufende Jahr ein Schaltjahr ist, und der Februar wird mit 29 Tagen gerechnet. Wenn dagegen das Bit 2 gesetzt ist, so bedeutet dies, daß das laufende Jahr ein Jahr vor einem Schaltjahr ist, bei Bit 1 sind es noch zwei Jahre bis zum Schaltjahr.

Beachten Sie bei der Eingabe des Datums und auch der Uhrzeit, daß der MM58174 keinen "Error-check" durchführt und er eine Eingabe 35 Januar 42 Uhr ohne weiteres akzeptiert und mit diesen Werten auch weiterrechnet.

Den Schaltplan zur Hardware-Uhr sehen Sie in der Abbildung 207. Als Steuersignale sind die Lese- und Schreibanschlüsse, vier Adreßleitungen und der Chip-Select-Anschluß erforderlich.Zwei PNP-Transistoren werden zur Umschaltung zwischen externer und interner Spannung verwendet. Sobald der Rechner ausgeschaltet wird, gelangt die 5 Volt Versorgungsspannung über T1 an den IC. Beim Ausschalten der Betriebsspannung wird durch den Transistor T2 auf die externe Spannung umgeschaltet. Dadurch, daß nun am Vdd-Pin des ICs weniger als 4 Volt anstehen, schaltet der MM58174 auf den Stand-by-Mode um, und der Stromverbrauch sinkt von 15 mA auf ca. 30 uA. Gleichzeitig wird der Chip-Select-Eingang auf "H" gelegt, und der Uhrenschaltkreis ist vom Rechnerbus getrennt.

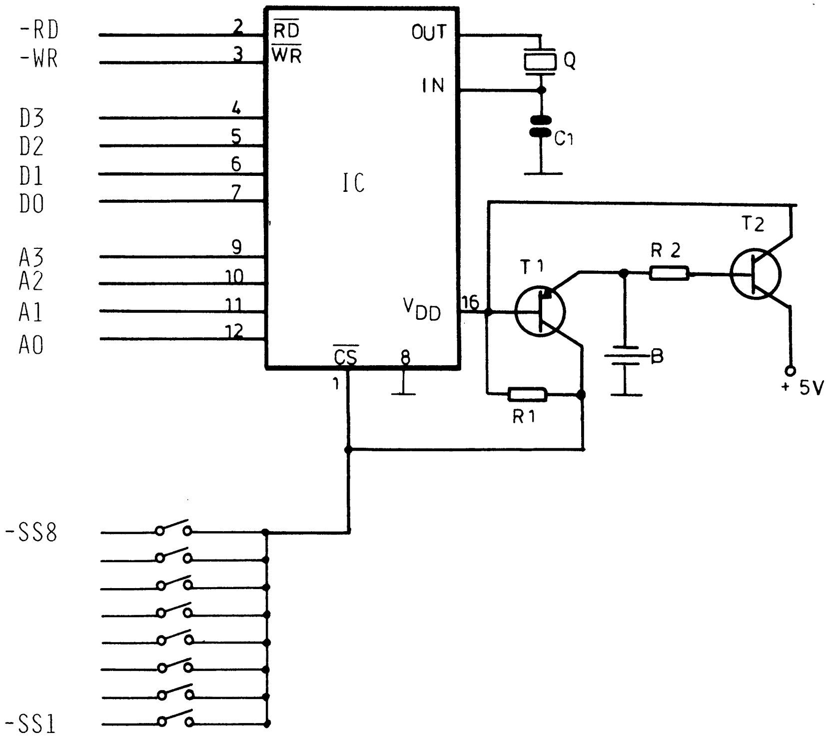


Abb. 207: Schaltplan der Hardware-Uhr mit dem MM 58174

<u>Bauteile:</u>

IC	=	MM 58174 National Semiconductor
Q	=	Quarz 32,768 MHz
R 1	=	1,2 k
R 2	=	1 k
C 1	=	ca. 10 pF
T 1,2	=	PNP-Schalttransistor, z.B. BC 307
B	=	Batterie oder Akku 3 V

24. NF-Verstärker

Für einige Anwendungen ist ein eigener NF-Verstärker wünschenswert. In der folgenden Schaltung wird Ihnen ein preiswerter NF-Verstärker einschließlich einer möglichen Klangregelung vorgestellt. Herzstück dieser Schaltung ist der TDA 2003, der sich durch folgende Eigenschaften auszeichnet:

- maximaler Spitzenstrom bis zu 3,5 A
- geringe Verzerrungen und kleiner Klirrfaktor
- thermischer Überlastungsschutz
- elektrischer Überlastungsschutz

Die wichtigsten Daten dieses ICs sind in der folgenden Tabelle zusammengefaßt:

Technische Daten des TDA 2003:

Bedeutung	min.	typ.	max.	Einheit
Ausgangsruhespannung	6,3	6,9	7,5	Volt
Ruhestrom	-	45	80	mA
Ausgangsleistung				
14,4 V/4 Ohm	5,5	6,0	-	Watt
14,4 V/2 Ohm	8,0	10	-	Watt
14,4 V/3,2 Ohm	-	7,5	-	Watt
14,4 V/1,6 Ohm	-	12	-	Watt
Eingangswiderstand	100	150	-	kOhm
Eingangsspannung	-	300	-	mVolt
Wärmewiderstand	-	-	1	C/W
Versorgungsspannung	5	18	25	Volt

Die vollständige Schaltung des NF-Verstärkers finden Sie in der Abbildung 208. Der TDA 2003 besitzt einen Gegentakt B-Leistungsverstärker und ist in der Lage, bei einer typischen Versorgungsspannung von 14,4 Volt eine Ausgangsleistung von 6

Watt an einen 4-Ohm-Lautsprecher zu liefern. Die entsprechenden Leistungsdiagramme finden Sie in der Abbildung 209 (Literaturhinweis: SIEMENS-Datenblätter).

Da die Schaltung der Abbildung 208 mit sehr wenigen externen Bauelementen auskommt, wurde auf ein spezielles Platinenlayout verzichtet. Für den Aufbau empfiehlt sich eine einfache Veroboardplatte.

Der Widerstand R5, der im Gegenkopplungszweig liegt, bestimmt die notwendige Verstärkung. Bei Werten zwischen 3,3 Ohm und 1 Ohm ergeben sich hierbei Verstärkungen zwischen 40 und 50 dB. Beachten Sie aber, daß sich mit steigender Verstärkung auch der Klirrfaktor vergrößert.

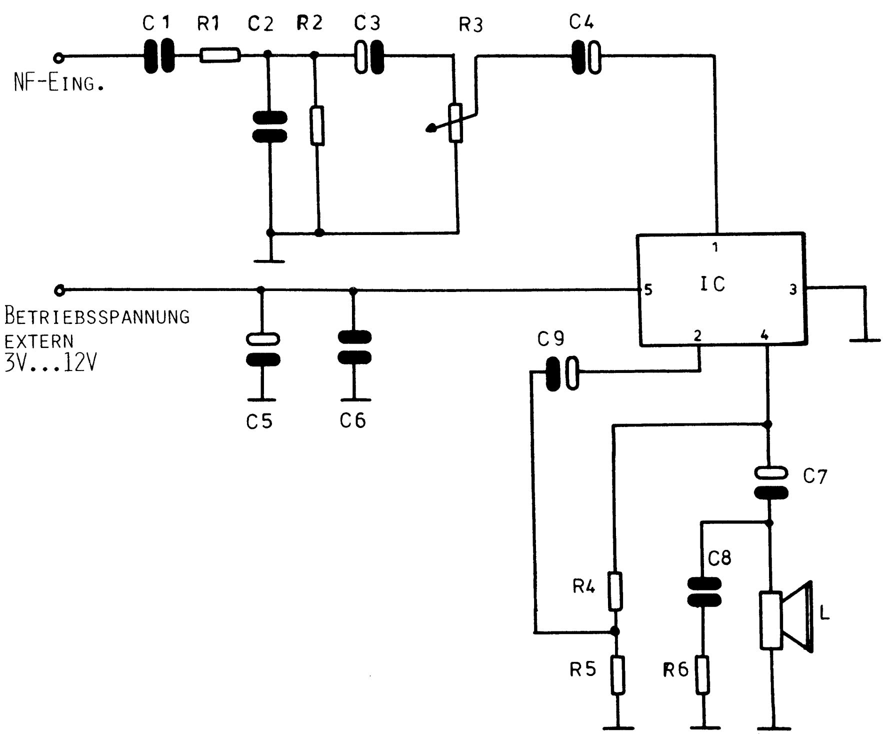
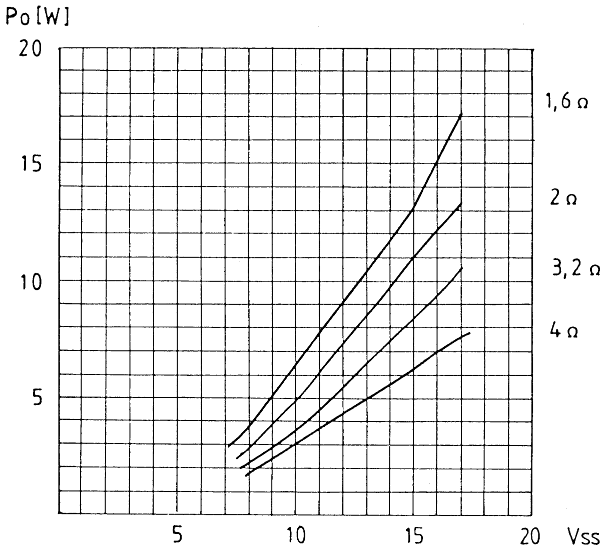


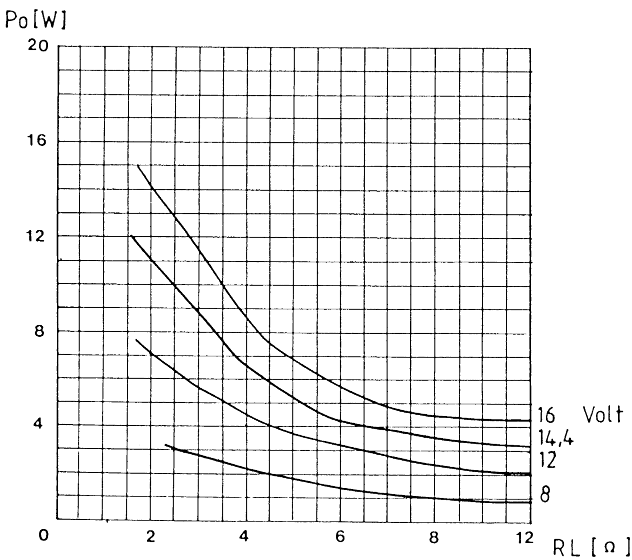
Abb. 208: Schaltplan des NF-Verstärkers

Bauteile:

IC	=	TDA 2003 (SIEMENS)
C 1	=	0,22 uF
C 2	=	22 nF
C 3,4	=	Elko 10 uF
C 5	=	Elko 470 uF
C 6	=	100 nF
C 7	=	Elko 1000 uF
C 8	=	100 nF
C 9	=	Elko 470 uF
R 1	=	1,5 k
R 2	=	4,7 k
R 3	=	Trimmpotentiometer 47 k
R 4	=	390 Ohm
R 5	=	1 Ohm
R 6	=	1 Ohm



Ausgangsleistung in Abhängigkeit der Betriebs-spannung



Ausgangsleistung in Abhängigkeit der Lautsprecher-impedanz

Abb. 209: TDA 2003, Leistungsdiagramme

Anhang A

Bezugsquellenverzeichnis

Alle die in diesem Buch vorgestellten Schaltungen erhalten Sie als Platinensätze, Bausätze oder Fertigeräte, einschließlich der erforderlichen Software bei

R. & A. Baltes GdbR
Postfach 10 12 60
6620 Völklingen/Saar
Tel: 06898 / 28691

Anhang B

Literaturverzeichnis

1. ROCKWELL Data BOOK 1985, Rockwell International, 8000 München Martinsried, Jan. 1985

2. Z80 Interface Technik und Anwendung; E.A. Nichols, J.C. Nichols, P.E. Rony, ELEKTOR-Verlag, Gangelt, ISBN 3-921608-17-1

3. Programmierung des Z80; R. Zaks, SYBEX Verlag, Düsseldorf, ISBN 3-88745-006

4. 8255 Programmable Peripheral Interface, National Semiconductor, Dez. 1976; Nr. 426305326-001A, Printed in USA

5. Datenverarbeitung mit Mikroprozessoren, Teil 1 Hardware, B. Richard, HANSER Verlag, München, ISBN 3-446-13887-0

6. 6502-Anwendungen, Rodnay Zaks, Sybex Verlag, Düsseldorf, ISBN 3-88745-014-0

7. ZX Spektrum Hardware Erweiterungen, Lothar Schüssler, DATA BECKER, Düsseldorf, ISBN 3-89011-063-0

8. CPC Hardware Erweiterungen, Lothar Schüssler, DATA BECKER, Düsseldorf, ISBN 3-89011-083-5

9. Der Commodore 64 und der Rest der Welt, Brückmann, DATA BECKER, Düsseldorf, ISBN 3-87095-166-4

10. Commodore 128 intern, Gerits, Schieb, Thrun, DATA BECKER, Düsseldorf, ISBN 3-89011-098-3

11. Commodore 64 intern, Angerhausen, Brückmann, Englisch, Gerits, DATA BECKER, Düsseldorf, ISBN 3-89011-000-2

12. Praxis mit Mikroprozessoren, Pelka, FRANZIS Verlag, München, ISBN 3-7723-6582-5

13. Z80 Anwendungen, J.W.Coffron, SYBEX Verlag, Düsseldorf, ISBN 3-88745-037-X

14. TTL Taschenbuch Teil 1 und 2, IWT Verlag Vaterstetten, ISBN 3-88-322-008-6

15. Siemens Schaltbeispiele 1978-1979, SIEMENS, München

16. Siemens Datenbuch Integrierte Schaltungen für die Unterhaltungselektronik, 1980-81, SIEMENS, München

17. Ferranti Semiconductor A/D Converter ZN 427E-8, J-8, FERRANTI, Issue 1, 1982

18. Mikroprozessoren, Mikrocomputer und Peripherie-Schaltungen, 1982, VALVO-Datenbuch, VALVO HAMBURG, ISBN 3-87095-165-6

19. MOS Microcomputer Hardware Handbuch, Commodore Frankfurt, Nr. 84c-783/560072

20. Microcomputer selbstgebaut und programmiert, Rolf D. Klein, Franzis Verlag München, ISBN 3-7723-7162-0

Anhang C

Herstelleradressen

An dieser Stelle möchte sich der Autor nochmals bei den Herstellern für die großzügige Überlassung der Applikationen und Datenbücher bedanken.

Insbesondere gilt aber der Dank Herrn Christian Streicher bei der Firma ROCKWELL INTERNATIONAL.

ROCKWELL
Frauenhoferstraße 11a
8033 München-Martinsried

ANALOG DEVICES
Mozartstraße 17
8000 München 2

FAIRCHILD
Daimlerstraße 15
8046 Garching

FERRANTI
Widenmazerstraße 2
8000 München2

GENERAL INSTRUMENTS
Nordendstraße 3
8000 München 40

INTERSIL
Oberauerstraße 15
8000 München 70

MOTOROLA
Münchnerstraße 18
8043 Unterföhring

PLESSEZ
Thalkirchnerstr. 74
8000 München 2

R C A
J.v. Liebig Ring 10
2085 Quickborn

SIEMENS
Balanstraße 73
8000 München 80

INTERMETALL
Hans Bunte Str. 19
7500 Freiburg

TEXAS INSTRUMENTS
Haggertystraße 1
8050 Freising

VALVO
Buchardtstr. 19
2000 Hamburg 1

FUJITSU
Lyonerstraße 44
6000 Frankfurt 71

HITACHI
Königsallee 6
4000 Düsseldorf

INTEL
Seidelstraße 27
8000 München 2

NEC
Harkorstraße 15
4000 Düsseldorf

Anhang D

Fachbegriffe

ADRESSE

Hierunter versteht man die Bezeichnung für einen bestimmten Speicherplatz oder Speicherbereich.

ANSCHLUSS (Port oder Tor)

Ein Anschluß definiert die Stelle, an der periphere Geräte an das Bussystem eines Rechners angeschlossen werden.

ASYNCHRONE DATENÜBERTRAGUNG

Eine Arbeitsweise, bei der das zeitliche Aufeinanderfolgen der Arbeitsschritte nicht durch eine feste Zeiteinheit vorgegeben ist, sondern durch die Dauer der Arbeitsgänge selbst oder durch ein unregelmäßiges Eingehen externer Signale bestimmt wird, nennt man asynchrone Datenübertragung.

AUFFANG-FLIP-FLOP

siehe LATCH

BAUD

Dies ist die Einheit der Schrittgeschwindigkeit der Datenübertragung und entspricht einem Zeichen pro Sekunde. Wird ein Binärzeichen pro Einheit übertragen, so entspricht die Schrittgeschwindigkeit der Übertragungsgeschwindigkeit von Bit/Sekunde.

BIDIREKTIONAL

Es ist die Möglichkeit, Daten in beiden Richtungen über den Bus zu übermitteln, d.h. zu senden und zu empfangen. Datenleitungen arbeiten in der Regel bidirektional, während Adreßleitungen unidirektional arbeiten.

BUFFER

siehe Puffer

BUS

Hierunter versteht man ein Leitungssystem zur parallelen Informationsübertragung innerhalb eines Computers oder zwischen mehreren Geräten oder Bausteinen. Busse werden nach ihrer Aufgabe in Daten-, Adreß- und Steuerbusse unterteilt.

CONVERTER

siehe Wandler

DIGIT

Ziffer oder Stelle

DMA

Direct Memory Access. Es ist ein direkter Zugriff auf den Speicher eines Rechners, wobei aber die Zugriffssteuerung nicht von der CPU, sondern von einem angeschlossenen Peripheriegerät vorgenommen wird.

DUPLEX

Eine Datenübertragungsart, bei der für jede zu übertragende Richtung eine Leitung existiert, wird duplex genannt.

ENABLE

Freigabe, oft verwendet als Chip-Enable bei ICs, bedeutet dies der Freigabeeingang, mit dem der IC überhaupt aktiviert werden kann.

EVEN

= gerade in der Bedeutung von geradzahlig (ungerade)

FAN-IN

Eingangslastfaktor

FAN-OUT

Ausgangslastfaktor. Diese Zahl gibt an, wieviele ICs der gleichen Logikfamilie an einen Ausgang ohne Zusatz angeschlossen werden können.

FLAG

Hierunter versteht man ein Kennzeichen, Marke oder Flip-Flop zum Festhalten eines eingetretenen Zustandes.

HALBDUPLEX

Bei der Übertragung von Daten wird diejenige Betriebsart Halbduplex genannt, bei der zwar beide Übertragungsrichtungen möglich sind, jedoch zu einer bestimmten Zeit nur eine Richtung übertragen werden kann.

HANDSHAKING (Quittungsverfahren)

Dies ist eine besondere Datenübertragungsart, bei der beim Senden und Empfangen von Daten dieses wieder auf besonderen Leitungen durch eigene Zeichen bestätigt (quittiert) wird. So wird beispielsweise ein "DATA READY" von der Sendestation durch ein "ACKNOWLEDGE" des Empfängers bestätigt.

HEXADEZIMAL (sedezimal)

Unter dem hexadezimalen Zahlensystem versteht man eine Darstellung zur Basis 16. Die Ziffern dieses Systems liegen von 0-F.

HIGH ORDER

= höchstwertige Stelle

INITIALISIERUNG

Anfangsschritte in einem Programm, um definierte Startzustände zu haben, bezeichnet man als Initialisierung.

INTERFACE (Schnittstelle)

Hierunter versteht man die Verbindungsstelle zwischen zwei Einheiten (Bauteilen, Schaltkreisen, Programmen Rechner usw.), über die der Austausch von Daten und/oder Steuerinformationen erfolgt.

KOMPATIBEL

= austauschbar, direkt ersetzbar

LATCH (Auffang-Flip-Flop)

Unter einem Latch versteht man einen besonderen Speicher, der beim Datenaustausch zwischen Rechner und Peripherie zur Anpassung der unterschiedlichen Übertragungsgeschwindigkeiten erforderlich ist.

LOW ORDER

= niederwertige Stelle

MARK

In der seriellen Datenübertragung wird mit MARK der logische Pegel "HIGH" bezeichnet.

MASKIEREN

Eine Bezeichnung, mit der die Ausführung eines Interrupts unterdrückt werden kann.

ODD

= ungerade

OPEN KOLLEKTOR

Es ist eine Schaltung, bei der der Endtransistor einen herausgeführten unbeschalteten (= offen) Kollektor hat.

PARITY

= Gleichheit, Parität

PERIPHERIE

Unter Peripherie versteht man den Sammelbegriff für alle Geräte, die vom Rechner ansprechbar sind, aber nicht zur Zentraleinheit gehören.

PRELLEN

Mechanische Schalter haben die unangenehme Eigenschaft, beim Schließen oder Öffnen die Kontaktfläche mehrere Male zu berühren und damit Störimpulse zu erzeugen. Um dieses zu vermeiden, sind spezielle Entprellungen erforderlich.

PUFFER (BUFFER)

Unter einem Puffer versteht man einerseits ein Speichermedium zum kurzfristigen Festhalten von Informationen, und andererseits wird der Begriff auch für einen Treiber zum Schalten von höheren Lasten verwendet.

PULL-UP-WIDERSTAND

Um einen definierten Pegel im nicht aktiven Zustand zu gewährleisten wird, z.B. bei low-aktiven Signalen ein solcher Widerstand an die + Versorgungsspannung gelegt.

QUITTUNGSVERFAHREN

siehe Handshaking

RS 232C

Es ist eine serielle Datenübertragungsnorm nach dem amerikanischen EIA-Standard bis zu 19200 Baud. Die Schnittstelle ist so definiert, daß die Datenübertragung asynchron mit einem Startbit vor und einem oder zwei Stopbits nach jedem Zeichen erfolgt. Diese Schnittstelle ist nicht TTL-kompatibel, da Spannungen zwischen 3 Volt und 15 Volt als Low-Pegel und Spannungen zwischen -3 Volt und -15 Volt als H-Pegel angesehen werden. Die RS232C-Schnittstelle arbeitet bis zu Entfernungen von 30 m.

SCHNITTSTELLE

siehe Interface

SEQUENTIELL

bedeutet nacheinander oder aufeinanderfolgend im Gegensatz zu parallel. Der Ausdruck seriell wird synonym verwendet.

SPACE

Bei der seriellen Datenübertragung wird mit Space der logische Pegel "Low" bezeichnet.

SYNCHRON

Synchron hat mehrere Bedeutungen:

a) synchron = taktgesteuert

b) Bei einer synchronen Datenübertragung liegen alle Binärzeichen in einem festen Zeitraster.

c) synchronisiert = mit einem gleichen Grundtakt arbeitend

TREIBER (Ein-Ausgabe)

Unter einem Treiber versteht man entweder ein Programm zur Steuerung von Signalen, die über einen Ein/Ausgabe-kanal mit einem externen Gerät in Verbindung stehen, oder eine Schaltung, die zur Verstärkung von elektrischen Signalen dient.

TRISTATE TREIBER

Dies ist ein Schaltkreis, der drei (=tri) verschiedene Zustände kennt: 0 , 1 oder undefiniert, d.h. offen.

TTL-Pegel

Bei TTL-Bausteinen wird ein L-Pegel durch eine Spannung zwischen 0 und 0,8 Volt definiert und ein H-Pegel durch eine Spannung zwischen 2,4 und 5 Volt. Der dazwischenliegende Spannungsbereich ist undefiniert.

VALID

= gültig

VEKTOR INTERRUPT

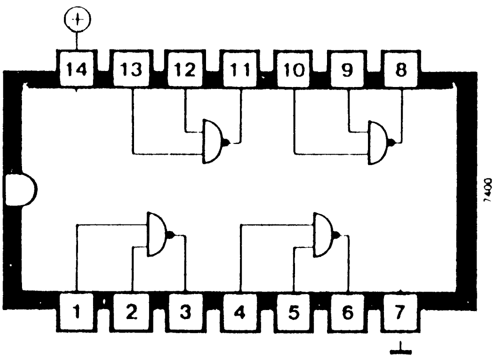
Mit einem ausgelösten Interrupt wird die CPU veranlaßt, eine bestimmte Unterbrechungsroutine auszuführen.

WANDLER (Converter)

Besonders beim Anpassen von Schnittstellen werden Wandler eingesetzt, die die Aufgabe haben, Empfangsdaten so aufzubereiten, daß der Rechner sie interpretieren kann, und Sendedaten so umzuformen, daß diese von der angeschlossenen Peripherie gelesen werden können. So ist beispeilsweise die Codeumwandlung die Aufgabe eines Wandlers.

Anhang E

Anschlußbilder der verwendeten ICs



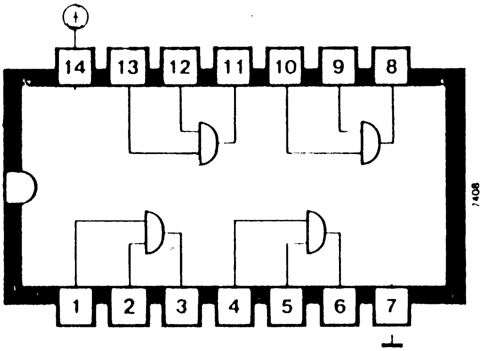
7 4 0 0

Aufbau:

4 getrennte NAND-Gatter mit je 2 Eingängen

Arbeitsweise:

Jedes der 4 Gatter kann unabhängig voneinander eingesetzt werden. Bei einem NAND-Gatter führt der Ausgang dann einen H-Pegel, wenn einer oder beide Eingänge einen L-Pegel haben. Sind beide Eingänge an einem H-Pegel ist der Ausgang auf einem L-Pegel.



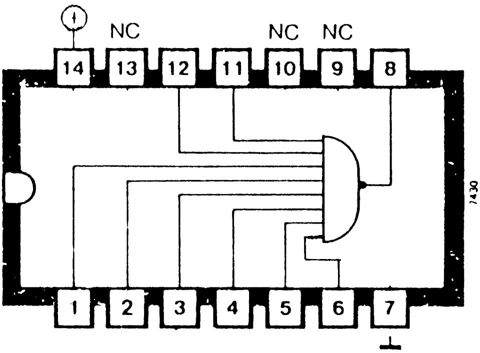
7408

Aufbau:

4 getrennte UND-Gatter mit je 2 Eingängen

Arbeitsweise:

Jedes der 4 Gatter kann unabhängig voneinander eingesetzt werden. Bei einem UND-Gatter wird mit einem oder beiden Eingängen auf einem L-Pegel der Ausgang auch einen L-Pegel annehmen. Sind beide Eingänge auf einem H-Pegel, so wird auch der Ausgang einen H-Pegel aufweisen.



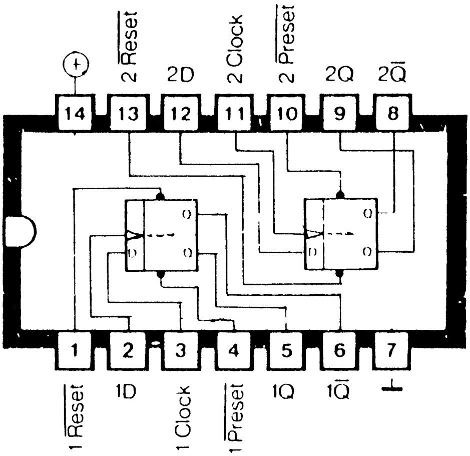
7 4 3 0

Aufbau:

Ein NAND-Gatter mit 8 Eingängen

Arbeitsweise:

Wenn ein oder mehrere Eingänge einen L-Pegel aufweisen, so wird der Ausgang einen H-Pegel annehmen. Wenn alle acht Eingänge H-Pegel führen, so führt auch der Ausgang einen L-Pegel.



7 4 7 4

Aufbau:

2 D-Flip-Flop mit Löschen und Voreinstellung

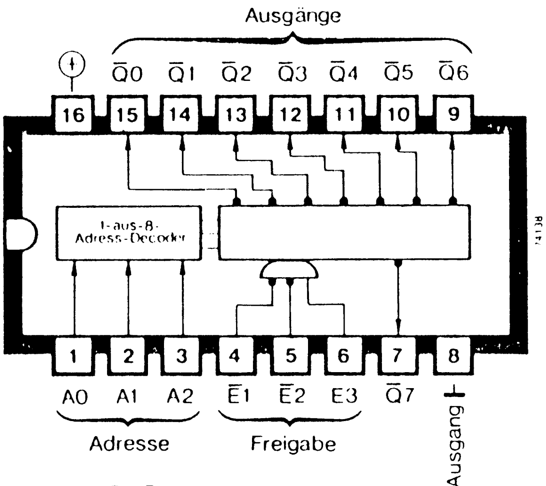
Arbeitsweise:

Beide Flip-Flops können unabhängig voneinander verwendet werden. Ändert sich der Pegel am Takteingang (1-Clock oder 2-Clock) von einem "L" auf einen H-Pegel, so wird die an dem entsprechenden D-Eingang (1D bzw. 2D) anliegende Information zum Ausgang Q und invertiert zum Ausgang Q-nicht weitergeleitet. Der 7474 reagiert ausschließlich auf die positive Flanke am Takteingang. Im Normalfall sollten die Anschlüsse RESET und PRESET an einem H-Pegel liegen. Wird der Reset-Anschluß an Masse gelegt, (L-Pegel), so geht das entsprechende Flip-Flop mit seinem Q-Ausgang auf L-Pegel, bzw. mit seinem Q-nicht auf einen H-Pegel. Umgekehrt verhält es sich mit dem Preset. Liegt dieser an Masse (L-Pegel), so geht das entsprechende Flip-Flop mit seinem Q-Ausgang auf einen H-Pegel und mit seinem Q-nicht auf einen L-Pegel. RESET und

PRESET sollten daher nie gleichzeitig an einem L-Pegel liegen, da sich dann ein instabiler Zustand ergibt.

WICHTIGE DATEN DES 7474:

	TTL	LS	S	L	Einheit
minimale Taktfrequenz	15	25	75	2,5	MHz
Durchlaufverzögerung	17	29	6	65	ns
Stromaufnahme	16	4	30	2	mA



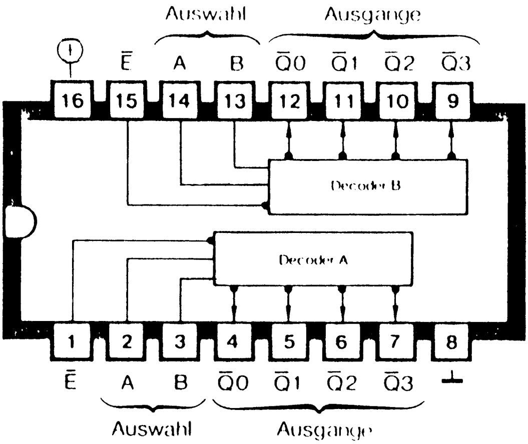
7 4 1 3 8

Aufbau:

3 zu 8 Decoder mit 3 Freigabeeingängen

Arbeitsweise:

Liegt an den binär gewichteten Adreßeingängen A0, A1, A2 ein 3-Bit-Code an, so geht der dem Code entsprechende Ausgang Q auf einen L-Pegel, während alle anderen auf einem H-Pegel verbleiben.Dies trifft jedoch nur dann zu, wenn die Freigabe-Eingänge E1 und E2 auf einem L-Pegel liegen und E3 auf einem H-Pegel.



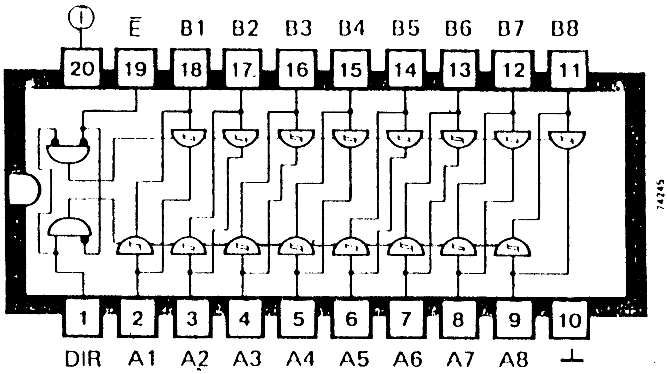
7 4 1 3 9

Aufbau:

Zwei getrennte 1 aus 4 oder 2 zu 4 Decoder, die entweder als Decoder oder Verteiler verwendet werden können.

Arbeitsweise:

Im Normalbetrieb liegen die Pins 1 und 15 (Enable) auf Masse. Wenn ein Auswahlcode, gewichtet A=1 und B=2 den Eingängen zugeführt wird, geht der dazugehörige Ausgang auf Low, die übrigen verbleiben auf high. So geht beispielsweise mit A=High und B=Low der Ausgang Q1 auf Low. Macht man einen Freigabe-Eingang High, so gehen alle dazugehörigen Ausgänge auf High, unabhängig vom Zustand der Eingänge.



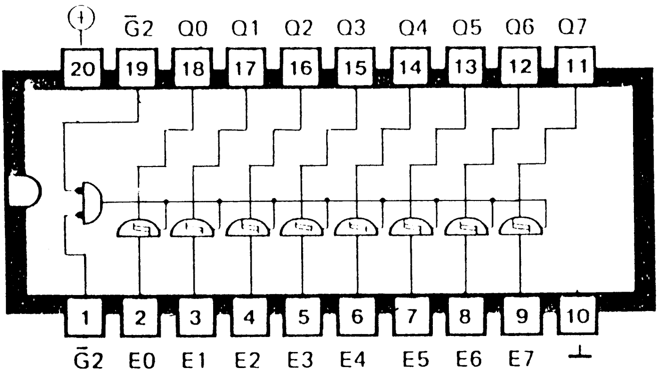
74245

Aufbau:

8 nicht invertierende Bus-Leitungstreiber

Arbeitsweise:

Mit dem Eingang DIR läßt sich die Datenrichtung steuern. Bei Bus A-B muß DIR einen H-Pegel führen, bei Bus B-A einen L-Pegel. Für einen Datentransfer muß hierbei der Freigabe-Eingang einen L-Pegel annehmen. Liegt dieser an einem H-Pegel, so werden alle Ausgänge hochohmig. Alle Eingänge besitzen eine Schmitt-Trigger-Funktion. Die Ausgänge können bei der LS-Version bei H-Pegel 15 mA abgeben und bei L-Pegel 24 mA aufnehmen.



7 4 5 4 1

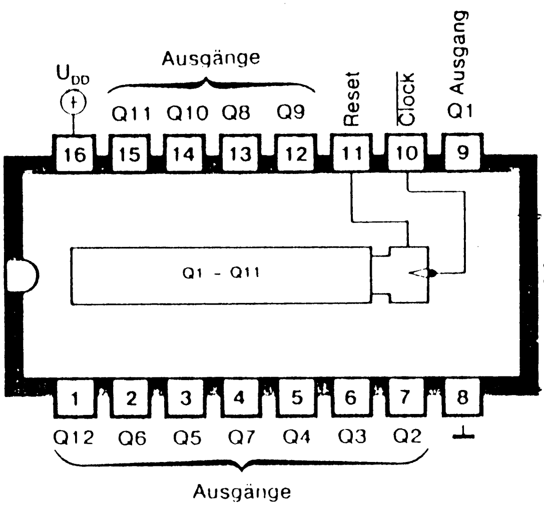
Aufbau:

8 nicht invertierende Bus-Leitungstreiber

Arbeitsweise:

Während der 74245 bidirektional arbeitet, kann der 245 nur für eine Richtung eingesetzt werden. Die einem Eingang E zugeführten Daten erscheinen am dazugehörigen Ausgang in nichtinvertierender Form, wenn die Freigabe-Eingänge G1 und G2 an einem L-Pegel liegen, andernfalls befindet sich der Baustein in einem hochohmigen zustand. Die Ausgänge können bei einem H-Pegel 15 mA abgeben und bei einem L-Pegel 24mA aufnehmen.

4040



Aufbau:

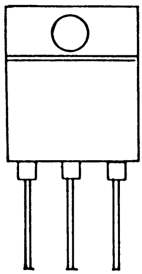
Asynchroner 12-stufiger Binärzähler

Arbeitsweise:

Beim Wechsel des Taktes von der positiven zur negativen Flanke zählt dieser Baustein eine Stelle weiter. An den Ausgängen Q1-Q12 steht der Zählwert zur Verfügung, solange der RESET-Anschluß mit der Masse verbunden bleibt. Beim Anlegen eines H-Pegels gehen alle Ausgänge auf Null zurück,solange der RESET-Anschluß mit der Masse verbunden bleibt. Beim Anlegen eines H-Pegels gehen alle Ausgänge auf Null zurück.

Anhang F

Übersicht über die bekanntesten Triacs



TO 220
GEHÄUSE

TYP	Spannung		max. Strom		Hersteller
TIC 226D	400	V	8	A	TIX
BS 7-04A	400	V	6	A	BBC
BS 9-04A	400	V	8	A	BBC
BS10-04A	400	V	10	A	BBC
T 2500 D	400	V	6	A	RCA
T 2800 D-M	400-600	V	8	A	RCA
TW8N 400	400	V	16	A	AEG
TIC 246 D	400	V	16	A	TIX
TIC 263 D	400	V	25	A	TIX
TIC 253 D	400	V	20	A	TIX

Anhang G

Anschlußbelegung der wichtigsten EPROMs

0V	D2	D1	D0	A0	A1	A2	A3	A4	A5	A6	A7	A12	Vpp	27256
0V	D2	D1	D0	A0	A1	A2	A3	A4	A5	A6	A7	A12	Vpp	27128
0V	D2	D1	D0	A0	A1	A2	A3	A4	A5	A6	A7	A12	Vpp	2764
0V	D2	D1	D0	A0	A1	A2	A3	A4	A5	A6	A7			2732
0V	D2	D1	D0	A0	A1	A2	A3	A4	A5	A6	A7			2716
0V	D2	D1	D0	A0	A1	A2	A3	A4	A5	A6	A7			2708
14	13	12	11	10	9	8	7	6	5	4	3	2	1	
12	11	10	9	8	7	6	5	4	3	2	1			
13	14	15	16	17	18	19	20	21	22	23	24			
15	16	17	18	19	20	21	22	23	24	25	26	27	28	
D3	D4	D5	D6	D7	Prgrm	+12V	CS/WE	-5V	A9	A8	+5V			2708
D3	D4	D5	D6	D7	CE	A10	OE	Vpp	A9	A8	+5V			2716
D3	D4	D5	D6	D7	CE	A10	OE/Vpp	A11	A9	A8	+5V			2732
D3	D4	D5	D6	D7	CE	A10	OE	A11	A9	A8	NC	PGM	+5V	2764
D3	D4	D5	D6	D7	CE	A10	OE	A11	A9	A8	A13	PGM	+5V	27128
D3	D4	D5	D6	D7	CE	A10	OE	A11	A9	A8	A13	A14	+5V	27256

Anhang H

Statische CMOS-RAM

STATISCHE CMOS **RAM**

Nr. 4	Nr. 3	Nr. 2	Nr. 1	Pin	Pin	Nr. 1	Nr. 2	Nr. 3	Nr. 4
20	18	28	24	GEHÄUSE DIL		24	28	18	20
A0	A6	frei	A7	1	28		+5V		
A1	A5	A12	A6	2	27		$\overline{WE}$		
A2	A4	A7	A5	3	26		CE		
A3	A3	A6	A4	4	25		A8		
A4	A0	A5	A3	5	24	+5V	A9		
A5	A1	A4	A2	6	23	A8	A11		
A6	A2	A3	A1	7	22	A9	$\overline{OE}$		
D_{aus}	$\overline{CS}$	A2	A0	8	21	$\overline{WE}$	A10		
$\overline{WE}$	⊥	A1	D1	9	20	OE	$\overline{CE}$		+5V
⊥	$\overline{WE}$	A0	D2	10	19	A10	D8		A13
$\overline{CS}$	D4	D1	D3	11	18	CS	D7	+5V	A12
D_{ein}	D3	D2	⊥	12	17	D8	D6	A7	A11
A7	D2	D3	D4	13	16	D7	D5	A8	A10
A8	D1	⊥	D5	14	15	D6	D4	A9	A9

ORANISAT.	TYPEN	Nr.
2048x 8 Bit	5116 5117 6116 6117	1
8192x 8 Bit	5188 5564 5565	2
1024x 4 Bit	2114	3
16384x1 Bit	6167	4

D1 - D8, D_{ein} - D_{aus} = Daten Ein-Ausgänge; OE = Output Enable
CS = Chip Select; WE = Write Enable; CE = Chip Enable
A0 - A12 = Adresseingänge

Im Roboterbuch wird gezeigt, welche erstaunlichen Möglichkeiten der Commodore 64 zur Steuerung und Programmierung bietet – dargestellt an vielen Abbildungen und anschaulichen Beispielen. Schwerpunktthema: wie man sich einen Roboter ohne großen finanziellen Aufwand selber bauen kann. Dazu ein spannender Überblick über die historische Entwicklung des Roboters und eine umfassende Einführung in kybernetische Grundlagen.



Aus dem Inhalt:

- Motorsteuerung
- Das Simulationsmodell
- Bildschirmschalter
- Der User-Port
- Komfortable Steuerung des Simulationsmodells
- Infrarot-Sensor
- Grundkonzept eines Roboters
- Rückmeldung
- Kybernetische Einheit
- Greifarme
- Hören und Sehen

Steigers
Das Roboterbuch zum Commodore 64
232 Seiten, DM 49,–
ISBN 3-89011-086-X

64 Tips & Tricks Band 1, das auflagenstärkste deutsche Computerbuch, bringt in einer komplett überarbeiteten und stark erweiterten Neuauflage alle Tips & Tricks auf einen Blick. Sparen Sie sich das lästige Blättern und Suchen in anderen Büchern und Zeitschriften – mit dem Original können Sie Ihre Zeit sofort zum Programmieren verwenden! Jetzt noch mehr Fakten: BASIC-Programmierung effektiver und besser, Grafik für Fortgeschrittene, Soundprogrammierung, die Benutzerschnittstellen, die Peripherie, Befehlserweiterungen, Schnittstellen und ein ganzes Kapitel mit Kurztips.



Aus dem Inhalt:

- Die drei Uhren des C-64
- Errechnen beliebiger Formeln
- Bubblesort in Assembler
- Grafikanimation
- Hochauflösende 3-D-Grafik
- Synthesizer in Stereo
- Maussimulation mit dem Joystick
- GEM-Simulation auf dem C-64
- Kopierschutz
- User-Port
- Datenübertragung zu anderen Rechnern
- Directory ohne Programmverlust

Englisch, Gerits, Thrun, Hartwig, Löffelmann
64 Tips & Tricks Band 1
396 Seiten, DM 49,–
ISBN 3-89011-001-0

DFÜ für jedermann – das ist nicht nur eine ausführliche und leichtverständliche Einführung in das Gebiet der Datenfernübertragung mit dem C 64 und dem C 128, sondern gibt handfeste Informationen zur effektiven Nutzung der vorhandenen Kommunikationsnetze für Einsteiger und Profis. Einrichten einer eigenen Mailbox und das erste Terminalprogramm gehören ebenso zum Inhalt wie die aktuellen Mailboxnummern in aller Welt.



Aus dem Inhalt:

- Was ist DFÜ?
- Die Netze der Post
- Wichtige Postbestimmungen und Gebühren
- DATEX-P
- BTX
- Alles über Akustikkoppler und Modems
- Einrichtung und Benutzung von Mailboxen
- Der Zugriff auf Datenbanken
- Begriffserklärungen: Originate, Answer, Half-Duplex usw.
- Serielle Schnittstelle und ihre Belegung am C 64/C 128

Severin
DFÜ für jedermann
331 Seiten, DM 39,–
ISBN 3-89011-141-6

COMMODORE 64 und der Rest der Welt ist ein hochinteressantes Buch für jeden Hobbyelektroniker. Einführend werden die Schnittstellen des C-64 detailliert beschrieben. Hauptteil des Buches sind die Beschreibungen der vielfältigen Einsatzmöglichkeiten des C-64, jeweils mit Schaltplan und Softwarelisting. Zusätzlich sind zu einigen Schaltungen Platinenlayouts vorhanden.



Aus dem Inhalt:

- Funktionsweise der CIAs 6526
- Motorsteuerung
- Stoppuhr mit Lichtschranke
- Lichtorgel
- A/D-Wandler
- Spannungsmessung
- Temperaturmessung
- Eprom-Programmiergerät
- Frequenzzähler
- Sprachein-/ausgabe

Brückmann
Commodore 64 und der Rest der Welt
229 Seiten, DM 49,–
ISBN 3-89011-015-0

DAS STEHT DRIN:

C64/C128 Hardware-Erweiterungen ist das Buch für alle diejenigen, die ihrem Computer mehr entlocken wollen. Dem Hobbyelektroniker wird eine Vielzahl von 1:1-Platinenlayouts an die Hand gegeben. Schöpfen Sie aus dieser Ideenreserve!

Aus dem Inhalt:

- Tips zur Platinenherstellung
- C64/C128 Aufbau und Unterschiede
- Logische Grundschaltungen
- Expansions- und User-Port
- Möglichkeiten der Adreßdecodierung
- Ein-Ausgabe-Interfaces
- PIO-Interfaces der Z80-Familie
- PIA-Interface 6520 bzw. 6820
- 6522-VIA-Interface
- 220-Volt-Schalteinheiten
- Arbeiten mit EPROMs
- EPROM-Programmiergerät
- Serielle Datenübertragung
- Netzteilkarte
- Analog-Digital-Wandlung
- Netzentstörung
- Joysticks und Paddles
- Centronics-Schnittstelle
- Hardware-Uhr
- NF-Verstärker

UND GESCHRIEBEN HAT DIESES BUCH:

Lothar Schüssler ist Diplom-Betriebswirt und erfolgreicher Buchautor. Seine Begeisterung für Elektronik und Mikrocomputer konnte er mehrere Male als Autor von DATA BECKER Fachbüchern unter Beweis stellen.

ISBN 3-89011-128-9